

Simulation der Zerstörwirkung von elektrostatischen Entladungen (ESD) auf Kfz-Elektroniksysteme

Bei der Fakultät für Elektrotechnik und Informationstechnik der
Technischen Universität Dortmund eingereichte

Dissertation

zur Erlangung des akademischen Grades

Doktor der Ingenieurwissenschaften

von

Dipl.-Ing. (FH) Bastian Arndt

Dortmund, 2013

Tag der mündlichen Prüfung:
Hauptreferent:
Korreferent:

15.10.2014
Prof. Dr.-Ing. Stephan Frei
Prof. Dr.-Ing. David Pommerenke

Danksagung

Die hier vorliegende Arbeit entstand größtenteils während meiner Tätigkeit im EMV Labor der Continental AG in Regensburg. Die Unterstützung und Hilfsbereitschaft meiner dortigen Kollegen hat diese Arbeit erst möglich gemacht. Besonders möchte ich mich in diesem Zusammenhang bei Johannes Edenhofer bedanken, der mir mit seinem Fachwissen, guten Ideen und seiner Lebenseinstellung eine große Hilfe war. Weiterhin möchte ich mich bei den Mitarbeitern der TU Dortmund aus dem Arbeitsgebiet Bordsysteme herzlich für ihre Unterstützung und den fruchtbaren Gedankenaustausch bedanken. Besonders hervorheben möchte ich an dieser Stelle Friedrich zur Nieden, der sogar sein Zuhause mit mir geteilt hat. Meinem Doktorvater Stephan Frei möchte ich für seine produktive Betreuung danken, von der ich sehr profitiert habe. Bedanken möchte ich mich auch bei Linda, die mich in Form von Korrekturlesen tatkräftig unterstützt hat.

Mein besonderer Dank geht an meine Frau Christiane, die so manche Stunde auf mich verzichten musste und mich dennoch immer unterstützt hat.

Übersicht

Im Rahmen dieser Arbeit konnte eine Simulationsmethode erarbeitet werden, welche es erlaubt, die leitungsgebundene Auswirkung von transienten Pulsen auf Kfz-Elektroniksystemen zu analysieren und zu bewerten. Mit den dabei erstellten Modellen ist es möglich, sowohl das elektrische Verhalten als auch die Ausfallschwelle der belasteten Systeme simulatorisch zu ermitteln. Die dabei erarbeiteten Verfahren zur Modellierung der einzelnen Komponenten erlauben es das ESD Verhalten der betrachteten Systeme mit einem vertretbaren Modellierungsaufwand zu bewerten. Dies kann dazu verwendet werden um ESD-Schutzstrategien in Kfz-System zu beurteilen, die dafür notwendigen Komponenten zu Dimensionieren und die dabei entstehenden Phänomene und Effekte zu analysieren. Um dies zu erreichen, wurde das elektronische System auf pulsrelevante Komponenten reduziert. Die Eigenschaften dieser Komponenten wurden untersucht und Möglichkeiten zur jeweiligen Modellierungen evaluiert und bewertet. Soweit möglich wurde dabei auf bestehende Modellierungsverfahren zurückgegriffen. Hierbei konnte ein Ansatz entwickelt werden, welcher das nichtlineare Verhalten von ESD-Schutzkomponenten und IC-Eingängen unter Pulsbelastung beschreibt. Darauf aufbauend wurde ein thermisches Ausfallmodell entwickelt welches in das IC Eingangsmodell integriert werden kann. Bei der Erstellung dieser Verfahren wurde darauf geachtet, dass sämtliche Modellparameter mithilfe von Messungen ermittelt werden können. Dies gilt sowohl für das nichtlineare Verhalten von diskreten Bauelementen, als auch für die Parameter zur Beschreibung des Verhaltens von IC-Eingängen unter Pulsbelastung und die darauf aufbauenden thermischen Ausfallmodelle. Dies eröffnet die Möglichkeit, unabhängig von Herstellerangaben Simulationsmodelle erstellen zu können. Dadurch kann eine gewisse Unabhängigkeit von Herstellerinformationen gewährleistet werden

Inhaltsverzeichnis:

Übersicht	I
Inhaltsverzeichnis:.....	II
Einführung.....	1
Ziel der Arbeit	4
1 Grundlagen	6
1.1 Grundsätzliches elektrisches Verhalten von Halbleitern unter Pulsbelastung	6
1.1.1 Linearer Bereich.....	7
1.1.2 Sättigungsbereich	8
1.1.3 Avalanche-Bereich	9
1.1.4 Snapback-Initialisierung.....	9
1.1.5 Snapback-Bereich.....	10
1.2 Zulässige Pulsbelastung von Halbleitern	11
1.3 Messtechnik zur Parametrisierung	12
1.3.1 Messungen im Frequenzbereich.....	12
1.3.2 I/V-Kennlinien Messungen	13
1.3.2.1 Statische I/V-Kennlinien Messungen.....	14
1.3.2.2 Gepulste I/V-Kennlinienmessung mithilfe eines TLP	15
2 Systembestimmende Komponenten	17
3 Modellierung des elektrischen Verhaltens von systembestimmenden Komponenten	20
3.1 ESD-Generatoren	20
3.2 Passive lineare Bauelemente	24
3.2.1 Eigenschaften passiver linearer Schutzelemente.....	24
3.2.2 Modellierung	25
3.2.3 Exemplarische Modellierung und Bewertung der Modellqualität	27
3.2.3.1 Widerstand	27

3.2.3.2	Induktivität	28
3.2.3.3	Kondensator	30
3.3	Nichtlineare Schutzelemente	31
3.3.1	Eigenschaften nichtlinearer Schutzelemente	31
3.3.2	Modellierung	32
3.3.3	Exemplarische Modellierung und Bewertung der Modellqualität	33
3.4	Modellierung von Platinenstrukturen	37
3.4.1	Analytische Annäherung mithilfe der Leitungstheorie	37
3.4.2	Numerische Modellierung mithilfe der PEEC Methode	39
3.4.3	Vergleich der Modellierungsmethoden für Platinenstrukturen	41
4	Modellierung des nichtlinearen Verhaltens von IC Eingängen	44
4.1	Modellierungskonzept	45
4.2	Modellierung des linearen Eingangsverhaltens	47
4.3	Modellierung des nichtlinearen Verhaltens	47
4.3.1	Arbeitsbereich	48
4.3.2	Snapback-Bereich	49
4.4	Verifikation der Methode mithilfe von TLP und IEC-ESD-Prüfungen	50
5	Modellierung des Ausfallverhaltens von IC Eingängen	59
5.1	Zerstörung durch thermische Überlastung	60
5.2	Thermische Ausfallmodelle für Halbleiterstrukturen	60
5.2.1	Thermodynamische, geometrische Modelle	61
5.2.1.1	Modellierungsansatz	62
5.2.1.2	Flächen bzw. plattenförmige Wärmequellen (Wunsch-Bell)	64
5.2.1.3	Linien- bzw. zylinderförmige Defekte	68
5.2.1.4	Punkt- bzw. kugelförmige Defekte (Tasca)	72
5.2.1.5	Zeitlicher Gültigkeitsbereich der thermodynamischen Modelle	77

5.2.2	Thermische RC Ersatzschaltungen.....	79
5.2.3	Bewertung der einzelnen thermischen Modelle auf ihre Anwendbarkeit	85
5.3	Modellierung des thermischen Ausfallverhaltens unter transientser Pulslast	86
5.4	Maximal zulässige Halbleitertemperatur als Ausfallkriterium	88
5.5	Exemplarische Modellierung und Bewertung der Modellqualität	89
5.5.1	Exemplarische Verifikation anhand eines CAN Transceiver-Pins	89
5.5.2	Verifikation an unterschiedlichen Halbleiterbauelementen	97
5.5.3	Grenzen des thermischen Ausfallmodelles	99
6	Anwendung	100
6.1	Messtechnische Verifikation der Simulationskette mithilfe von IEC-ESD	100
6.1.1	Beschreibung des verwendeten Setups und des Simulationsaufbaus.....	100
6.1.2	Testkonfigurationen	103
6.1.3	Testlauf A, ohne Schutzelement.....	103
6.1.4	Testlauf B, 22 nF Schutzkondensator	108
6.1.5	Testlauf C, 14 V Schutzvaristor	112
6.1.6	Vergleich der einzelnen Testläufe.....	115
7	Zusammenfassung und Schlussfolgerung	118
8	Ausblick	121
9	Anhang	122
9.1	Abkürzungsverzeichnis	122
9.2	Literaturverzeichnis.....	124

Einführung

Elektrostatische Aufladungen werden in den meisten Fällen durch triboelektrische Effekte verursacht [1]. Hierbei kommt es durch den Kontakt von unterschiedlichen Materialien zu einer Verschiebung von Ladungsträgern. Werden die Materialien ohne Ausgleich der verschobenen Ladungsträger anschließend getrennt, so können beachtliche Potentialunterschiede erzeugt werden. Bleibt der Potentialunterschied bestehen, dann laden sich die beteiligten Körper und Gegenstände elektrostatisch auf. Elektrostatische Aufladungen sind in unserer täglichen Umgebung nicht ungewöhnlich. Bereits durch die Bewegung einer sitzenden Person auf einem Stuhl aus synthetischem Material können Spannungen von bis zu 18 kV entstehen [2]. Auch durch das Laufen einer Person über einen Teppichboden können sich unter alltäglichen Bedingungen bereits nach kurzer Zeit Aufladungen von über 10 kV ausbilden. Unter spezielleren Bedingungen, wie etwa geringe Luftfeuchtigkeit, sind hierbei Ladespannungen von bis zu 35 kV möglich [1]. Bereits deutlich geringere Aufladungen können zu schlagartigen Entladevorgängen führen, die im Weiteren elektrostatische Entladungen (ESD) genannt werden. Während der Entladevorgänge können die auftretenden Pulsbelastungen enorm sein. Die Entladeströme erreichen dabei Spitzenwerte von bis zu 100 A. Das Frequenzspektrum der Entladungen reicht dabei von einigen MHz bis in den GHz Bereich.

Die Eigenschaften von elektrostatischen Entladungen stellen ein erhebliches Störpotential für elektronische Bauelemente und Geräte dar. Halbleiterbauelemente können bereits bei niedrigen Entladespannungen, die deutlich unter der menschlichen Wahrnehmungsgrenze von 3 kV liegen, geschädigt werden [7]. Es sind daher Maßnahmen notwendig um empfindliche Bauelemente zu schützen. Die verwendeten Konzepte müssen dabei ständig verbessert werden, da das Risiko einer Beeinflussung durch elektrostatische Entladungen stetig ansteigt. Dies hat zum einen seine Ursache in der zunehmenden Miniaturisierung der Bauelemente und einer damit einhergehenden ansteigenden Empfindlichkeit gegenüber Pulsbelastungen [3]. Zum anderen vergrößert sich durch die zunehmende Anzahl von elektronischen Geräten die Wahrscheinlichkeit, dass eine elektrostatische Entladung zu einem Defekt führt. Die Hersteller von elektronischen Komponenten und Systemen sind daher gezwungen einen beachtlichen Aufwand zu betreiben um die jeweilige Elektronik abzusichern. Hierbei kommen unterschiedlichen Ansätzen zum Schutz vor ESD-Ereignissen zum Einsatz. Zum einen können die Umgebungsbedingungen einer elektrischen Komponente auf eine Weise gestaltet werden, dass es zu keinen ESD-Ereignissen kommen kann. Zur Vermeidung von ESD-Ereignissen

während des Fertigungsprozesses werden die Produktions- und Umgebungsbedingungen der elektrostatisch gefährdeten Bauteile (EGB) in Schutzzonen eingeteilt [4]. Mit erheblichem Aufwand wird dafür gesorgt, dass keine gefährlichen Aufladungen auftreten und mit der betroffenen Baugruppe in Interaktion treten. Unter normalen Betriebsbedingungen kann dies für die meisten elektronischen Schaltungen und Geräte nicht gewährleistet werden. Üblicherweise haben elektrostatisch aufgeladene Personen Zugang zu empfindlichen Geräten und können ESD-Ereignisse auslösen. Zusätzlich können sich Fahrzeugteile während des Betriebs aufladen und zu Entladungen führen. Die Komponenten müssen folglich durch interne Maßnahmen dazu in die Lage versetzt werden den Belastungen standzuhalten. Ohne zusätzliche Schutzmaßnahmen auf Bauteil-, Komponenten- und Systemebene würden die meisten elektronischen Schaltungen und Geräte durch eine ESD-Belastung in ihrer Funktion beeinträchtigt oder geschädigt.

Die Wirksamkeit der implementierten Schutzvorkehrungen muss in der Regel während einer Entwicklung durch umfangreiche Testreihen abgeprüft werden. Hierfür stehen unterschiedliche normierte ESD-Testverfahren zur Verfügung. Zusätzlich ist es im Kfz-Bereich nicht unüblich herstellerspezifische Anforderungen zu stellen. Für elektronische Systeme lassen sich demzufolge umfangreiche ESD-Testreihen ableiten, welche die zu prüfenden Geräte erfüllen müssen. Die einzelnen Testreihen sollen sicherstellen, dass für ausgesuchte Anwendungsfälle die entsprechenden Anforderungen erfüllt werden. Eine Aussage mit welchem Störabstand dies geschieht ist zumeist nicht möglich. Wenn ein Grenzwert für ein spezielles Testszenario eingehalten wird, so ist dies nicht zwingend ein Garant für die Störfestigkeit bei anderen elektrostatischen Entladeszenarien.

Die Auswirkungen der eingeforderten Entladevorgänge auf die getesteten Geräte können hierbei unterschiedlich sein. Eine zuverlässige Vorhersage, was in den betroffenen Geräten dabei geschieht, ist nicht ohne weiteres möglich. Aus diesem Grund werden die implementierten Schutzvorkehrungen üblicherweise nicht näher betrachtet, solange die geforderten ESD-Grenzwerte eingehalten werden. Wenn ein Schutzziel nicht erreicht wird ist es gängige Praxis die notwendigen Schutzmaßnahmen mittels Versuch und Irrtum auszuwählen und die betroffene Schaltung zu ergänzen, bis die jeweilige Anforderung erfüllt wird. Eine genauere Analyse, welche Effekte zur Schädigung einer Komponente führen erfolgt zumeist nicht.

Dies hat zur Folge, dass notwendige Schutzmaßnahmen oft überdimensioniert werden. Hierdurch entstehen nicht unerhebliche Kosten, welche sich im Gesamtpreis des jeweiligen

Produktes niederschlagen. Ein weiterer Nachteil ist der Umstand, dass sich überdimensionierte Schutzmaßnahmen nachteilig auf die ESD-Robustheit eines Produktes auswirken. Wird ausschließlich auf ein spezielles Entladeszenario hin optimiert, so besteht bei abweichenden Belastungsformen das Risiko, dass sich diese Schutzelemente als nachteilig erweisen. Trotz eines hohen Aufwandes nimmt die ESD-Robustheit des Gerätes ab. Ein unausgewogen ausgelegter ESD-Geräteschutz erweist sich auch in anderen Bereichen als nachteilig. Jedes eingebrachte Bauelement erhöht die Ausfallwahrscheinlichkeit eines Gerätes, da jedes Bauelement ein Ausfallrisiko mit sich bringt. Unnötig eingebrachte Bauelemente und überdimensionierte Schutzstrukturen vermindern daher die Ausfallsicherheit und erhöhen zusätzlich die Kosten eines Gerätes.

Elektronische Geräte müssen ihre ESD-Robustheit nicht nur für sich sicherstellen, sondern auch in einem Systemverbund zuverlässig funktionieren. Während einer elektrostatischen Entladung in einem System interagieren die enthaltenen Komponenten miteinander. Die Pulsausbreitungsketten sind hierbei vielfältig und unterliegen einer hohen Varianz. Die Wirksamkeit eines Schutzkonzeptes hängt daher von vielen Faktoren ab. Zur Verwirklichung eines optimierten ESD-Schutzes auf Systemebene müssen daher die beteiligten Faktoren und Effekte analysiert werden. Geschieht dies mithilfe von empirischen Versuchsreihen, so ist der damit verbundene Aufwand hoch. Zusätzlich stößt die verfügbare Hochfrequenzmesstechnik aufgrund der hohen Spannungen und Ströme an ihre Grenzen. Eine messtechnische Untersuchung ist daher nicht in allen Details möglich. Auf Systemebene werden daher oft Teilbereiche untersucht. Auf eine Optimierung des Gesamtsystems muss dann verzichtet werden.

Zusätzliche Freiheitsgrade ergeben sich im Zuge von kostenoptimierten Entwicklungsmethoden. Es ist hierbei üblich unterschiedliche Systeme aus möglichst vielen Gleichteilen aufzubauen. Die anfallenden Entwicklungskosten lassen sich auf diese Weise auf mehrere Produkte aufteilen. Hieraus resultieren unterschiedliche Einsatzszenarien einer Komponente. Dementsprechend ergeben sich unterschiedliche ESD-Anforderungen an eine elektronische Baugruppe. Aufgrund der hohen Varianz in den Anforderungen kann ein wirkungsvoller ESD-Schutz hierbei nicht mehr mit einzelnen Testreihen garantiert werden.

Die Aufgabe, möglichst vielseitige, zuverlässige und kostenoptimierte elektronische Geräte in kurzen Entwicklungszyklen zu erstellen, führt zu der Notwendigkeit mithilfe von Simulationen die ESD-Eigenschaften zu optimieren. Eine Simulation der zu erwartenden Bedingungen würde eine schnelle und kostengünstige Möglichkeit bieten, um die ESD-Festigkeit zu bestimmen.

Dies könnte bereits zu Beginn einer Elektronikentwicklung geschehen. Zusätzlich bietet ein simulatorischer Ansatz die Möglichkeit, die notwendigen Schutzstrukturen an die jeweilige Anwendung optimal anzupassen. Ebenso wie bei den messtechnischen Untersuchungen kann bisher aufgrund der Komplexität der Vorgänge meist nur ein Ausschnitt der betroffenen Pulsausbreitungswege Mittels Simulation betrachtet werden. Hierfür stehen Simulationsansätze für einzelne Teilbereiche zur Verfügung. Diese wurden jedoch für spezifische Anwendungsfälle konzipiert. Es existieren bereits einige Simulationsansätze und -verfahren zur Entwicklung von ESD-Schutzbeschaltungen auf Halbleiterebene (z.B. [5, 74]). Auf Geräte- und Systemebene sind diese Verfahren leider nur bedingt anwendbar.

Ein zusätzliches Problem stellt die mangelnde Verfügbarkeit von geeigneten Simulationsmodellen dar, welche das ESD-Verhalten von elektronischen Komponenten ausreichend beschreiben. Ein Grund hierfür ist die Problematik, dass eine genaue Beschreibung des Verhaltens unter Pulsbelastung ohne Offenlegung von internen Schutzkonzepten kaum verwirklicht werden kann. Diese werden von den meisten Herstellern als Betriebsgeheimnis eingestuft und können nicht ohne weiteres zugänglich gemacht werden.

Ziel der Arbeit

Ein wichtiger Bestandteil dieser Arbeit ist die Erstellung und Beschreibungen von Modellierungsverfahren zur Simulation des nichtlinearen Verhaltens von Halbleiterstrukturen unter Pulsbelastungen. Verfügbare mathematische und elektrische Modellierungsverfahren sind auf die Anforderungen von speziellen Anwendungsgebieten und Fragestellungen zugeschnitten. Simulationsgestützte Betrachtungen eines Gesamtsystems lassen diese kaum zu. In dieser Arbeit wird ein Modellierungs- und Simulationskonzept entwickelt, welches die Wirkung von elektrostatischen Entladungen auf elektronische Bauteile im System beschreibt. Im Gegensatz zu verfügbaren Simulationsverfahren wird hierbei die Wirkkette von Pulsquelle bis zur Puls senke abgebildet. Aus den Simulationsergebnissen kann direkt das Schädigungspotential auf die beteiligten Halbleiterstrukturen ermittelt werden.

Mit der in dieser Arbeit vorgestellten Simulationsmethodik wird eine strukturierte und effektive Modellbildung allein aufgrund von vergleichsweise einfach zu erhaltenden Messdaten ermöglicht. Dieses Vorgehen ermöglicht eine zielgerichtete simulationsbasierte Bewertung der ESD-Festigkeit von Komponenten in Kfz-Elektroniksystemen.

Eine wichtige Grundanforderung an die dabei entstehenden Modellierungsansätze ist eine unproblematische Eingliederung in bereits bestehende Simulationsumgebungen und eine hohe Kompatibilität und Anwendbarkeit der Modelle. Dort, wo auf bestehende Modellierungen zurückgegriffen werden kann, müssen diese auf ihre Integrierbarkeit und Gültigkeit innerhalb des Simulationskonzeptes überprüft werden. Im Rahmen dieser Arbeit sollen fehlende Modelle identifiziert werden, und entsprechende Verfahren zu deren Modellierung erarbeitet werden. Mithilfe der hierbei erstellten Ansätze soll die Auswirkung auf die gesamte Pulsausbreitungskette abgebildet werden. Eine Bewertung des Pulsverhaltens des gesamten Systems soll damit möglich sein. Die erstellten Modelle sollen das Verhalten der einzelnen Systemkomponenten so beschreiben, dass eine Weitergabe ohne eine Veröffentlichung von Firmen- und Entwicklungsgeheimnissen möglich ist. Modellierungsparameter sollten daher aus öffentlich zugänglichen Quellen, wie beispielsweise Datenblätter oder mithilfe von verbreiteten Messverfahren ermittelt werden können. Es sollte idealerweise möglich sein, das Verhalten eines Bauteils nur durch Messungen zu modellieren. Letztlich soll eine Simulationmethode entwickelt werden, die die Effekte bei elektrostatischen Entladungen auf Kfz-Elektroniksysteme auf eine Weise abbildet, die eine Hilfestellung im Entwicklungsalltag darstellt.

1 Grundlagen

Die Wirkung von elektrostatischen Entladungen auf Halbleiterstrukturen wird unter anderem durch das nichtlineare elektrische Verhalten der Eingangselemente bestimmt. Im folgenden Kapitel wird kurz skizziert, wie das elektrische und thermische Verhalten von Halbleiterstrukturen klassifiziert und beschrieben werden kann. Das dargestellte Verhalten dient als Grundlage zur Modellerstellung der inneren Funktion von Halbleitereingängen und Schutzstrukturen. Anschließend werden Messverfahren zur Charakterisierung von Halbleiterbauelementen vorgestellt, welche im Verlauf der Arbeit verwendet wurden.

1.1 Grundsätzliches elektrisches Verhalten von Halbleitern unter Pulsbelastung

Wird an einer Halbleiterstruktur eine Spannung angelegt, so fließt ein Strom. Der Stromfluss ist von der angelegten Spannung abhängig und kann in einer charakteristischen I/V-Kurve dargestellt werden. Betrachtet man das prinzipielle elektrische Verhalten von gängigen Halbleiterbauelementen im Hochstrombereich so fällt auf, dass diese trotz unterschiedlicher physikalischer Mechanismen ein ähnliches Verhalten im Kennlinienverlauf zeigen [6, 74]. Hierrunter fallen unter anderem Bauelemente, welche häufig für ESD-Schutzstrukturen verwendet werden [7, 5]:

- Bipolartransistoren
- Diffusionswiderstände
- MOS Strukturen
- Dioden

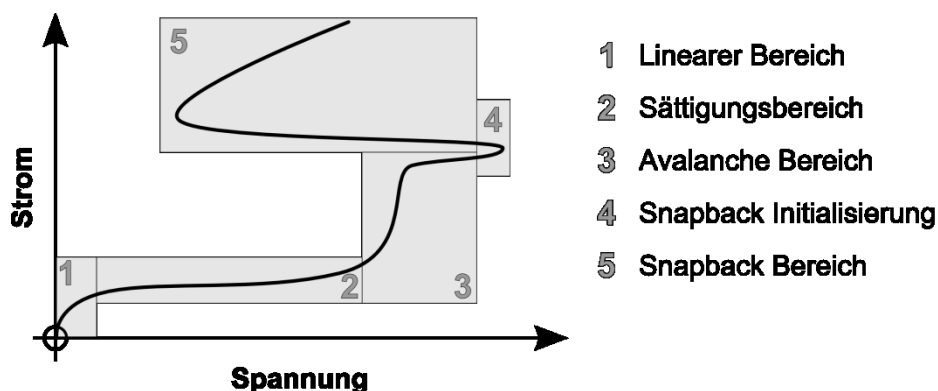


Abbildung 1: Prinzipielles Hochstromverhalten eines MOS-Transistor bei einer konstanten Gate-Spannung

Das Hochstromverhalten dieser Bauelemente kann mit einer einheitlichen phänomenologischen Beschreibung wiedergegeben werden [8]. Anhand einer MOSFET-Struktur soll dies im nachfolgenden dargestellt werden. Abbildung 1 zeigt den Verlauf des Stromes durch einen n-Kanal MOSFET in Abhängigkeit von der Source-Drain-Spannung. Das I/V-Verhalten kann in fünf Bereiche unterteilt werden. Der erste und zweite Bereich werden bereits durch eine Vielzahl von Standardmodellen abgedeckt. Sie sind in kommerziell verfügbaren Simulatoren wie Saber oder Spice implementiert [9]. Um die Bereiche drei bis fünf vorhersagen zu können sind spezialisierte Simulationswerkzeuge notwendig [10, 5].

1.1.1 Linearer Bereich

Wird am Gate eines n-Kanal MOSFET eine positive Spannung V_G angelegt, so erzeugt dies im Halbleiter eine leitfähige Struktur. Es bildet sich zwischen Source und Drain des Transistors ein dünner, leitfähiger Kanal (Abbildung 2). Die Leitfähigkeit des Kanals ist von der Feldstärke der angelegten Gate-Spannung V_G abhängig. Wird zwischen Source und Drain eine Spannung V_D angelegt, so fließt durch den Transistor ein Strom I_D , der linear von der angelegten Source-Drain-Spannung V_D abhängig ist. Das Verhalten des Halbleiters ist in diesem Bereich gut bekannt und kann mit einfachen Beschreibungen modelliert werden [11]. Der Source-Drain-Strom I_D kann im linearen Bereich angenähert werden [80]:

$$I_D = \frac{a \cdot W}{L} \cdot (V_G - V_T) \cdot V_D - b \cdot V_D^2 \quad (1)$$

Hierbei stellen a und b Materialkonstanten dar, welche von der Elektronenmobilität, der Dotierungskonzentration im leitfähigen Kanal und der Gatekapazität abhängig sind. L stellt die Länge des Kanals von Source nach Drain dar und W die Breite des Transistors. Die Durchbruchspannung V_T stellt die geringste Gate-Spannung dar, bei welcher der leitfähige Kanal anfängt sich auszubilden.

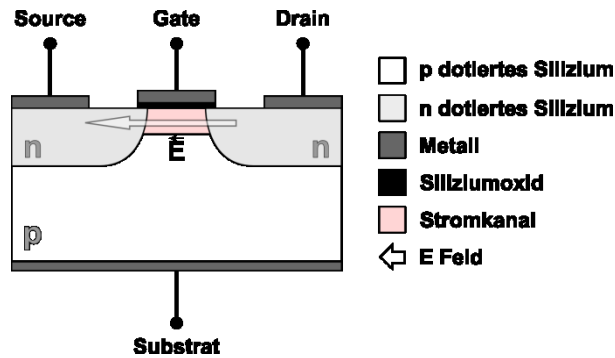


Abbildung 2: Linearer Bereich in einem n-Kanal-MOSFET-Modell

1.1.2 Sättigungsbereich

Aufgrund der angelegten Source-Drain-Spannung bildet sich im leitfähigen Kanal ein Spannungsgradient (Abbildung 3). Dieser Gradient verringert das Feld der Gate-Spannung V_G im Draingebiet, der leitfähige Kanal wird geschwächt. Der Source-Drain-Strom I_D kann nicht weiter linear ansteigen. Der Sättigungsbereich ist erreicht. Der Source-Drain-Strom I_{D_SAT} kann im Sättigungsbereich näherungsweise mit Gleichung (2) angegeben werden [7]. Auch dieses Verhalten ist in nahezu allen Schaltungssimulationsprogrammen implementiert [11].

$$I_{D_SAT} \approx \frac{b' \cdot W}{L} \cdot (V_G - V_T)^2 \quad (2)$$

Hierbei stellt b' eine weitere Materialkonstante dar, welche von der Elektronenmobilität und der Dotierungskonzentration im leitfähigen Kanal und der Gatekapazität abhängig ist.

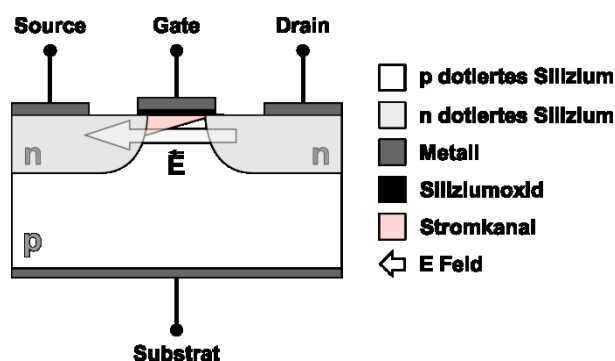


Abbildung 3: Sättigungsbereich in einem n-Kanal-MOSFET Modell

1.1.3 Avalanche-Bereich

Der Avalanche-Bereich liegt außerhalb des üblichen Arbeitsbereiches. Wenn die Source-Drain-Spannung einen bestimmten Wert überschreitet, werden im Halbleiter aufgrund der hohen Feldstärke durch Stoßionisation Valenzelektronen in das Leiterband gehoben. Abbildung 4 zeigt den dabei entstehenden Stromkanal. Aufgrund der Ladungsträgervielfachung steigt der Strom hier stark an. Im Gegensatz zum Linearen- und Sättigungsbereich kann der Avalanche-Bereich auch erreicht werden, wenn keine Gate-Source-Spannung angelegt wird. Dieser Bereich ist daher auch für unversorgte Bauteile wichtig. Gängige Modellierungsverfahren greifen hier nicht mehr, da die Effekte stark von der verwendeten Technologie, Dotierung und Implementierung abhängig sind [12, 13].

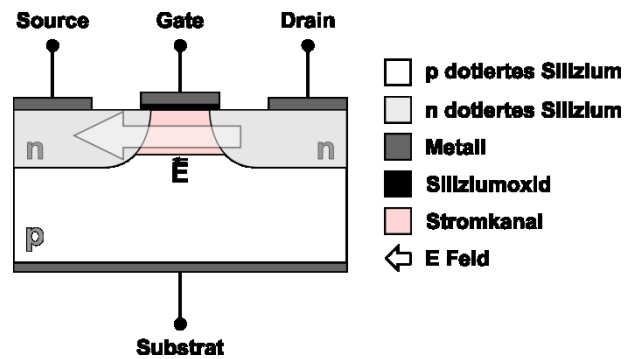


Abbildung 4: Avalanche-Bereich in einem n-Kanal-MOSFET Modell

1.1.4 Snapback-Initialisierung

Aufgrund der hohen Stromdichten im Halbleiter werden parasitäre Strukturen aktiv [14, 15]. Abbildung 5 zeigt einen aufgrund hoher Stromdichten erzeugten parasitären npn-Transistor in einem n-Kanal-MOSFET [8]. Aufgrund des hohen Source-Drain-Stromes im Transistor kommt es zu einem Spannungsabfall innerhalb des aktiven Siliziumvolumens. Dies führt dazu, dass durch die Basis des parasitären npn-Transistors ein Strom zu fließen beginnt. Dadurch wird eine parasitäre Struktur leitfähig. Durch die abrupte Änderung der Leitfähigkeit des Transistors sinkt die Source-Drain-Spannung sprunghaft, die gesamte Struktur wird deutlich niederohmiger als im Avalanche-Bereich und das Snapback-Verhalten im Halbleiter wird eingeleitet.

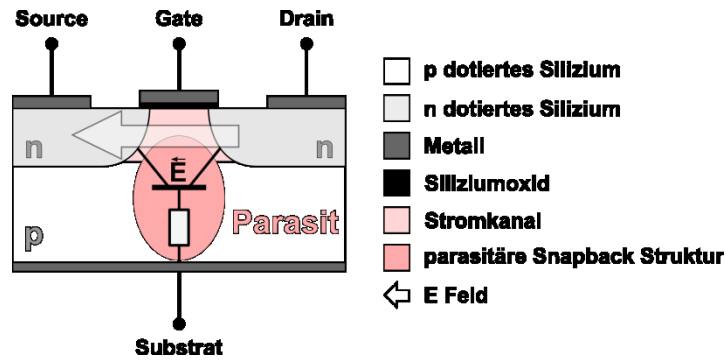


Abbildung 5: Initialisieren einer Snapback-Struktur in einem vereinfachten n-Kanal-MOSFET Modell

1.1.5 Snapback-Bereich

Durch die Aktivierung der zum Snapback führenden parasitären Strukturen wird ein großer Teil des Stromflusses von dem parasitären npn-Transistor übernommen (Abbildung 6). Die parasitäre Struktur behält dann ihren Zustand eigenständig bei. Um dieses Verhalten zu deaktivieren und wieder in den normalen Arbeitsbereich zu gelangen muss ein minimaler Strom unterschritten werden um den parasitären npn-Transistor zu deaktivieren. Solange sich der Transistor im Snapback-Zustand befindet, ist der Strom durch die Struktur von der angelegten Source-Drain-Spannung V_D abhängig. Steigt diese an, so erhöht sich auch der Strom durch den Transistor.

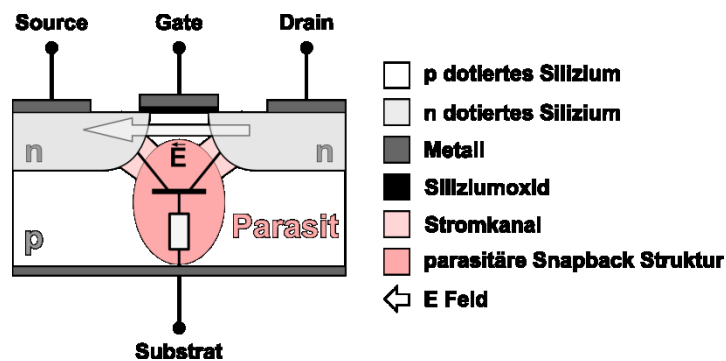


Abbildung 6: Beibehalten der Snapback-Eigenschaften in einem vereinfachten n-Kanal-MOSFET Modell

1.2 Zulässige Pulsbelastung von Halbleitern

Die zulässige elektrische Belastung von Halbleitern ist begrenzt [25]. Die hierbei zulässigen Leistungen sind von der Pulsdauer abhängig. In technischen Angaben für elektrische Bauelemente wird dieser Zusammenhang häufig graphisch dargestellt. Abbildung 7 beschreibt exemplarisch die zulässige Pulsleistung für einzelne, rechteckige Pulse in Abhängigkeit von der Pulsdauer für eine Halbleiterdiode vom Typ BAR74 [16]. Der Verlauf der Kurvenform ist hierbei von einer Vielzahl an Faktoren abhängig, die im Wesentlichen durch den inneren Aufbau der betroffenen Struktur gegeben sind.

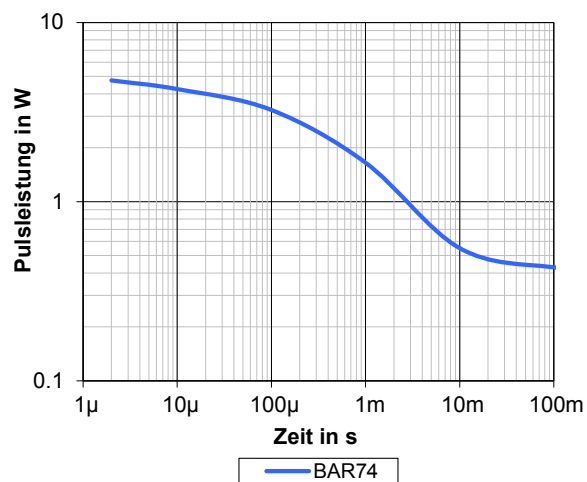


Abbildung 7: Schematische Darstellung der zulässigen Pulsleistung in Abhängigkeit zur Pulsdauer

Angaben über die Belastbarkeitsgrenze im Zeitbereich von elektrostatischen Entladungen finden sich zumeist nicht in allgemein zugänglichen Datenblättern. Entsprechende Informationen sind jedoch notwendig, um die Wirkung von elektrostatischen Entladungen auf Halbleiterbauelemente beurteilen zu können. Der dargestellte Zusammenhang der zulässigen Pulsleistung wird daher im Rahmen dieser Arbeit als Ausgangspunkt zur Beschreibung und Modellierung des thermischen Ausfallverhaltens von Halbleiterstrukturen verwendet.

1.3 Messtechnik zur Parametrisierung

1.3.1 Messungen im Frequenzbereich

Jedes elektronische Bauelement hat abhängig von seiner Geometrie, der Bauteilfunktion und deren Implementierung ein charakteristisches Verhalten im Frequenzbereich. Ist das Übertragungsverhalten bekannt, so kann dieses Verhalten zur Bestimmung von Modellparametern verwendet werden [40, 17].

Netzwerkanalysatoren sind ein verbreitetes Messmittel für eine Erfassung des Übertragungsverhaltens im Frequenzbereich. Eine genauere Beschreibung über den funktionellen Aufbau findet sich unter anderem in [18]. Mit ihrer Hilfe können die Streuparameter von Bauelementen bestimmt werden. Hierfür wird das Messtor eines Netzwerkanalysators mithilfe einer geeigneten Adaptivvorrichtung an das zu vermessende Bauteil angeschlossen. Am Bauelement wird ein Signal mit bekannter Amplitude und Frequenz angelegt. Das reflektierte Signal wird in Abhängigkeit von der Frequenz aufgezeichnet. Um fehlerhafte Messungen aufgrund des Frequenz- und Phasenganges des Adapters und der Zuleitung zu kompensieren wird eine Systemfehlerkorrektur mit dem Messaufbau durchgeführt [60].

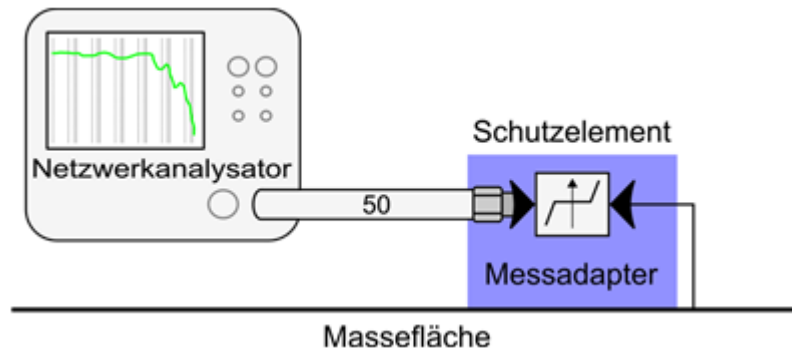


Abbildung 8: Aufbau für eine Messung der Reflexionseigenschaften eines Schutzelementes

Abbildung 8 zeigt den prinzipiellen Messaufbau für die Impedanzmessungen an einem Schutzelement. Das zu vermessende Bauteil wird mittels eines Messadapters an den Netzwerkanalysator adaptiert. In den nachfolgenden Messungen wurde ein vektorieller Netzwerkanalysator verwendet (Rohde & Schwarz, ZVCE). Abbildung 9 zeigt einen auf diese Weise gewonnenen Impedanzverlauf eines Varistors (CT0603K14G). Die Transmissionseigenschaften einer Komponente lassen sich mithilfe des Rückwärtstransmissionsfaktors (S_{12}) als Funktion der Frequenz beschreiben. Am Eingang wird ein Signal mit einer bekannten Frequenz eingespeist.

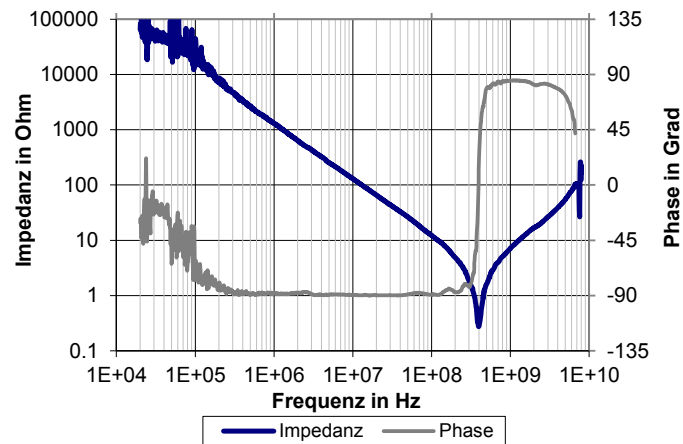


Abbildung 9: Z11 Kennlinie eines Varistors (CT0603K14G)

Das übertragene Signal am Ausgang des Testobjekts wird in Abhängigkeit von der Frequenz aufgezeichnet. Analog zur reflektierenden Messung ist eine Systemfehlerkorrektur mit dem Messaufbau notwendig [60]. Abbildung 10 zeigt einen Messaufbau für S12 Messungen an einer Platinenübertragungsstrecke. Der Eingang der Übertragungsstrecke wird mit dem ersten Tor des Zweiportnetzwerkanalysators verbunden. Das Ende der Platinenübertragungsstrecke wird mit dem zweiten Tor des Zweiportnetzwerkanalysators verbunden.

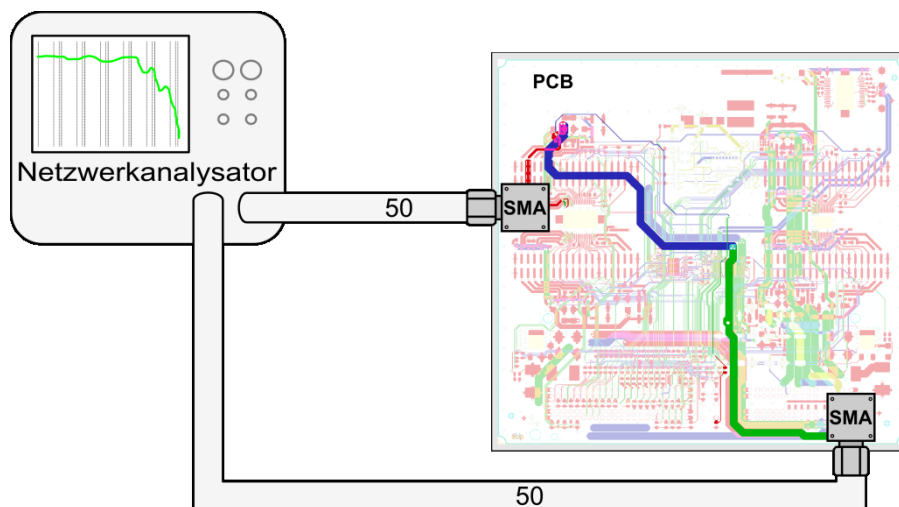


Abbildung 10: Aufbau für eine Messung der Dämpfungseigenschaften einer Platinenübertragungsstrecke

1.3.2 I/V-Kennlinien Messungen

Das statische, nichtlineare Verhalten eines elektronischen Bauelements kann als Zusammenhang zwischen angelegter Spannung und dem daraus resultierenden Strom mittels I/V-Kennlinien beschrieben werden. Zur Ermittlung dieses Zusammenhangs stehen mehrere Messverfahren zur Verfügung.

1.3.2.1 Statische I/V-Kennlinien Messungen

Kennlinienschreiber erfassen den Stromfluss durch eine zu vermessende Komponente bei einer vorgegebenen Spannung und stellen diesen Zusammenhang als I/V-Kennlinie zur Verfügung [29]. Hierbei wird die Spannung statisch angelegt, was zu einer thermischen Beeinflussung der Komponente führen kann.

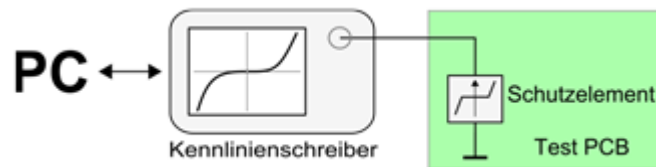


Abbildung 11: Möglicher Testaufbau für eine statische I-V Kennlinienmessung

Dieses Messverfahren kann bei ESD-Schutzbauteilen nur eingeschränkt verwendet werden, da im aktiven Zustand erhebliche Ströme fließen können. Abbildung 11 zeigt einen Aufbau für Kennlinienschreibermessungen. Für alle hier gezeigten Messungen wurde ein Messsystem von Keithley (2430C) verwendet und direkt mit dem Schutzbauteil verbunden.

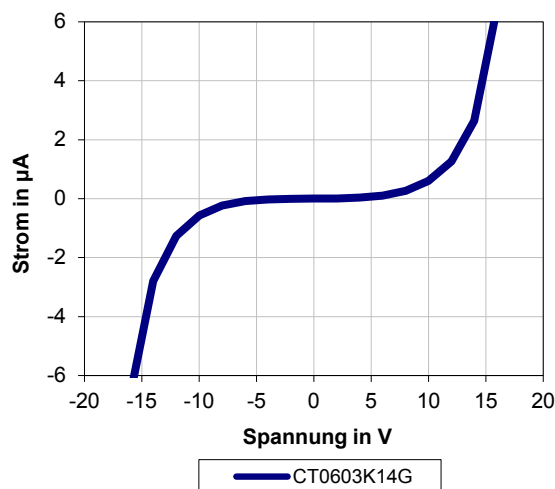


Abbildung 12: I/V-Leckstromkennlinie eines Varistors (CT0603K14G)

Die Ansteuerung und Auswertung erfolgt rechnerunterstützt. Der eingepreßte Strom wurde begrenzt, um das zu vermessende Bauteil thermisch nicht zu beeinträchtigen. Abbildung 12 zeigt die aus der Messung gewonnene I/V-Kennlinie im Sperrbereich eines Varistors (CT0603K14G). Die spezifizierte Durchlassspannung von etwa 14 V ist gut zu erkennen.

1.3.2.2 Gepulste I/V-Kennlinienmessung mithilfe eines TLP

Eine rein statische Messung von I/V-Kennlinien mittels Kennlinienschreibermessungen kommt für die Messung von ESD-relevanten Parametern normalerweise nicht infrage, da die statisch angelegten Leistungen das zu vermessende Bauteil thermisch stark belasten und beeinflussen. Ein gängiges Verfahren zur messtechnischen Ermittlung dieser Kennlinien im ESD-relevanten Bereich stellen TLP-Messungen dar [19].

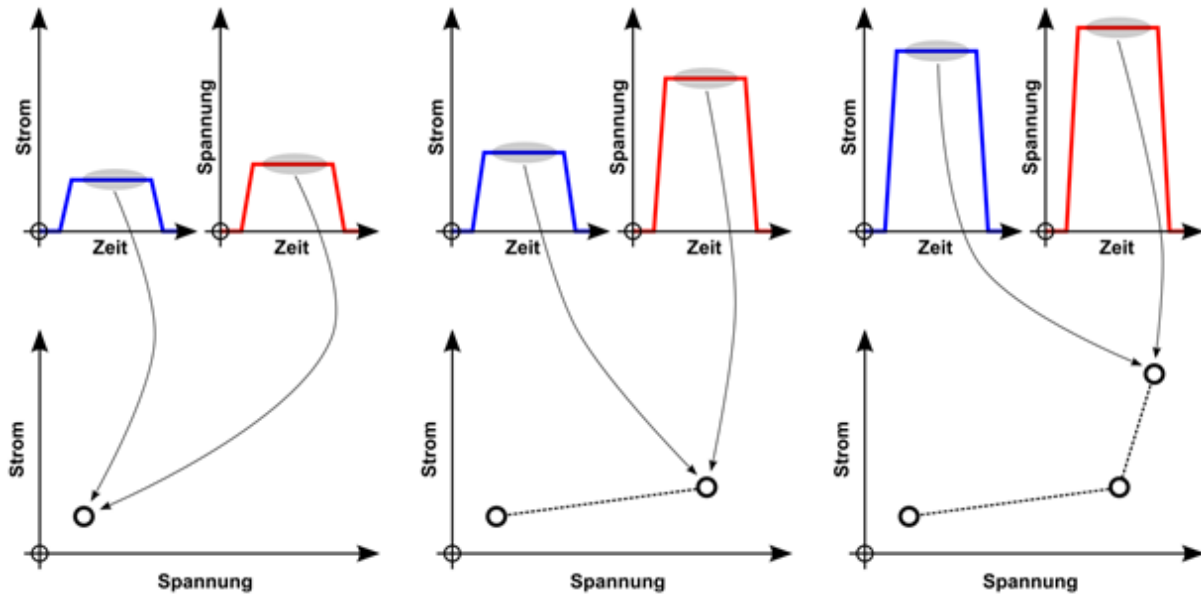


Abbildung 13: Ablauf von TLP-Kennlinienmessungen

Abbildung 13 beschreibt den Ablauf einer TLP-Messung. Bei diesem Messverfahren werden Rechteckpulse mittels eines geeigneten Pulsgenerators erzeugt. Die Dauer der Rechteckpulse wird so gewählt, dass die umgesetzte Leistung das Verhalten des Messobjekts thermisch möglichst nicht beeinflusst. Aus den rechteckförmigen Strom- und Spannungsverläufen der einzelnen Pulse werden ein Strom- und ein Spannungswert gemittelt. Diese Wertepaare bilden einen Punkt in der gemessenen I/V-Charakteristik. Die Ladespannung der Rechteckpulse wird erhöht, um weitere Strom- Spannungswertepaare zu ermitteln. Die so gemessenen Wertepaare bilden zusammen eine I/V-Kennlinie.

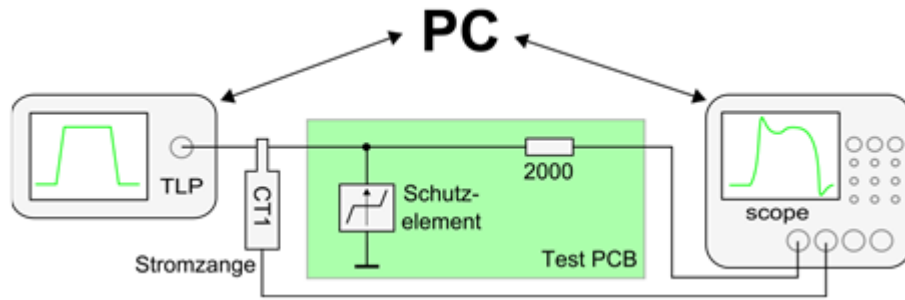


Abbildung 14: Testaufbau für eine gepulste I-V Kennlinienmessung

Aufgrund der kurzen Pulszeiten und schnellen Anstiegsflanken ist eine hochfrequenztaugliche Messanbindung notwendig. Abbildung 14 zeigt einen Testaufbau für gepulste I/V-Kennlinienmessung. Ein TLP-Generator von HPPI (TLP-3010C) [20] wurde verwendet, um die benötigten Messpulse zu erzeugen. Dieser deckt einen Strombereich von ± 30 A bzw. einen Spannungsbereich bei unbelastetem Generatorausgang von ± 1500 V ab. Die Strompulse in das Schutzelement werden mit einer Stromzange von Tektronix (CT1) gemessen. Die am Bauteil anliegende Spannung wird, ebenso wie der Strom, mit einem Oszilloskop (LeCroy; SMA6000) aufgezeichnet. Die Ansteuerung und Messauswertung der Geräte erfolgt mittels eines Rechners. Abbildung 15 zeigt die aus den gepulsten Messungen gewonnene I/V-Kennlinie eines ESD-Schutzelementes (CT0603K14G). Die hervorgehobenen Punkte zeigen die gemessenen I/V Wertepaare.

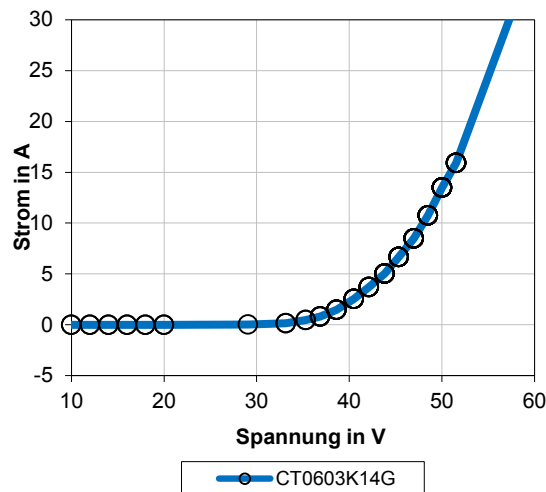


Abbildung 15: I/V-Durchlassstrom Kennlinie eines Varistors (CT0603K14G)

2 Systembestimmende Komponenten

Ein Simulationskonzept, das eine Betrachtung von ESD-Ereignissen auf Systemebene zulässt und dabei die Belange der Elektronikentwicklung berücksichtigt, muss in der Lage sein flexibel unterschiedliche Systeme zu beschreiben und zu untersuchen. Eine Austauschbarkeit und Weitergabe der Modelle zwischen unterschiedlichen Institutionen und Firmen ist wünschenswert und notwendig. Hierfür sollten die Simulationsmodelle in breit verfügbaren Simulationsprogrammen lauffähig sind. Ein entsprechendes Simulationskonzept muss dies berücksichtigen. Eine Beschränkung auf ein spezielles Berechnungsprogramm sollte vermieden werden.

Ein entsprechender Simulationsansatz sollte eine Aufteilung in einzelne Submodelle zulassen, um eine einfache Anpassung an die jeweiligen Fragestellungen zu gewährleisten. Hierbei können die jeweiligen Submodule in gängigen Simulationsprachen (z.B. Spice, VHDL-AMS, MAST) beschrieben werden. So ist eine breite Kompatibilität zu unterschiedlichen Simulatoren gewährleistet.



Abbildung 16: Klassifizierung der beteiligten Systemkomponenten

Die systembestimmenden Komponenten lassen sich nach EMV-Gesichtspunkten [21] in drei Kategorien einteilen:

- Pulsquelle
- Übertragungsstrecke
- Pulssenke

Hierbei erfolgt ein Energietransfer von der Pulsquelle mittels einer Übertragungsstrecke zu einer Pulssenke (Abbildung 16). In realen Systemen kann die Verbindung zwischen den einzelnen Blöcken komplexer ausfallen. So können einzelne Teile parallel und mehrfach vorkommen. Häufig wird die Pulslast der Quelle auf unterschiedliche Pulssinken verteilt.

Abbildung 17 zeigt ein typisches ESD-Test-Szenario. Hier wird ein Störpuls von einem ESD-Generator (1) über einen Stecker (2) auf eine elektronische Komponente übertragen. Am Geräteeingang wird ein Teil der Pulslast über ein Schutzelement (3) abgefangen.

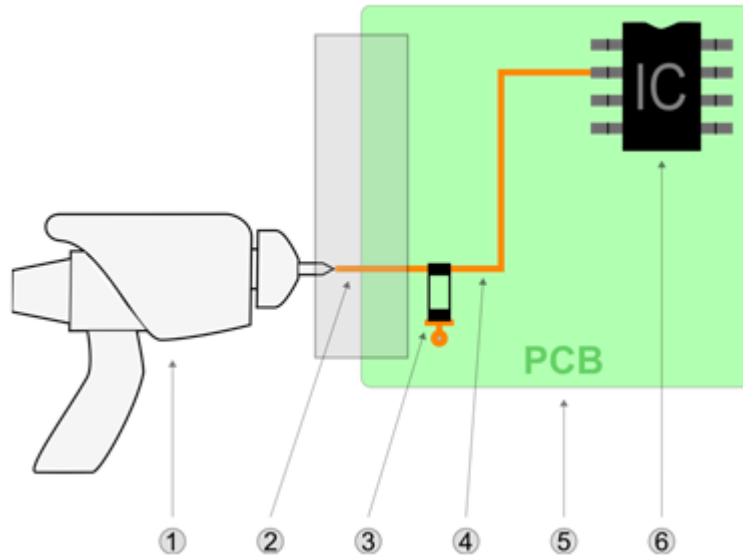


Abbildung 17: Typisches ESD-Testsystem

Der verbleibende Störpuls wird über eine Platinenübertragungsstrecke (4 und 5) auf einen IC (6) übertragen. Die beteiligten Komponenten haben einen nicht unerheblichen Einfluss auf den Pulsverlauf, die Spannungs-, Strom- und Energieverteilung im System und auf die zu erwartenden Anstiegszeiten der Strom- und Spannungsflanken.

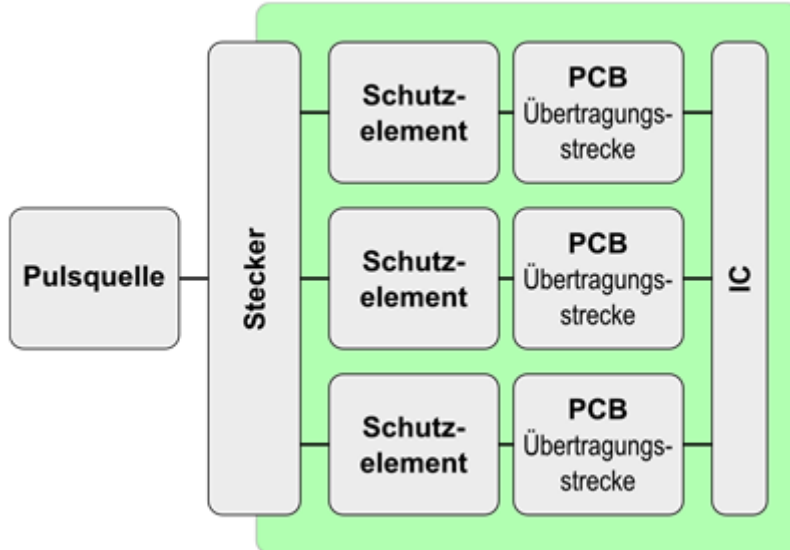


Abbildung 18: Vereinfachtes Blockschaltbild eines beispielhaften Systems zur ESD-Qualifizierung

Die meisten elektronischen Systeme können auf einige pulsbestimmende Komponenten reduziert werden (Abbildung 18). Abhängig von ihren Eigenschaften können diese Komponenten in unterschiedliche Kategorien eingeteilt werden (Tabelle 1).

Systembestimmende Komponenten	
Pulsquelle	ESD-Pulsquellen stellen die Ursache für transiente Störungen dar. Es sind unterschiedlichste Quellen bekannt. In vielen Fällen existieren normierte Testverfahren zur Erzeugung und Verifikation dieser Pulsformen. Deren Eigenschaft ist oft abhängig vom jeweiligen Hersteller und der anzuwendenden Normierung.
Stecker	Aus Systemsicht kann eine Steckerstruktur wie eine Platinenübertragungsstrecke behandelt werden.
Schutzelement	Schutzelemente wirken als Pulssenke, sie vermindern die Störwirkung von transienten Pulsen, indem sie den Puls verzögern, abschwächen bzw. Pulsenergie aufnehmen. Hierbei können sie sich nichtlinear verhalten und ihre Eigenschaften in Abhängigkeit zur angelegten Spannung bzw. zum auftretenden Strom verändern.
Platinenübertragungsstrecken	Platinenübertragungsstrecken sind in der Regel Leiterbahnen, welche Komponenten auf einer Leiterplatte verbinden. Dabei verhalten sie sich zumeist linear.
IC	Halbleitereingänge wirken als Pulssenken. Während der Pulsbelastung verhalten sie sich oft nichtlinear. Sie können dauerhaft durch transiente Pulse zerstört werden. Dies ist ein wichtiger Indikator für die Robustheit elektronischer Systeme.

Tabelle 1: Kategorisierung übergeordneter Schaltungsteile aus ESD-Sicht

3 Modellierung des elektrischen Verhaltens von systembestimmenden Komponenten

3.1 ESD-Generatoren

Zu Test- und Qualifizierungszwecken kommt eine Vielzahl von Pulsgeneratoren zum Einsatz. Typische Testszenarien im Automobilbereich umfassen ESD-Tests nach ISO 10605 oder IEC 61000-4-2. Hierbei werden ESD-Generatoren von unterschiedlichen Herstellern verwendet. Um eine Vergleichbarkeit der unterschiedlichen Testaufbauten zu bewerkstelligen, werden die Generatoren an einer Normimpedanz von $2\ \Omega$ kalibriert und verglichen. Aufgrund dieser Kalibrieranforderung verhalten sich die zugelassenen Generatoren an niederimpedanten Lasten ähnlich. Da die Kalibrierung jedoch nur an einem Arbeitspunkt erfolgt, ist das Entladeverhalten der Generatoren bei Impedanzen größer $2\ \Omega$ nicht festgelegt. Tabelle 2 zeigt den gemessenen Spitzenstrom von drei unterschiedlichen ESD-Generatoren mit 1 kV Entladespannung ($150\ \text{pF}/330\ \Omega$) an unterschiedlichen Entladeimpedanzen [22].

Generator Hersteller (Typ)	Spitzenstrom			
	Lastimpedanz in Ω			
	0	47	470	4,7 k
Schaffner (NSG 438)	3,9 A	3,41 A	1,47 A	0,53 A
Schlöder (SESD 30000)	4,1 A	3,5 A	1,59 A	0,69 A
NoiseKen (TC-815R)	3,62 A	2,7 A	0,97 A	0,4 A

Tabelle 2: Gemessene Spitzenströme bei 1 kV Ladespannung

Hierbei fällt auf, dass die Spitzenströme der einzelnen Generatoren bei höheren Entladeimpedanzen signifikant voneinander abweichen können. Bei den untersuchten NoiseKen- und Schlöder-Geräten beträgt die Abweichung bei $4,7\ \text{k}\Omega$ etwa 70% [22]. Aufgrund dieses unterschiedlichen Verhaltens erscheint es notwendig, für die jeweiligen Generatoren separate Modelle zu erstellen.

Es bestehen bereits Schaltungsmodelle für gebräuchliche ESD-Generatoren, welche aus diskreten Schaltungselementen aufgebaut sind. Als leistungsfähiges Modell, welches die herstellereigenen Eigenheiten der einzelnen Generatoren gut wiedergeben kann, hat sich die Modellierung nach [22] erwiesen. Dieses Modell geht auf das herstellereigene Generatorverhalten ein.

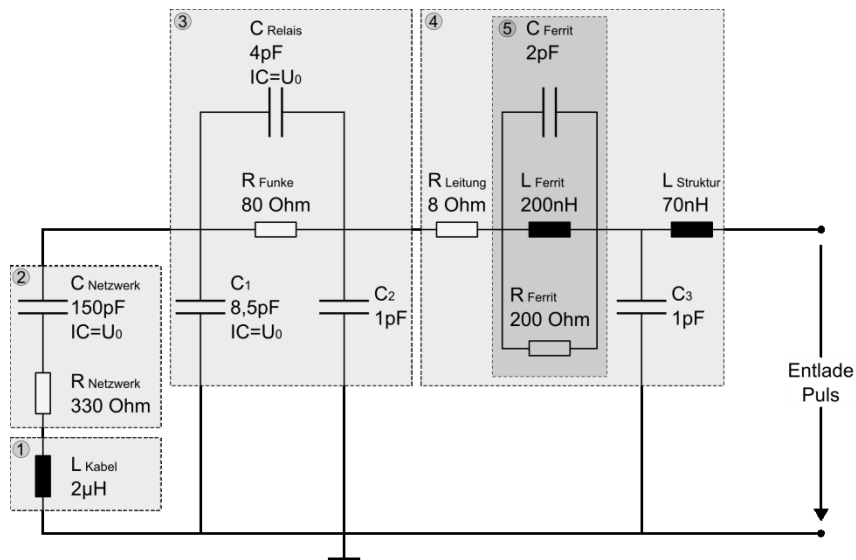


Abbildung 19: Simulationsmodell eines TC-815R NoiseKen ESD-Generators

Hierbei werden die elektrischen Eigenschaften der pulsformenden Komponenten mit diskreten Ersatzelementen nachgebildet. In Abbildung 19 wird das Modell für einen TC-815R NoiseKen ESD-Generator dargestellt [23]. Den jeweiligen mechanischen Komponenten können elektrische Ersatzelemente zugeordnet werden (Tabelle 3). Hierbei gibt L_{Kabel} die Induktivität der Generatorzuleitung (1) wieder. C_{Netzwerk} und R_{Netzwerk} geben das wechselbare Entladenetzwerk (2) des Generators wieder.

TC-815R NoiseKen ESD-Generator Modellwerte				
1	Zuleitung	L_{Kabel}	2	μH
2	Entladenetzwerk	C_{Netzwerk}	150	pF
		R_{Netzwerk}	330	Ω
3	Entladerelais	C_1	8,5	pF
		C_2	1	pF
		C_{Relais}	4	pF
		R_{Funke}	80	Ω
4	Entladespitze	R_{Leitung}	8	Ω
		L_{Struktur}	70	nH
		C_3	1	pF
5	Anpassungsferrit in der Entladespitze	R_{Ferrit}	200	Ω
		C_{Ferrit}	2	pF
		L_{Ferrit}	200	nH

Tabelle 3: Zuordnung der mechanischen und elektrischen Komponenten in einem ESD-Generator Modell

Die Initialbedingung $IC = U_0$ gibt die Entladespannung des Generators in das System vor. C_1 , C_2 , C_{Relais} und R_{Funke} bilden das Hochspannungsrelais (3) in der Generatorpistole nach. R_{Ferrit} , C_{Ferrit} und L_{Ferrit} modellieren die Eigenschaften des in der Entladespitze angebrachten Anpassungsferrits (5). R_{Leitung} , L_{Struktur} und C_3 geben die elektrischen Eigenschaften der Entladespitze (4) zum Prüfling wieder.

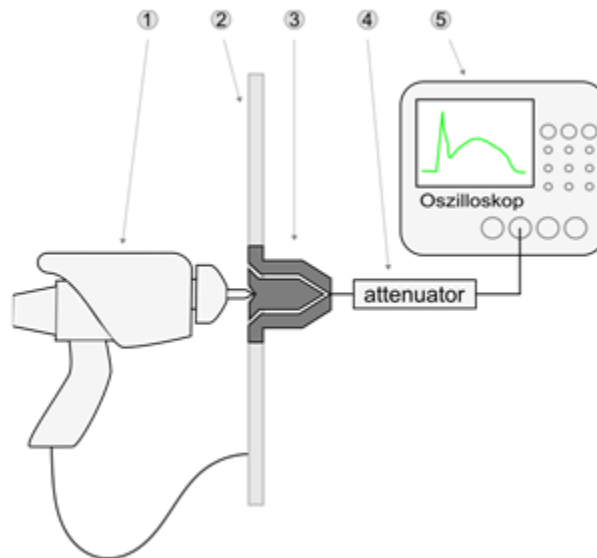


Abbildung 20: Testaufbau nach IEC 61000-4-2 an einem Stromtarget

Zum Nachweis der Eignung des diskreten Ersatzmodells wurden gemessene und simulierte Stromverläufe verglichen. Der hierbei verwendete Testaufbau wurde an die IEC 61000-4-2 angelehnt. Abbildung 20 beschreibt den verwendeten Testaufbau. Hierbei wird der ESD-Generator (1) an einer Massefläche (2) in ein 2Ω Stromtarget (3) entladen. Die hierbei entstehenden Pulsverläufe werden über ein Dämpfungsglied (4) mithilfe eines Oszilloskops (5) aufgezeichnet.

Abbildung 21 zeigt den gemessenen [22] und simulierten Stromverlauf bei einer Entladespannung von 1 kV. Sowohl der Spitzenstrom am Anfang des Entladevorgangs als auch der weitere Stromverlauf wurde gut wiedergegeben. Zur besseren Beurteilung der Modellqualität ist in Abbildung 22 der Entladevorgang im Frequenzbereich dargestellt. Hier zeigt sich eine gute Übereinstimmung von Simulation und Messung bis etwa 700 MHz. Für höhere Frequenzanteile als 700 MHz ist hier die Dynamikgrenze des Messsystems erreicht, so dass ein Vergleich ab hier nicht mehr möglich ist. Es zeigt sich eine gute Übereinstimmung zwischen Simulations- und Messergebnissen.

Leitungsgebundene Pulsbelastungen von ESD-Generatoren können mit der hier vorgestellten Modellierung gut wiedergegeben werden. Die Eigenheiten unterschiedlicher ESD-Generatoren können berücksichtigt werden, was in [23] gezeigt wird.

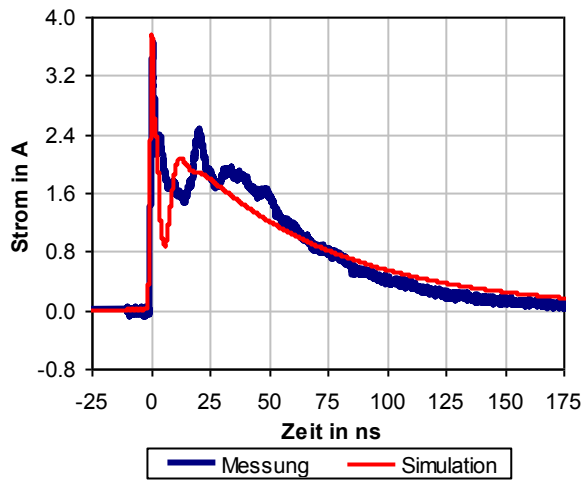


Abbildung 21: Vergleich des gemessenen und simulierten Entladestroms eines NoiseKen ESD-Generators an 2 Ohm im Zeitbereich

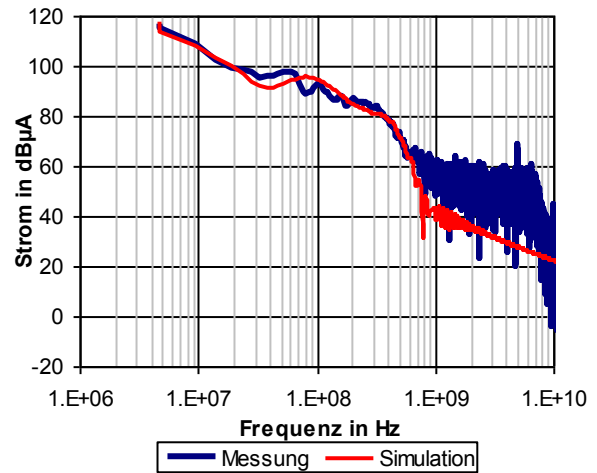


Abbildung 22: Vergleich des gemessenen und simulierten Entladestroms eines NoiseKen ESD-Generators an 2 Ohm im Frequenzbereich

3.2 Passive lineare Bauelemente

Passive lineare Bauelemente werden häufig als Schutzelemente vor transienter Pulsbelastung eingesetzt. Hierbei handelt es sich zumeist um Widerständen, Induktivitäten und Kondensatoren (RLC) oder einer Kombination aus diesen Bauelementen. Dies hat seine Ursache unter anderem in ihrem kostengünstigen Einsatz und in ihrem vorhersagbaren Verhalten.

3.2.1 Eigenschaften passiver linearer Schutzelemente

Es existieren zahlreiche Begriffserklärungen zur Definition passiver Bauelemente, welche von der jeweiligen Betrachtungsweise geprägt sind. So findet sich beispielsweise in [24] die Festlegung, dass passive Bauelemente im statischen Zustand keine elektrische Energie abgeben. In Beschreibungen zur Schaltungssimulation findet man die Begriffserklärungen, dass passive Bauelemente ohne gesteuerte Quellen modelliert werden können [25]. Alle Definitionen haben jedoch das gemeinsame Verständnis, dass passive Bauelemente keine verstärkenden Eigenschaften besitzen. Bauelemente verhalten sich linear, wenn ihre bauteilbestimmenden Eigenschaften, wie Widerstand, Induktivität oder Kapazität, unabhängig von Spannung und Strom sind. Im statischen Fall hängen Spannung und Strom linear voneinander ab. Im dynamischen Fall gilt dies für deren zeitliche Ableitungen bzw. Integrale [26].

statisch	dynamisch	
Widerstand	Induktivität	Kapazität
$I = \frac{U}{R}$	$U = -L \frac{dI}{dt}$	$I = C \frac{dU}{dt}$

Tabelle 4: lineare Eigenschaften bei Widerständen, Induktivitäten und Kapazitäten

Werden passive lineare Bauelemente zu einem Netzwerken verschalten, so bewirkt eine lineare Änderung im Eingangssignal eine lineare Änderung im Ausgangssignal [27]. Die Netzwerkeigenschaften sind hierbei nicht Pegelabhängig. Diese Eigenschaft macht passive lineare Bauelemente zu wichtigen Komponenten bei der Beschreibung von linearen, zeitinvarianten Systemen [28].

Abbildung 23 zeigt die typischen Begrenzungseigenschaften eines Widerstandes, einer Induktivität und einer Kapazität, welche einem IC-Eingang als Schutzelemente vorgeschaltet sind. Die Schutzelemente beeinflusst den Strom- bzw. Spannungsverlauf und können so die am IC-Eingang auftretenden Belastungen begrenzen. Aufgrund der Linearität der Schutzelemente beeinflussen dieses jedoch die zu schützende Schaltung bereits im Arbeitsbereich bzw. von

Beginn an. Daraus folgt, dass diese Schutzelement bei Schaltungen mit hohen Anforderungen an das Übertragungsverhalten bzw. Geschwindigkeit an ihre Grenzen stoßen.

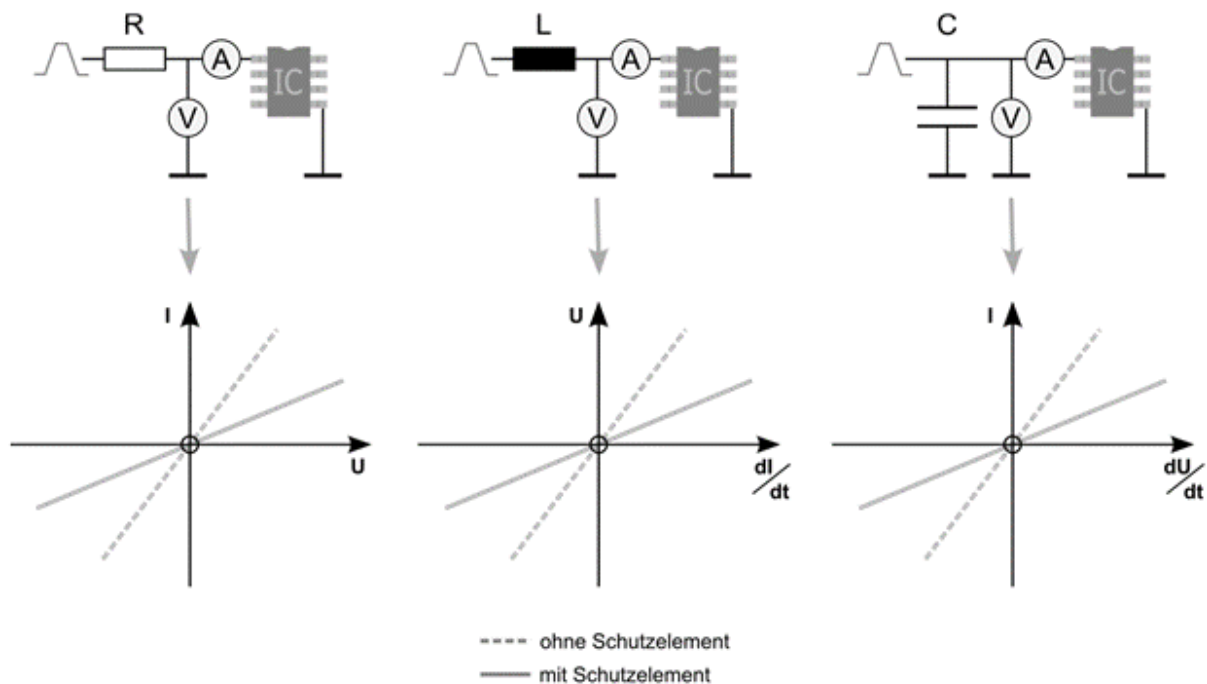


Abbildung 23: Begrenzungseigenschaften von passiven linearen Schutzelementen
(links: Widerstand, mitte: Induktivität, rechts Kapazität)

Dies hat seine Ursache darin, dass ein wirkungsvoller Schutz zumeist nur mit Bauteilwerten möglich ist, welche die eigentliche Funktion bereits bei niedrigen Schaltfrequenzen beeinflussen [32]. Für Signale im MHz Bereich, wie sie etwa bei Kommunikationsschnittstellen vorkommen, sind diese Bauelemente daher selten geeignet. Jedoch lassen sich Schnittstellen und Anwendung mit niedriger Arbeitsfrequenz, wie etwa statische bzw. langsam schaltende Ein- und Ausgänge oder Versorgungseingänge mit passiven linearen Schutzelementen effizient schützen.

3.2.2 Modellierung

Ein gängiges Verfahren zur Beschreibung von linearen Schutzelementen ist eine Ersatzschaltung aus Widerständen, Induktivitäten und Kondensatoren. In der gängigen Literatur finden sich zahlreiche Beschreibungen zur Modellierung von passiven Bauelementen. Wie unter anderem in [21, 29] beschrieben ist es gängig, den jeweiligen Bauelementen parasitäre Elemente zuzuordnen, um ihr Verhalten im Frequenzbereich zu beschreiben. Die Komplexität der Ersatzschaltung richtet sich hier nach der zu errechnenden Gültigkeit im Frequenzbereich.

Einfache Ersatzmodelle für Hochfrequenzanwendungen findet sich unter anderem in [30]. Hierbei werden dem jeweiligen Nominalwert unterschiedliche parasitäre, lineare Elemente zugeordnet. In Abbildung 24, Abbildung 25 und Abbildung 26 sind die daraus abgeleiteten Ersatzmodelle für diskrete Widerständen, Induktivitäten und Kondensatoren dargestellt.

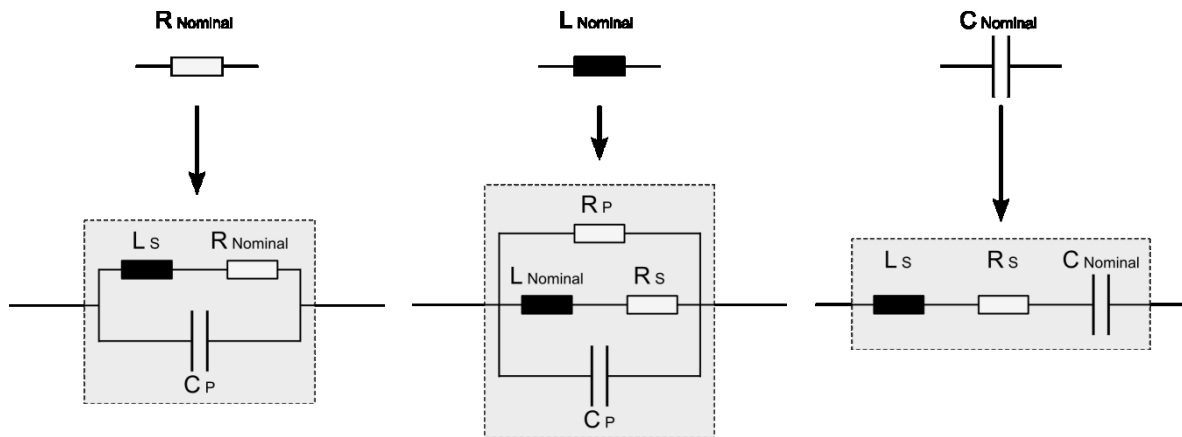


Abbildung 24: Ersatzschaltung eines Widerstandes

Abbildung 25: Ersatzschaltung einer Induktivität

Abbildung 26: Ersatzschaltung eines Kondensators

Es existiert neben diesen einfachen Modellierungen eine Vielzahl von deutlich komplexeren Modellansätzen. Für die hier angestrebte Systembetrachtung haben sich die aufgeführten, relativ einfachen Modelle als ausreichend erwiesen. Auch stellen die einfachen Modelle für Widerstände, Induktivitäten und Kondensatoren einen guten Kompromiss zwischen Modellierungsgenauigkeit und Rechengeschwindigkeit dar. Explizit nicht betrachtet und modelliert werden Beeinflussungen der Bauteilwerte durch:

- Alterung
- Überlastung
- Temperatureffekte
- Sättigungseffekte

Sollte eine Modellierung der ausgeschlossenen Bauteileigenschaften erforderlich sein, so sind zum Teil deutlich aufwendigere Modelle notwendig [31].

3.2.3 Exemplarische Modellierung und Bewertung der Modellqualität

Zur Verifikation der einfachen Ersatzmodelle wurden jeweils ein Widerstand, eine Induktivität und ein Kondensator vermessen und modelliert. Hierbei handelt es sich um typische Bauelemente, welche in Kfz-Elektroniken häufig Anwendung finden.

3.2.3.1 Widerstand

Als exemplarischer Widerstand wurde ein Dünnschicht Typ mit einem Widerstandswert von 15Ω Typ in der Baugröße 0603 gewählt (Tabelle 5). Dieser Wert findet unter anderem als Längselement Verwendung. In Abbildung 27 wird der gemessene und simulierte Impedanzverlauf des Widerstandes dargestellt. In der Messung ist deutlich der Impedanzanstieg ab 1 GHz zu erkennen. Im Simulationsmodell nach Abbildung 24 konnte dieses Verhalten mit einer seriellen Induktivität L_S von 1,5 nH und einer parallelen Kapazität C_P von 0,4 pF gut nachgebildet werden.

R	
Hersteller	Tyco
Bauform	0603
Typ	CPF0603B15RE1
Bauart	CPF, Dünnschicht
R_{Nominal}	15 Ω
L_S	1,5 nH
C_P	0,4 pF

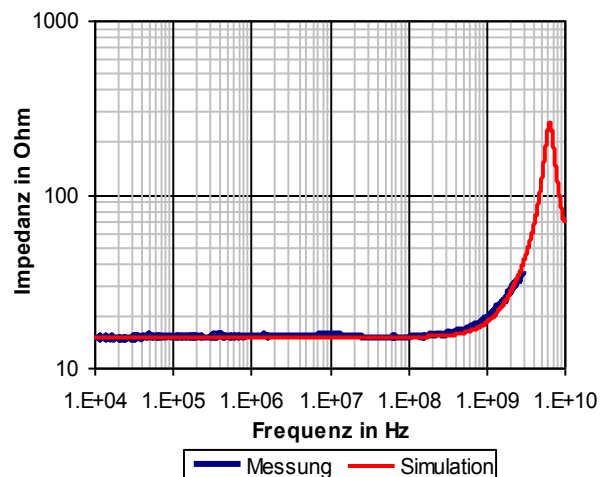


Tabelle 5: Herstellerinformationen und HF-Modellwerte eines Widerstandes

Abbildung 27: Impedanzverlauf eines Widerstandes

3.2.3.2 Induktivität

Als beispielhafter Vertreter für Induktivitäten wurde eine SMD Spule mit $2,7 \mu\text{H}$ Induktivität von Panasonic untersucht (Tabelle 6). Bauelemente in dieser Größenordnung finden häufig als Längselement in Ausgangsfiltern Verwendung.

In Abbildung 28 ist der gemessene (dunkelblau) und simulierte (rot) Impedanzverlauf der untersuchten Induktivität dargestellt. Mit dem einfachen Simulationsmodell nach Abbildung 25 stimmen die Simulations- und Messergebnisse bis etwa 1 GHz überein. Hierbei wurde für den seriellen Widerstand R_S ein Wert von $400 \text{ m}\Omega$ angenommen. Die parallelen Ersatzelemente wurden mit $C_P = 1,3 \text{ pF}$ und $R_P = 3000 \Omega$ modelliert. Für höhere Frequenzen kann das einfache Ersatzmodell das Bauteilverhalten nur ungenügend abbilden.

L	
Hersteller	Panasonic
Bauform	ELL6 H
LxBxH	6 x 6 x 2,5 mm
Typ	ELL6RH2R7M
Bauart	SMD Spule
L_{Nominal}	2,9 μH
R_S	400 $\text{m}\Omega$
C_P	1,3 pF
R_P	3000 Ω

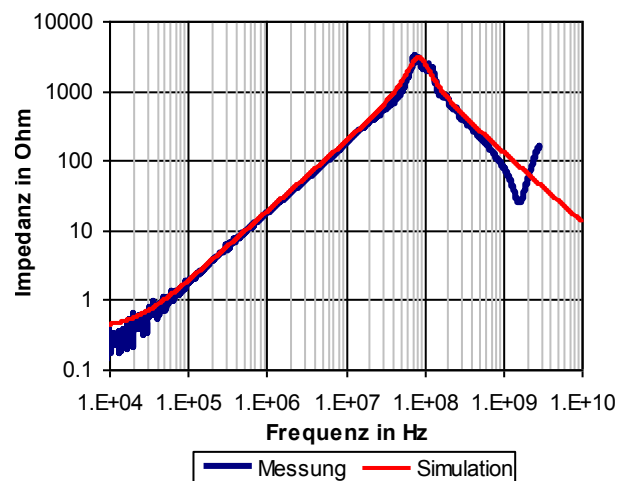


Tabelle 6: Herstellerinformationen und HF-Modellwerte einer Induktivität

Abbildung 28: Impedanzverlauf einer Induktivität

Werden zuverlässige Simulationsergebnisse für den Bereich $> 1 \text{ GHz}$ benötigt, so ist ein erweitertes Modell notwendig. Hierzu wird das einfache Ersatzmodell der Induktivität um zwei Elemente erweitert, um die zweite Resonanzstelle im Impedanzverlauf abzubilden. Abbildung 29 zeigt das erweiterte Modell, welches mit den Elementen L_{S_C} und R_{S_C} im Kondensatorzweig erweitert wurde.

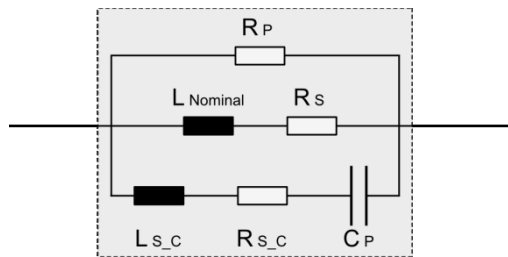


Abbildung 29: Erweiterte lineare Ersatzschaltung einer Induktivität

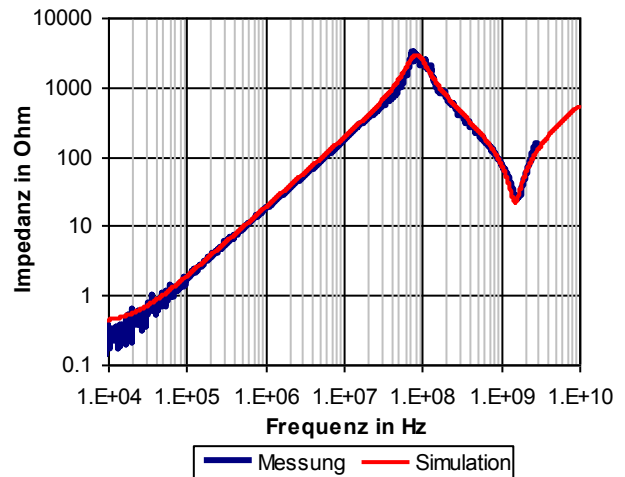


Abbildung 30: Impedanzverlauf einer erweiterten Ersatzschaltung für eine Induktivität

In Tabelle 7 werden die für das erweiterte Modell benötigten Bauteilwerte dargestellt. Abbildung 30 zeigt den gemessenen Impedanzverlauf der Induktivität im Vergleich zu dem Impedanzverlauf des erweiterten Modells. Diese zeigen bis zur Messgrenze bei 3 GHz eine gute Übereinstimmung. Im Einzelfall sollte jedoch abgewägt werden, ob eine Modellierungsgenauigkeit in dieser Qualität notwendig ist, da der dafür benötigte Aufwand zum Teil erheblich ansteigen kann, ohne eine signifikante Verbesserung der Simulationsergebnisse zu gewährleisten.

L _{erweitert}		
L _{Nominal}	2,9	μH
R _S	400	mΩ
C _P	1,3	pF
R _P	3000	Ω
L _{S_C}	9	nH
R _{S_C}	22	Ω

Tabelle 7: Werte für ein erweitertes Ersatzmodell einer Induktivität

3.2.3.3 Kondensator

Als Vertreter für häufig verwendete Kapazitäten wurde ein Keramikkondensator mit 22 nF, X7R, MLCC von Yageo Europe in der Bauform 0603 untersucht (Tabelle 8). Diese Art von Bauelement findet mit ähnlichen Bauteilwerten häufig als Eingangskapazität für Geräteeingänge Anwendung.

In Abbildung 31 ist der simulierte und gemessene Impedanzverlauf der Kapazität dargestellt. Hierbei wurde ein einfaches Ersatzmodell nach Abbildung 26 verwendet. Als serielle Induktivität L_S ergab sich ein Wert von 1,4 nH und ein serieller Widerstand R_S von < 100 m Ω . Simulations- und Messergebnisse stimmen bis zur Messgrenze von 3 GHz gut überein.

C		
Herstell	Yageo Europe	
Bauform	0603	
Typ	CC0603KRX7R9BB	
Bauart	MLCC, X7R	
C_{Nominal}	22	nF
L_S	1,4	nH
R_S	< 1	m Ω

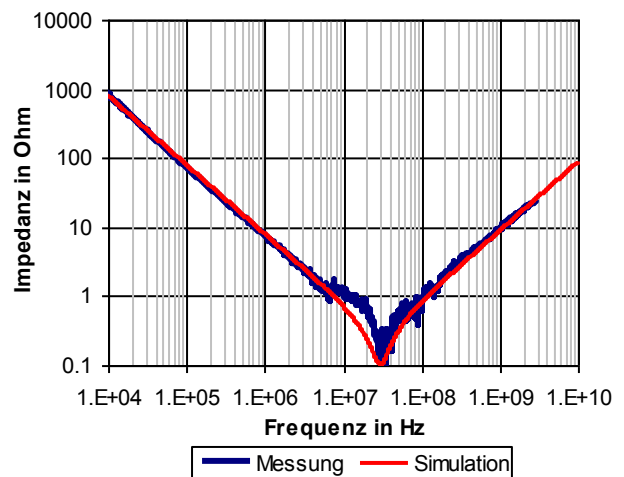


Tabelle 8: Herstellerinformationen und HF-Modellwerte eines Kondensators

Abbildung 31: Impedanzverlauf eines Kondensators

3.3 Nichtlineare Schutzelemente

Schaltungen, die in ihrem Arbeitsbereich nicht beeinflusst werden sollen sind mit linearen Schutzelementen nur schwer vor elektrostatischen Entladungen zu schützen [32]. Zur Amplitudenbegrenzung kommen daher nichtlineare Schutzelemente infrage. So werden als nichtlinearer Eingangsschutz für Kommunikationsschnittstellen wie LIN oder CAN häufig Varistoren oder Dioden verwendet.

3.3.1 Eigenschaften nichtlinearer Schutzelemente

Bauelemente verhalten sich nichtlinear, wenn sich ihre bauteilbestimmenden Eigenschaften in Abhängigkeit zur angelegten Spannung bzw. Strom verändern [26]. Die Eigenschaften eines Netzwerkes werden pegelabhängig, wenn nichtlineare Schutzelemente eingebracht werden. Das Ein- und Ausgangsverhalten des Netzwerkes genügen in diesen Fall nicht mehr dem Superpositionsprinzip [27].

Diese Eigenschaft kann zum Schutz von elektronischen Schaltungen vor elektrostatischen Entladungen verwendet werden. Im Idealfall verhalten sich nichtlineare Bauelemente im Arbeitsbereich der Schaltung passiv, ohne die eigentliche Funktion zu beeinträchtigen. Außerhalb des Arbeitsbereiches verändern sich ihre Bauteileigenschaften und die negativen Auswirkungen von elektrostatischen Entladungen können minimiert werden.

Abbildung 32 zeigt die Wirkungsweise eines nichtlinearen Bauelementes zum Schutz eines IC-Einganges. Anhand der Kennlinie wird das begrenzende Verhalten deutlich. Bei niedrigen Spannungen wird das Eingangsverhalten kaum verändert. Wird eine Spannungswert über- bzw. unterschritten, so werden die nichtlinearen Komponenten des Schutzbauteiles aktiv und begrenzen die auftretende Spannung.

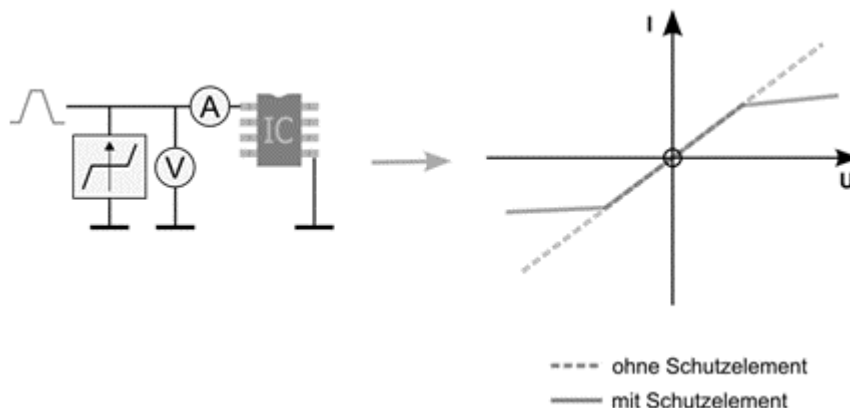


Abbildung 32: Begrenzungseigenschaften von nichtlinearen Schutzelementen

3.3.2 Modellierung

Für die Modellierung von nichtlinearen Bauteileigenschaften ist bereits eine Vielzahl von Modellierungsansätzen verfügbar. Häufig beruhen diese auf einer pragmatischen Kombination von diskreten Standardbauteilen [33]. Diesen Ansätzen ist gemein, dass sie das breite Einsatzgebiet, in welchem die Bauteile für den ESD-Schutz verwendet werden, nicht vollständig abdecken. Häufig stellt sich das Problem, dass Modelle, welche das Hochstromverhalten korrekt abbilden, im Leckstrombereich falsche Ergebnisse liefern und umgekehrt. Ein erweiterter Ansatz für die Modellierung nichtlinearer Elemente in SPICE mithilfe mathematischer Funktionen wurde in [34] vorgestellt. Jedoch zeigt sich auch hier, dass das Verhalten über mehrere Stromdekaden hinweg nicht abgebildet werden kann.

Das im Nachfolgenden erläuterte Modellierungskonzept für nichtlineare, diskrete Schutzelemente basiert auf einer phänomenologischen Beschreibung auf Grundlage von Messdaten. Das grundsätzliche Vorgehen zur Erstellung der Bauteilmodelle mithilfe verschiedener Messverfahren wird in Abbildung 33 dargestellt. Hierbei werden die Bauteileigenschaften in drei Teile aufgeteilt, einer Induktivität L , einer Kapazität C und einer tabellarischen Beschreibung des nichtlinearen Widerstands. Die Induktivität L und die Kapazität C beschreiben das lineare Übertragungsverhalten des jeweiligen Bauelementes. Die Induktivität L wird größtenteils durch die äußeren Bauteilgeometrien bestimmt. Die Kapazität C ergibt sich aufgrund der verwendeten Strukturen und Materialien im Bauelement. Beide Eigenschaften können mittels Messungen im Frequenzbereich mit Hilfe eines Netzwerkanalysators bestimmt werden [60].

Die nichtlinearen Eigenschaften der Bauteile können auf Basis von I/V -Kennlinien charakterisiert werden. Zur Erstellung dieser Kennlinie sind zwei Messverfahren notwendig. Da ein reines statisches Messverfahren die Bauteile aufgrund thermischer Belastung beeinflussen und zerstören würde, werden die Kennlinien für hohe Ströme mittels TLP-Entladungen [58] ermittelt, wie in 1.3.2.2 beschrieben. Hierbei werden zur Messung kurze rechteckige Spannungspulse am Bauteil angelegt, welche zu einer vernachlässigbaren thermischen Belastung führen. Um das für die Modellbildung notwendige Leckstromverhalten zu erhalten, werden statische Messungen mit einem Kennlinienschreiber durchgeführt (1.3.2.1), sofern die dabei angelegten Leistungen das Bauteil nicht wesentlich thermisch beeinflussen. Zur Modellbildung werden die Messdaten der Kennlinienschreiber und der TLP-Messungen zusammengefasst. Zur Erweiterung des Simulationsbereiches wird die tabellarische Beschreibung der I/V -Kennlinien über die Messgrenzen hinaus linear extrapoliert.

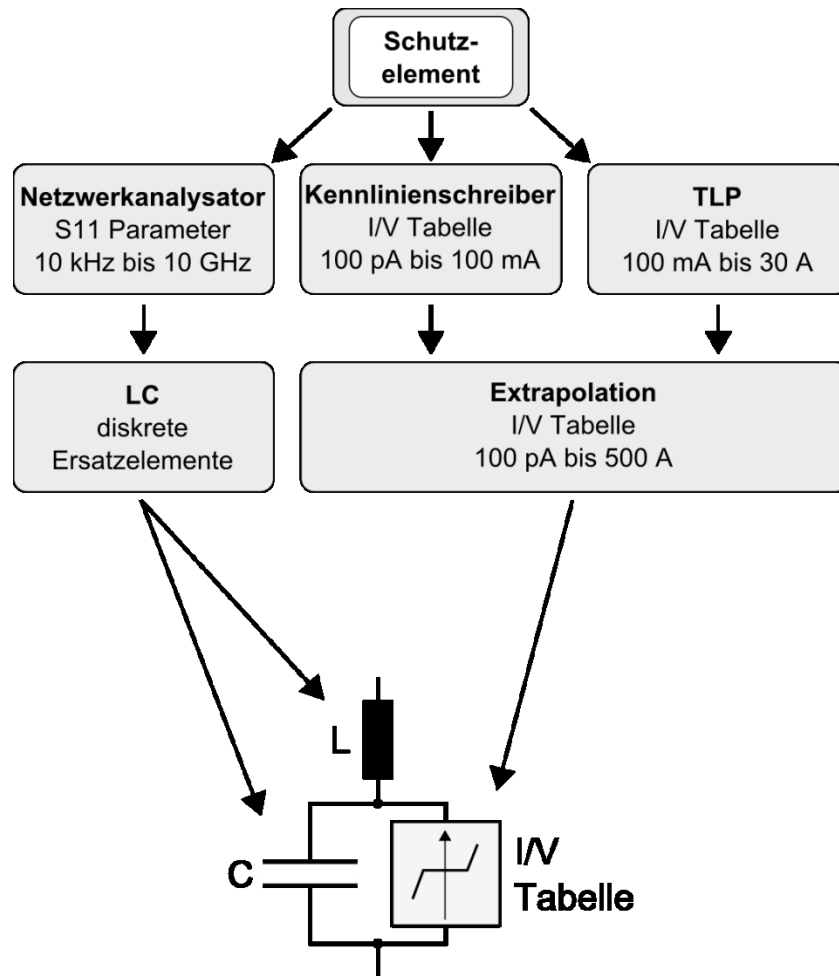


Abbildung 33: Ablauf der Modellerstellung für ein Ersatzmodell eines nichtlinearen Schutzelementes

Mit den gemessenen Bauteileigenschaften C , L und der I/V -Tabelle kann ein Modell erstellt werden, welches sowohl die Bauteileigenschaften unter hohen Pulsbelastungen korrekt wiedergibt, als auch das hochfrequente Verhalten im Kleinsignalbereich abbildet.

3.3.3 Exemplarische Modellierung und Bewertung der Modellqualität

Das vorgestellte Modellierungskonzept für nichtlineare Bauteileigenschaften wurde an unterschiedlichen Schutzelementen verifiziert. Die Vorgehensweise wird im Anschluss exemplarisch an einem Varistor dargestellt. Varistoren sind spannungsabhängige Widerstände, die ihren Widerstandswert mit zunehmender Spannung verringern [33]. Aufgrund dieser Eigenschaft können Varistoren als puls- und spannungsbegrenzende Bauteile in elektronischen Schaltungen eingesetzt werden. Im Idealfall sind sie im Funktionsbereich der Schaltung inaktiv. Typischerweise haben die eingesetzten Varistoren im inaktiven Zustand einen deutlich größeren Widerstand, als die zu schützende Schaltung. Unter Pulsbelastung steigt die Spannung

in der Schaltung an. Dies erhöht die Leitfähigkeit des Varistors, woraufhin dieser die Pulsbelastung aufnimmt. Als typischer Vertreter für Varistoren in 12 V Bordnetzen wurde der Varistor CT0603K14G von Epcos in der Bauform 0603 untersucht. Mittels der Übertragungsfunktion des Bauteils (Abbildung 35) konnte die Eingangsinduktivität L_{IN} von 1,2 nH und eine Eingangskapazität C_{IN} von 150 pF ermittelt werden (Tabelle 9).

Gehäuseparameter	
L_{IN}	1,2 nH
C_{IN}	150 pF

Tabelle 9: ESD-Simulationsparameter für einen Varistor (Epcos CT0603K14G)

Das Bauteil weist für positive und negative Spannungen symmetrische Eigenschaften für das nichtlineare Verhalten auf (Abbildung 34). Hierbei ist deutlich ein Ansteigen der Leitfähigkeit ab ± 30 V zu erkennen. Das nichtlineare Verhalten wurde an den Messgrenzen ab ± 55 V linear extrapoliert und in einer I/V-Kennlinie hinterlegt.

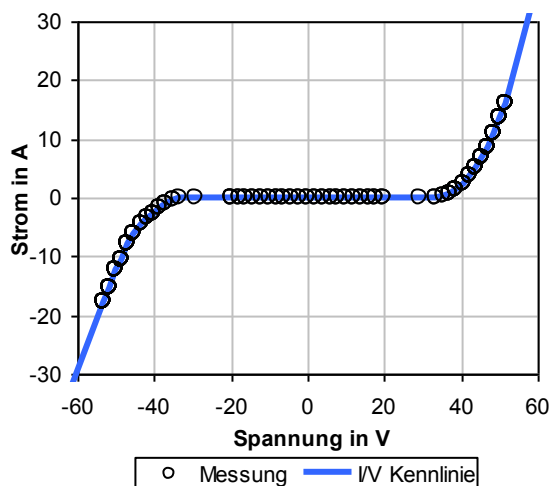


Abbildung 34: I/V-Kennlinie eines Varistors (Epcos CT0603K14G)

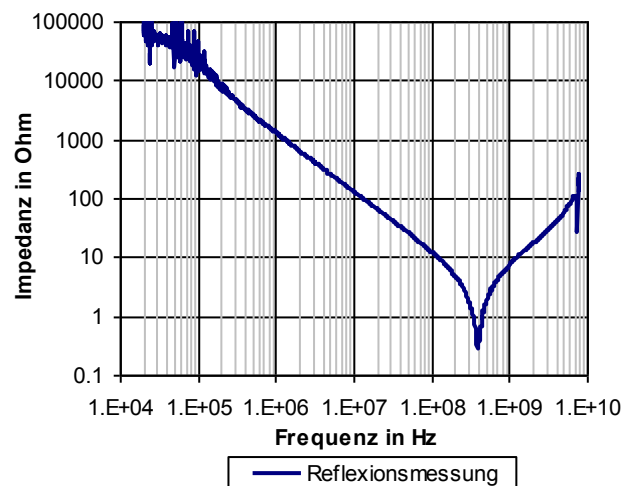


Abbildung 35: Impedanzverlauf eines Varistors (Epcos CT0603K14G)

Das so erstellte Modell wurde mit 100 ns langen Pulsen aus einer TLP-Quelle mit 50 Ohm Impedanz und einer Ladespannung von 500 V beaufschlagt. Hierbei zeigen sowohl Spannungs- als auch Stromverlauf eine gute Übereinstimmung mit den gemessenen Kurvenverläufen (Abbildung 36, Abbildung 37). Lediglich in den ersten 15 ns der TLP-Entladung ist eine größere Abweichung zwischen Simulation und Messung für den Spannungsverlauf erkennbar. Dies könnte auf die verteilten leitfähigen Strukturen im Varistor zurückgeführt werden.

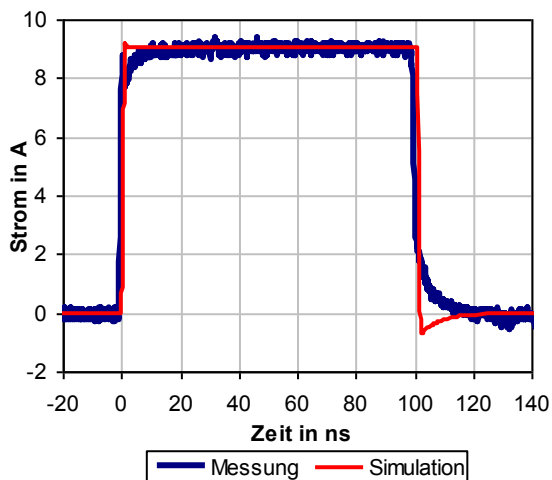


Abbildung 36: Stromverlauf einer TLP-Entladung in einen Varistor (Epcos CT0603K14G)

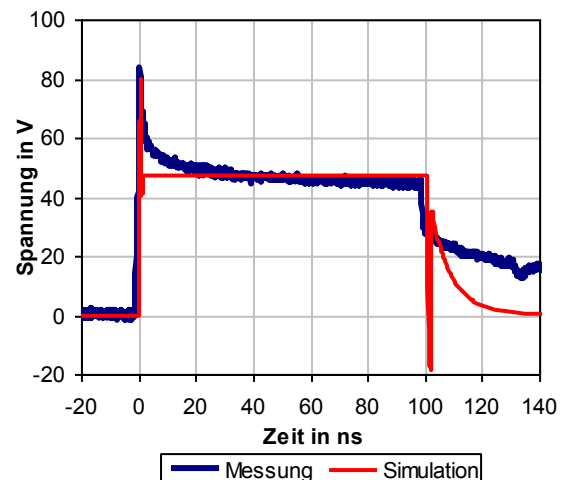


Abbildung 37: Spannungsverlauf einer TLP-Entladung in einen Varistor (Epcos CT0603K14G)

Im Bauteil werden nicht alle leitfähigen Strukturen gleichzeitig angesprochen, was zu einer verlangsamten Abnahme des Bauteilwiderstandes führen könnte. Dies ist im Modell nicht berücksichtigt.

Modellqualität	
1 sehr gut	Die Begrenzungseigenschaften und das dynamische Verhalten werden sehr gut wiedergegeben.
2 gut	Die Begrenzungseigenschaften werden sehr gut wiedergegeben. Im dynamischen Verhalten kann es zu vernachlässigbaren Abweichungen kommen.
3 befriedigend	Die Begrenzungseigenschaften werden sehr gut wiedergegeben. Im dynamischen Verhalten kann es zu Abweichungen kommen. Jedoch werden Spannungsspitzenwerte korrekt wiedergegeben.
4 brauchbar	In den Begrenzungseigenschaften kann es zu vernachlässigbaren Abweichungen kommen. Im dynamischen Verhalten kann es zu Abweichungen kommen. Jedoch werden Spannungsspitzen korrekt wiedergegeben.
5 bedingt brauchbar	In den Begrenzungseigenschaften kann es zu Abweichungen kommen. Im dynamischen Verhalten kann es zu Abweichungen kommen. Spannungsspitzenwerte werden nur noch bedingt korrekt wiedergegeben.
6 unbrauchbar	Die Begrenzungseigenschaften und das dynamische Verhalten werden ungenügend abgebildet. Eine Simulation der Begrenzungseigenschaften und der Spannungsspitzen ist nicht möglich.

Tabelle 10: Kategorisierung der Modellqualität unterschiedlicher nichtlinearer Schutzelemente

Die Begrenzungseigenschaften sowie das dynamische Verhalten des Bauelementes werden von dem Simulationsmodell gut wiedergegeben. Eine Möglichkeit, um die Modellqualität unterschiedlicher Bauteile zu vergleichen stellt eine einfache Unterteilung der Begrenzungseigenschaften in sechs Kategorien dar [36], wie in Tabelle 10 dargestellt. Analog zum exemplarisch modellierten Varistor (Epcos CT0603K14G) wurden unterschiedliche Varistoren, spannungsabhängige Polymere und TVS Dioden untersucht und modelliert [35]. Hierbei zeigt sich durchwegs eine gute Modellierbarkeit der Bauteile hinsichtlich ihres Pulsverhaltens. Keines der untersuchten Bauelemente schnitt in der Bewertung der Modellqualität schlechter als 4 ab (Tabelle 11).

Varistoren			Spannungsabhängige Polymere		
Hersteller	Typ	Modellqualität ¹	Hersteller	Typ	Modellqualität ¹
EPCOS	CA05M2S14ACC1G	3	Bourns	CG0603MLC-05E	2
	CT0603K14G	2	Cooper	0603ESDA-MLP7	2
	CT0603L25HSG	3	Littlefuse	PGB1040805MR	4
	CT0603S5ARFG	4			
	CT0603S14AHSG	3			
Vishay	MLV0603E30403T	2			
	MLV0603E31103T	3			
TDK	AVR-M1608C080MBAA	1			
	AVR-M1608C180MB6AB	1			
	AVR-M1608C390KB271N	1			
AVX	VC060309A200	4			
	VC060314A300	4			
	VC060318A400	4			
	VC060326A580	4			
	VC060330A650	4			
	VC080514A300	4			
	VC080514C300	3			
	VC080526A580	4			
	VC080526C580	4			
TVS Dioden					
Hersteller	Typ	Modellqualität ¹			
Protek	GBLCSC05	2			
	GBLCSC05C	2			
	GBLC12	2			
EPCOS	CDS3C09GTA	3			
	CDS3C20GTA	3			
NEC	NNCD6.8D-A	1			
	NNCD12D-A	1			
Bourns	CD0603-T05C	3			
	CD0603-T12C	2			
	CD0603-T24C	2			
TaiwanSemi	TSZU52C9V1	1			
	TSZU52C12	1			
	TSZU52C18	1			

¹ Modellqualität: 1 sehr gut 2 gut 3 befriedigend 4 brauchbar 5 bedingt brauchbar 6 unbrauchbar

Tabelle 11: Modellqualität unterschiedlicher nichtlinearer Schutzelemente

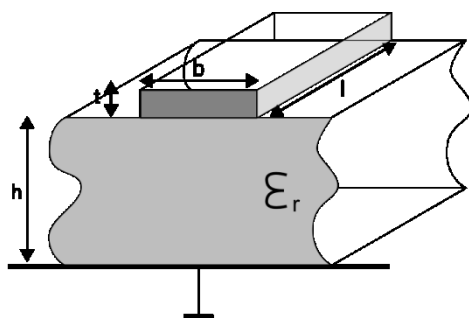
Quelle: FAT-Schriftenreihe, Hochspannungverkopplung [35]

3.4 Modellierung von Platinenstrukturen

Das Verhalten von Platinenstrukturen unter Pulsbelastung ist aus Betrachtungen zur Systemintegrität bekannt. Zur genaueren Betrachtung der Eigenschaften von der Platinenübertragungsstrecke wurden zwei bekannte Ansätze gewählt. Der erste Simulationsansatz basiert auf einer Abbildung der Leiterbahnen mit analytischen Leitungsmodellen. Dieser Modellierungsansatz ist für viele Strukturen einfach anwendbar. Ein komplexerer Ansatz beruht auf den genauen CAD (Layout) Daten. Damit können die Verhältnisse auf der Platine genau modelliert werden. Jedoch steigt der Rechenaufwand mit zunehmender Platinenkomplexität stark an.

3.4.1 Analytische Annäherung Mithilfe der Leitungstheorie

Insbesondere zu Beginn einer Entwicklung, während der Konzept und Planungsphase, sind die genauen Abmessungen von Leiterbahnstrukturen und die daraus folgenden CAD Daten nicht immer bekannt. In diesem Fall kann das Verhalten der Leiterbahnen mittels einer Abschätzung der Leitungstopologie ermittelt werden. Abhängig vom Lagenaufbau der Leiterplatte kann die Leitungsimpedanz analytisch errechnet werden [37]. Für die Impedanzberechnung einer Mikrostreifenleitung, wie in Abbildung 38 dargestellt, stehen verschiedene Modelle zur Verfügung. In [38] wurde dargestellt, dass sich die Näherungslösung nach Hammerstad und Jensen [39] für Leiterplattenstrukturen mit einer Abweichung der Leitungsimpedanz kleiner 1 % bis 20 GHz eignet. Gleichung (3) gibt die zugehörige analytische Abschätzung des Wellenwiderstandes Z_0 der Streifenleitung wieder. Die effektive relative Dielektrizitätskonstante ϵ_{eff} wird von der Verteilung des dielektrischen Materials und dem geometrischen Verhältnis des Leiterquerschnittes bestimmt.



mit

ϵ_r : Dielektrizitätszahl

h : Dicke des Dielektrikums

b : Breite der Streifenleitung

t : Höhe der Streifenleitung

Abbildung 38: Geometrische Parameter der Außenlage einer Leiterplatte

Impedanz einer Streifenleitung:

$$Z_0 = \frac{60}{\sqrt{E_{\text{eff}}}} \cdot \ln \left[\gamma \cdot \frac{h}{b_{\text{eq}}} + \sqrt{1 + \left(2 \cdot \frac{h}{b_{\text{eq}}} \right)^2} \right] \cdot [\Omega] \quad (3)$$

mit

$$E_{\text{eff}} = \frac{E_r + 1}{2} + \frac{E_r - 1}{2} \cdot \left(1 + \frac{10 \cdot h}{b_{\text{eq}}} \right)^{-\alpha \cdot \beta}$$

$$b_{\text{eq}} = b + \frac{\Delta_b}{2} \cdot \left(1 + \frac{1}{\cosh(\sqrt{E_r - 1})} \right)$$

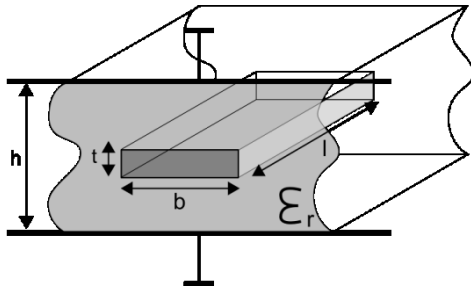
$$\Delta_b = \frac{t}{\pi} \cdot \ln \left[1 + \frac{4 \cdot e}{\left[\frac{t}{h} \cdot \left(\coth \left(6,517 \cdot \frac{t}{h} \right) \right) \right]^2} \right]$$

$$\alpha = 1 + \frac{1}{49} \cdot \ln \left[\frac{\left(\frac{b_{\text{eq}}}{h} \right)^4 + \left(\frac{b_{\text{eq}}}{52 \cdot h} \right)^2}{\left(\frac{b_{\text{eq}}}{h} \right)^4 + 0,432} \right] + \frac{1}{18,7} \cdot \ln \left[1 + \left(\frac{1}{18,1} \cdot \frac{b_{\text{eq}}}{h} \right)^3 \right]$$

$$\beta = 0,564 \cdot \left(\frac{E_r - 0,9}{E_r + 3} \right)^{0,053}$$

$$\gamma = 6 + (2 \cdot \pi - 6) \cdot e^{-\left(30,666 \frac{h}{b_{\text{eq}}} \right)^{0,7528}}$$

Ebenso wie die Mikrostreifenleitungen können eingebettete bzw. geschirmte Streifenleitungen analytisch beschrieben werden. Abbildung 39 beschreibt den geometrischen Aufbau einer eingebetteten Streifenleitung. Gleichung (4) gibt die zugehörige analytische Abschätzung für den Wellenwiderstandes Z_0 der eingebetteten Streifenleitung wieder [40]. Aufgrund der so errechneten Impedanzen kann eine Verkettung unterschiedlicher Leitungstopologien erstellt werden, welche vom jeweiligen Lagenaufbau, Leiterbahnführung und Länge abhängt.



mit

ϵ_r : Dielektrizitätszahl

h : Dicke des Dielektrikums

b : Breite der Streifenleitung

t : Höhe der Streifenleitung

l : Länge der Streifenleitung

Abbildung 39: Geometrische Parameter der Innenlage einer Leiterplatte

Impedanz einer eingebetteten Streifenleitung:

$$Z_0 = \frac{30}{\sqrt{\epsilon_r}} \cdot \ln \left[1 + \alpha \cdot \left(2 \cdot \alpha + \sqrt{4 \cdot \alpha^2 + 6,27} \right) \right] \cdot [\Omega] \quad (4)$$

mit

$$\alpha = \frac{4}{\pi} \cdot \frac{h-d}{b-\Delta_b}$$

$$\Delta_b = \frac{d}{\pi} \cdot \frac{(h-d)}{\left(1 - \frac{d}{h}\right)} \cdot \left[1 - \frac{1}{2} \cdot \ln \left[\left(\frac{d}{h} \right)^2 + \left[\frac{0,00796 \cdot \frac{d}{h}}{\frac{b}{h} + 1,1 \cdot \frac{d}{h}} \right]^m \right] \right]$$

$$m = \frac{2}{1 + \left(\frac{\frac{2}{3} \cdot \frac{d}{h}}{1 - \frac{d}{h}} \right)}$$

3.4.2 Numerische Modellierung mithilfe der PEEC Methode

Sind die geometrischen Daten einer Leiterplatte bekannt bzw. die CAD Daten verfügbar, so können die Übertragungseigenschaften von Leiterbahnen numerisch berechnet werden.

Die Partial-Element-Equivalent-Circuit (PEEC) Methode [41] liefert exakte Ergebnisse, benötigt hierfür aber einen nicht unerheblichen Rechenaufwand bzw. Rechenzeit. Eine ausführliche Beschreibung der PEEC Methode findet sich in [42]. Das Verfahren erlaubt es, die Übertragungseigenschaften von Platinen in äquivalente elektrische Ersatzmodelle abzubilden, welche mit weiteren Modellen im Frequenz- und Zeitbereich verwendet werden können. Die Layoutdaten einer Platine werden hierzu für den 3D-Feldlöser vorbereitet. Hier wurde die

Software PCBmod [43] verwendet. Wie in Abbildung 40 gezeigt, werden die dreidimensionalen CAD Daten diskretisiert und anschließend mittels Maschen beschrieben. Ein auf diesem Netz basierendes Modell repräsentiert die physikalischen Eigenschaften der Platine. Mithilfe dieses Modells können sowohl das Überkoppeln verschiedener Leitungen abgebildet werden, als auch das Dämpfungsverhalten und dielektrische Verluste simuliert werden. Um dieses Übertragungsverhalten in weiteren Simulationswerkzeugen einbinden zu können ist es wünschenswert, dieses mittels diskreter Widerständen, Induktivitäten und Kondensatoren sowie gesteuerter Quellen zu beschreiben. Diese können aus dem Übertragungsverhalten bzw. aus den S-Parametern errechnet werden [44]. Dieses Vorgehen ermöglicht es, Modelle von beliebigen Platinenstrukturen zu erstellen. Die dabei generierten Modelle lassen sich sowohl im Frequenz- als auch im Zeitbereich einsetzen [45].

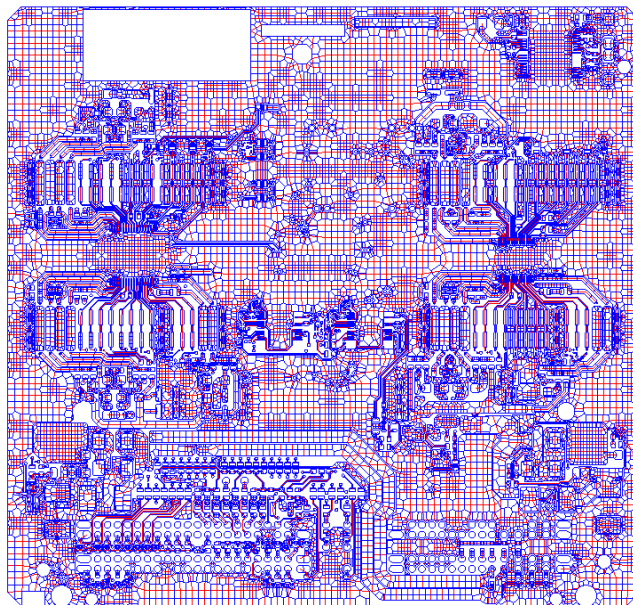


Abbildung 40. Berechnungsnetz einer Platine

3.4.3 Vergleich der Modellierungsmethoden für Platinenstrukturen

Die beiden Modellierungsmethoden für Platinenstrukturen wurden anhand einer realen Platinenstruktur mit Messwerten verglichen. Abbildung 41 zeigt die verwendete Platine, eine typische Leiterplatte für ein Kfz-Steuergerät mit sechs Lagen und einer Abmessung von 160 mm x 160 mm. Für den Vergleich wurden zwei Übertragungspfade verwendet, welche am Punkt X Verbindung miteinander verbunden sind. Die Leitungen verlaufen durch verschiedene Zwischenlagen.

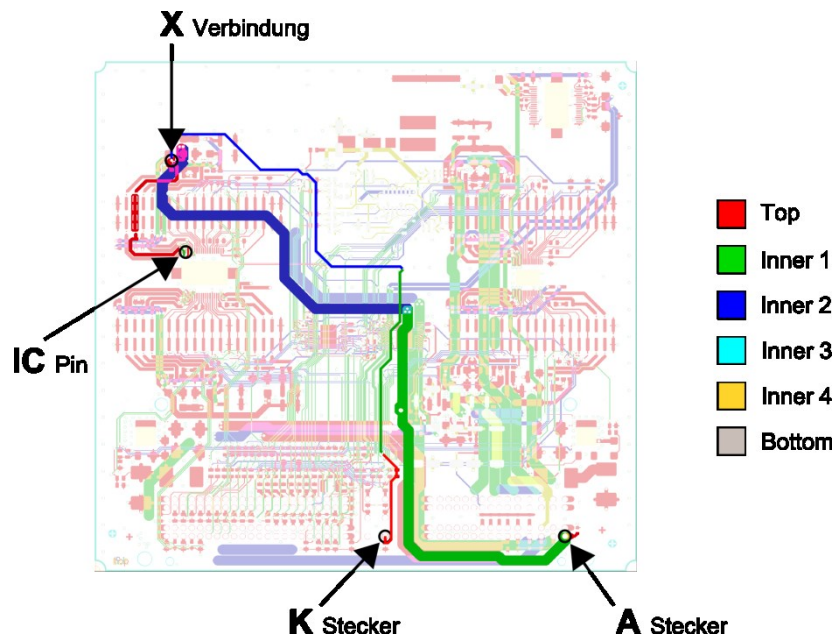


Abbildung 41: Leiterbahntopologie einer typischen Kfz-platine

Dies bedingt unterschiedliche Geometrien der Leiterbahnen, woraus sich wechselnde Impedanzverhältnisse ergeben. Die erste Leiterbahn verläuft von A Stecker zu IC Pin und verbindet einen Steckerkontakt mit einem IC Eingang. Die zweite Leiterbahn verläuft von K Stecker zu X Verbindung und verbindet einen Abgriff auf der ersten Leiterbahn mit einem Steckerkontakt.

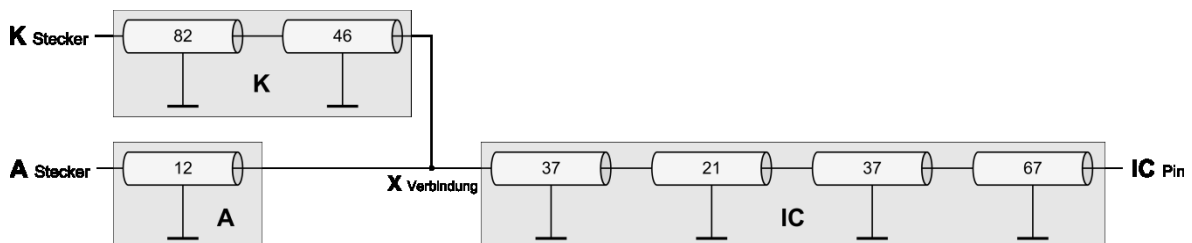


Abbildung 42: Leiterplattenmodellierung mittels Übertragungsleitungen

Abbildung 42 stellt die Modellierung mittels einer Verkettung von homogenen Übertragungsleitungen dar. Die erste Leiterbahn, welche von A_{Stecker} zu IC_{Pin} verläuft, wurde in zwei Blöcke aufgeteilt, welche an $X_{\text{Verbindung}}$ zusammenlaufen. Die zweite Leiterbahn, welche von K_{Stecker} zu $X_{\text{Verbindung}}$ verläuft, wurde in einem Block modelliert. Die zur Berechnung der Impedanzen erforderlichen mechanischen Abmessungen wurden den Layoutdaten entnommen und sind in Tabelle 12 aufgeführt.

	Impedanz /Ohm	Lage	h/um	b/mm	t/um	l/mm	ϵ_r
K	82	Außen	200	0,2	50	30	4,6
	46	Innen	550	0,2	50	161	
A	12	Innen	550	3	50	237	
IC	37	Außen	200	1	50	19	
	21	Außen	200	2,2	50	13	
	37	Außen	200	1	50	22	
	67	Außen	200	0,33	50	6	

Tabelle 12: Mechanische Abmessung verschiedener Leiterbahnen einer Platine

Abbildung 43 stellt die aus einer PEEC Modellierung erhaltenen Netzwerkblöcke dar. Die Übertragungseigenschaften der Leitungen wurden mittels PCBMod berechnet.

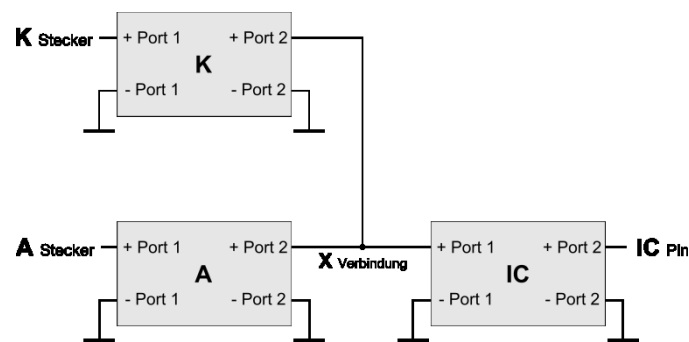


Abbildung 43: Ersatzmodell einer Platinenübertragungsstrecke mittels der PEEC Methode

Mithilfe von Messungen im Frequenzbereich wurde die Qualität der zuvor erstellten Modelle verifiziert. Hierzu wurde das gemessene Übertragungsverhalten von A_{Stecker} zu IC_{Pin} mit dem simulierten Verhalten verglichen. Das Übertragungsverhalten wurde mittels S_{12} Parameter Messungen bestimmt. Abbildung 44 zeigt einen Vergleich von gemessenen und simulierten S_{12} Parametern. Hierbei zeigt sich, dass sowohl die auf CAD-Daten beruhenden Modelle als auch die analytische Modellierung das Übertragungs- und Resonanzverhalten der Übertragungsstruktur bis etwa 2 GHz gut wiedergeben. Im Messbereich ab 2 GHz unterscheiden sich die

Simulations- und Messergebnisse. Dies ist unter anderem auf den Messaufbau zurückzuführen, der Übertragungen bis etwa 2 GHz korrekt abbildet. Der Impedanzverlauf und das Resonanzverhalten werden hinreichend genau wiedergegeben um diese Modellierung für die Simulation von ESD-Pulsen im Zeitbereich verwenden zu können.

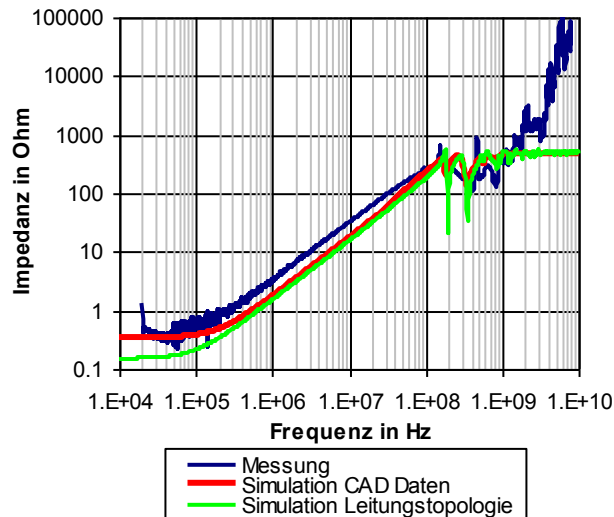


Abbildung 44. Vergleich von Simulations- und Messergebnissen, Impedanzverlauf einer Platinenübertragungsstrecke

4 Modellierung des nichtlinearen Verhaltens von IC Eingängen

Aufgrund der Vielzahl von Anforderungen und Implementierungsmöglichkeiten auf Halbleiterebene haben sich unterschiedliche Abstraktionsebenen (Abbildung 45) zur Beschreibung von integrierten Schaltungen etabliert [46]. Jede Abstraktionsebene hat hierbei unterschiedliche Anforderungen an die Simulationstools und Modelle.



Abbildung 45: Abstraktionsebenen zur Entwicklung elektronischer Komponenten [46]

Eine Modellierung des elektrischen Verhaltens von IC-Eingängen während elektrostatischer Entladungen erfordert häufig einen hohen Detailierungsgrad und erfolgt daher zumeist auf Schaltungsebene. Unabhängig von den verwendeten Simulationstools lassen sich übliche Modellierungsansätze in zwei Kategorien unterteilen, wobei der Übergang zwischen den Kategorien fließend sein kann:

- Mathematische Verhaltensmodelle [5, 47, 48, 49, 50, 51, 52, 65,]
- Elektrischen Ersatzschaltungen [25, 53, 54, 55, 56, 57]

Verfügbare Modelle auf Schaltungsebene sind nur beschränkt nutzbar [5], da sie die Zustände und Verhaltensweisen der IC-Eingangsstrukturen unter Pulsbelastung in der Regel nur eingeschränkt abbilden. Diese sind zumeist auf spezielle Fragestellungen und Simulationstools zugeschnitten oder können aufgrund von Geheimhaltung nicht ausgetauscht werden. Ein Modellierungskonzept, das speziell die Bedürfnisse zur Simulation von elektrostatischen Entladungen berücksichtigt, ist demzufolge wünschenswert. Im Rahmen dieser Arbeit wurde daher ein Modellierungskonzept erarbeitet, welches eine einfache Nutzbarkeit für den Anwender sicherstellen soll. Das Modell soll das Strom- und Spannungsverhalten bis zur Zerstörung des Bauteils abbilden. Das Modellierungskonzept basiert auf einer phänomenologischen Beschreibung, welche auf Basis von Messdaten erstellt werden kann.

4.1 Modellierungskonzept

Um die unterschiedlichen Verhaltensweisen von IC Eingangsschutzstrukturen unter Pulsbelastung modellieren zu können wurde ein Modellierungsverfahren entwickelt, welches in zwei Verhaltensbeschreibungen unterteilt ist. Das Verfahren unterscheidet zwischen IC-Eingängen mit Snapback-Verhalten während der Pulsbelastung und Eingänge ohne Snapback-Verhalten. Das Verfahren ist unabhängig von der verwendeten Technologie und Implementierung anwendbar. Als Indikator für die Robustheit eines Systems ist eine Ausfallgrenze des modellierten IC Einganges unter Pulsbelastung denkbar. Als Resultat kann ein vereinfachtes ESD-Verhaltensmodell erstellt werden, welches für verschiedene Pulsbelastungen gültig ist.

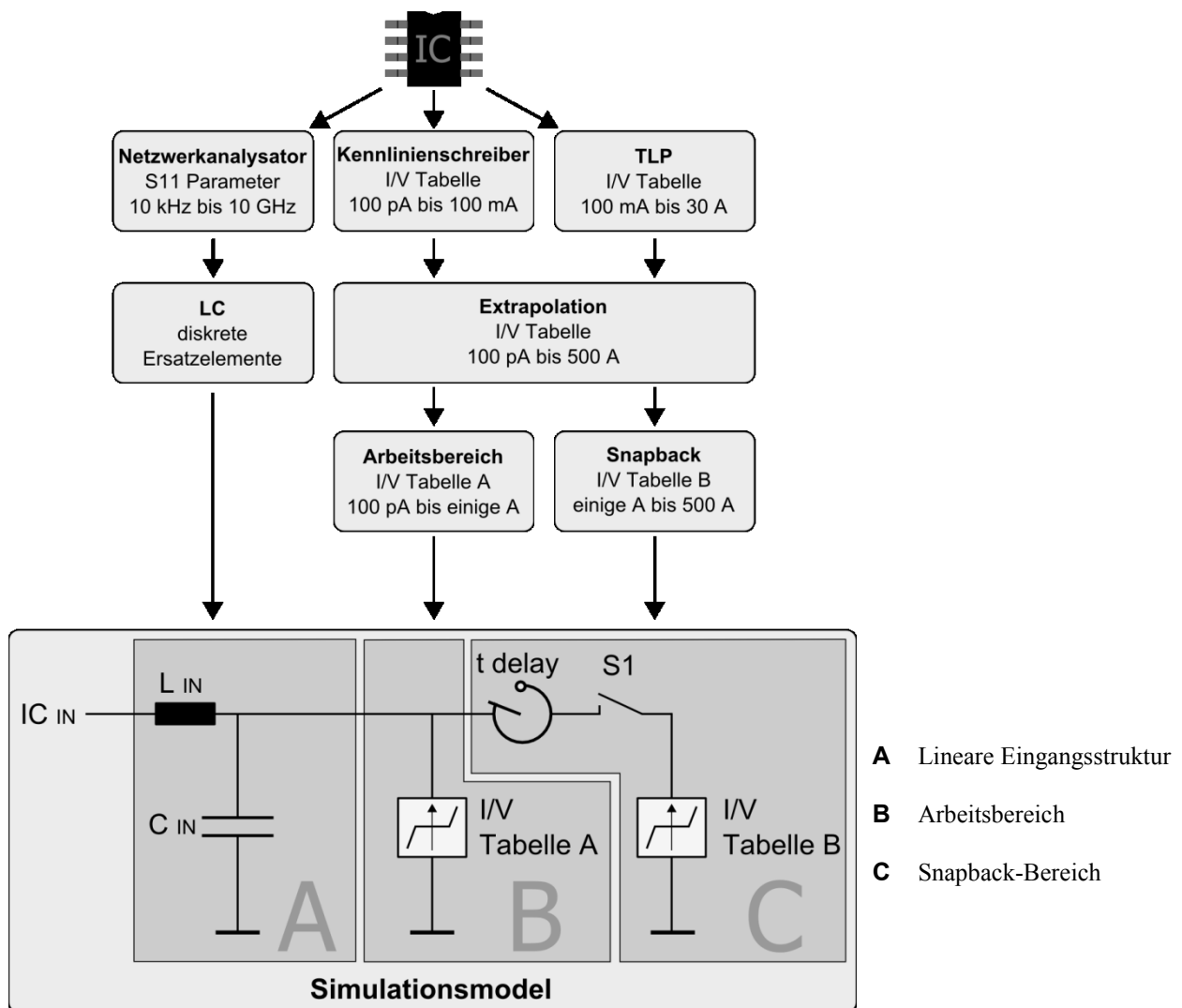


Abbildung 46: Vorgehen zur Modellierung eines IC Einganges

Das Vorgehen zur Erstellung der Bauteilmodelle mithilfe verschiedener Messverfahren wird in Abbildung 46 schematisch dargestellt. Hierbei wird das Verhalten des Bauteils basierend auf Messungen modelliert. Das lineare Hochfrequenzverhalten der Eingangsstruktur wird mittels Netzwerkanalysatormessungen erfasst und anschließend mit einem elektrischen Netzwerk abgebildet. Die nichtlinearen Eigenschaften des Bauteiles werden auf Basis von I/V-Kennlinien charakterisiert, wie in 1.1 beschrieben. Die dabei verwendeten Kennlinien werden mit zwei Messverfahren erstellt. Für hohe Ströme werden die Kennlinien mittels TLP-Entladungen [58] ermittelt, da eine statische Messung die Bauteile thermisch beeinflusst. Das Kleinsignal- und Leckstromverhalten wird mit einem Kennlinienschreiber aufgenommen. Mittels Extrapolation ist es möglich die Kennlinie über die Messgrenzen hinaus zu erweitern, um einen größeren Simulationsbereich zur Verfügung zu stellen. Das charakterisierte Bauteilverhalten wird im Simulationsmodell mittels dreier Blöcken beschrieben. Block A beschreibt die Gehäuseeigenschaften mittels diskreter Ersatzelemente. Block B und Block C beschreiben das spannungsabhängige nichtlineare Verhalten der Eingangsstruktur.

4.2 Modellierung des linearen Eingangsverhaltens

Das lineare Hochfrequenzverhalten der Eingangsstruktur setzt sich unter anderem aus der Geometrie des Gehäuses und der Bonddrähte zusammen, sowie aus dem linearen Verhalten und der Eingangsbeschaltung im Halbleiter. Das Übertragungsverhalten der Eingangsstrukturen (Abbildung 46, Block A) lässt sich mithilfe von diskreten LC Bauelementen nachbilden [59]. Messtechnisch werden die Werte der Modellkomponenten aus dem Übertragungsverhalten im Frequenzbereich mittels Netzwerkanalysatormessungen ermittelt [60, 61] (Abbildung 47). Die Geometrie des verwendeten IC Gehäuses und die zur Kontaktierung benötigten Bonddrähte bestimmen größtenteils die Gehäuseinduktivität L_{IN} . Die Gehäusekapazität C_{IN} wird zu einem großen Teil aus der Kapazität der verwendeten Siliziumschutzstrukturen gebildet. Ein weiterer Teil wird durch die IC Beinchen und Bonddrähte gebildet. Eine umfassende Darstellung des IC Gehäuses aus EMV-Sicht ist in [62, 59] gegeben.

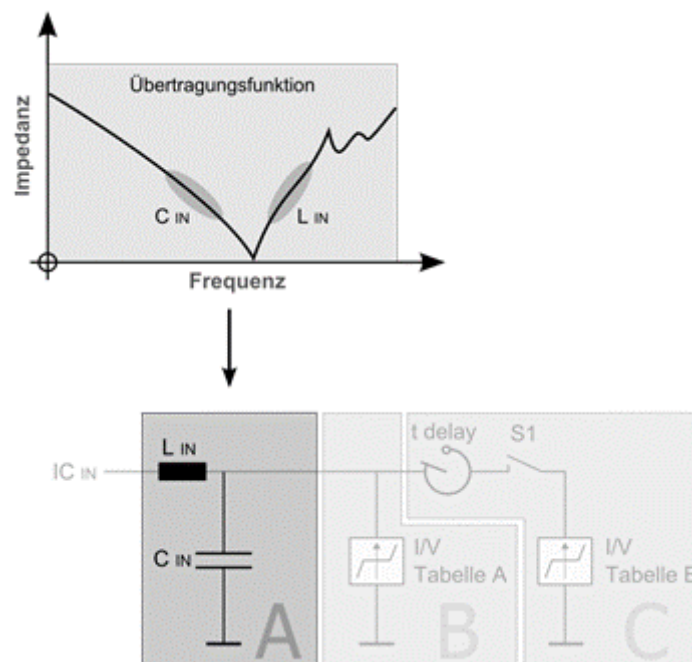


Abbildung 47: Ermittlung von Äquivalenzmodellen aus einer Übertragungsfunktion

4.3 Modellierung des nichtlinearen Verhaltens

Das nichtlineare Verhalten des Halbleiters wird mittels zweier tabellarischer Beschreibungen modelliert. Die Aufteilung in zwei Modellblöcke ist notwendig, da für einen Spannungswert mehrere Stromwerte vorliegen können. Dies hat zur Folge, dass bei einer Beschreibung mit nur einer Kennlinie keine eindeutige Zuordnung der entsprechenden Stromwerte zur angelegten Spannung erfolgen kann. Der messtechnisch ermittelte Kurvenverlauf wird daher in zwei

Bereiche unterteilt, dem Arbeitsbereich und dem Snapback. Die jeweils abgelegten Kurvenbereiche dürfen keine Relationen, sondern müssen monoton steigende Funktionen sein, um eine mehrdeutige Zuordnung von Spannungs- bzw. Stromwerten zu unterbinden. Abhängig von der Implementierung und den technologischen Gegebenheiten erreichen einige Bauteile den Snapback-Bereich nicht, wie etwa Leistungsdioden. In diesem Fall wird das Bauteilverhalten mit nur einer I/V-Kurve beschrieben. Der Snapback-Bereich entfällt.

4.3.1 Arbeitsbereich

Das Strom- und Spannungsverhalten im Linear- und Sättigungsbereich kann mit analytischen Beschreibungen dargestellt werden (Gleichung (1), Gleichung (2)). Die Ermittlung der dafür notwendigen Konstanten ist ohne Kenntnisse über die verwendeten Halbleiter nicht ohne weiteres möglich [15].

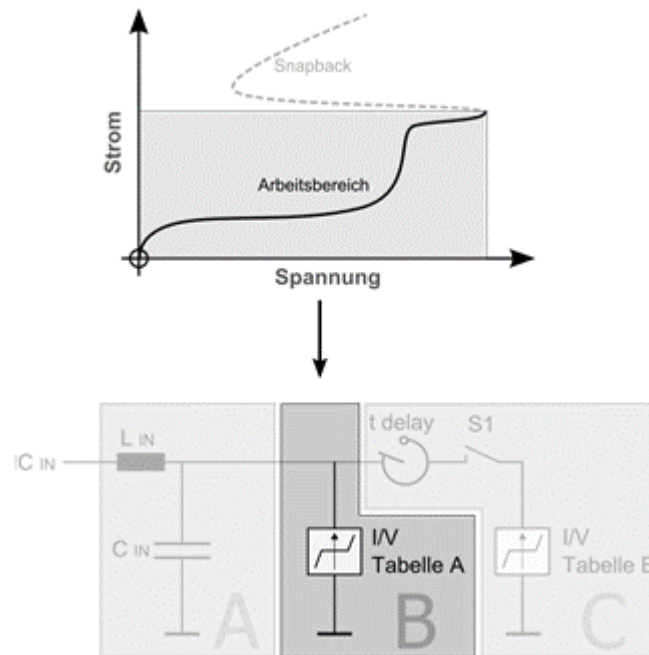


Abbildung 48: Modellierung des Arbeitsbereiches mithilfe von I/V-Messdaten

Zur Vermeidung eines analytischen Modells wird das nichtlineare Verhalten im Arbeitsbereich daher mithilfe einer tabellarischen Beschreibung im Modell hinterlegt (Abbildung 48). Die Kennlinie kann mithilfe von Kennlinienschreiber- und TLP-Messungen ermittelt werden, so dass keine detaillierten Kenntnisse über die verwendeten Halbleiterstrukturen notwendig sind.

4.3.2 Snapback-Bereich

Das durch TLP-Messungen ermittelte, nichtlineare Verhalten im Snapback-Bereich kann, ebenso wie der Arbeitsbereich, mithilfe einer tabellarischen Beschreibung modelliert werden (Abbildung 49). Die Initialisierung des Snapback kann durch ein Überschreiten einer struktur-spezifischen Stromdichte erfolgen [15].

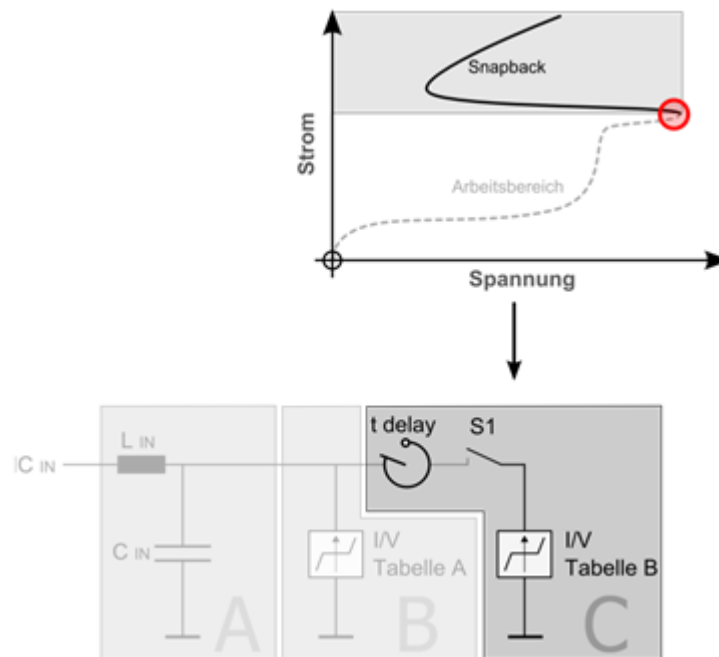
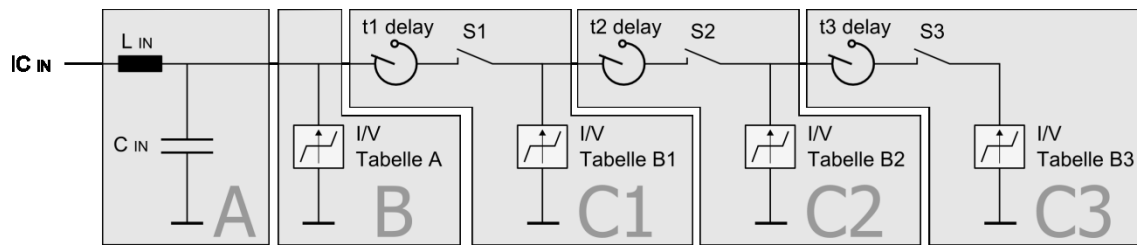


Abbildung 49: Modellierung des Snapback-Bereiches mithilfe von I/V-Messdaten

Dieser Zustand kann von der angelegten Spannung abgeleitet werden. Wird die Initialisierungsspannung erreicht (Abbildung 49, rote Markierung), so wird die I/V-Tabelle B mit dem Schalter S1 zugeschaltet. Aufgrund der Hystereseeigenschaften des Snapback-Verhaltens kann die I/V-Tabelle B nur dann deaktiviert werden, wenn ein spezifischer Spannungswert unterschritten wird. Das Verzögerungsglied t_{delay} beschreibt die Tatsache, dass die Aktivierung des Snapback nicht beliebig schnell erfolgen kann [7]. Die Verzögerung wird aus den zugehörigen TLP-Messungen an der Snapback-Initialisierung gewonnen.

Der Snapback-Bereich ist für die Modellierung der meisten Eingangsstrukturen notwendig. In Ausnahmefällen kann dieser Bereich entfallen, da die betroffenen Strukturen bereits vor Erreichen des Snapback zerstört werden. Einige Eingangsstrukturen besitzen mehrere Snapback-Strukturen. Um dies in einem Modell abbilden zu können, werden mehrere I/V-Kennlinien hintereinander verschaltet, wie in Abbildung 50 beschrieben.



- A** Lineare Eingangsstruktur
B Arbeitsbereich
C1-3 Snapback-Bereiche

Abbildung 50: Kaskadierung mehrerer Snapback-Strukturen in einem IC Eingangsmodell

4.4 Verifikation der Methode mithilfe von TLP und IEC-ESD-Prüfungen

Zur Bewertung der Modellierungsqualität wurde das Verhalten von realen IC-Eingangsstrukturen mit dem von modellierten IC-Eingängen verglichen. Hierzu wurden unterschiedliche Kfz-ICs verwendet. Bei den untersuchten Bauteilen wurde jeweils ein ESD exponierter Pin des ICs mit Entladungen beaufschlagt.

Das grundsätzliche, nichtlineare Verhalten wurde mit TLP-Entladungen bestimmt. TLP-Entladungen eignen sich gut um definierte Testumgebungen zu verwirklichen [19, 58]. Zur Untersuchung der Modellqualität wurde eine Belastung mit IEC-ESD-Pulsen gewählt. IEC-Pulse unterscheiden sich signifikant in Impedanz, Pulsform und Entlademechanismus von TLP-Entladungen [22]. Daher erscheint die IEC-ESD gut geeignet, um die Leistungsfähigkeit des Simulationsverfahrens zu testen und zu beurteilen. Hierbei wurde, ebenso wie bei der Untersuchung mit TLP-Entladungen, der Spannungsverlauf aufgezeichnet und anschließend mit zuvor simulierten Kurvenverläufen verglichen.

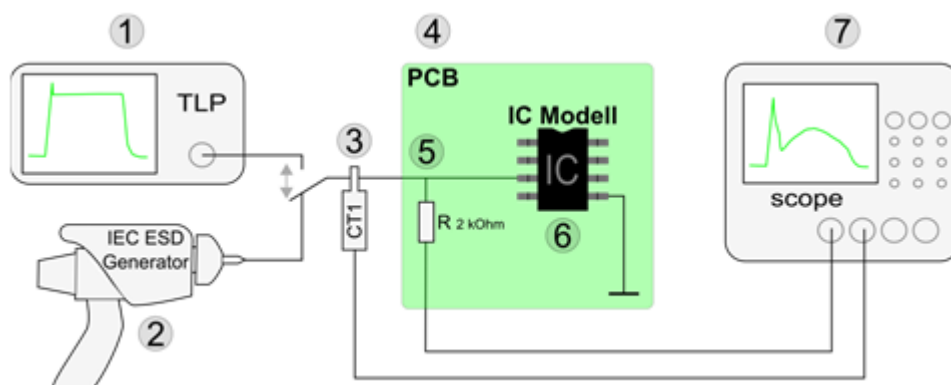


Abbildung 51: Schematischer Mess- und Simulationsaufbau zur Modellerstellung und Verifikation von IC Eingangsstrukturen.

Als Vertreter eines typischen Kfz-Kommunikationsbausteins wurde ein CAN Transceiver von Infineon mit der Bezeichnung TLE6250 ausgewählt und modelliert, um das Vorgehen und die Simulationsmethode exemplarisch zu veranschaulichen. Hierbei wurde der CANH des Bausteins ohne externe Schutzkomponenten in unversorgtem Zustand untersucht und modelliert. In Abbildung 51 wird das verwendete Messsetup schematisch dargestellt. Abbildung 52 und Abbildung 53 zeigen die reale Messumgebung. Diese beinhaltet den unversorgten IC (6) ohne externe Schutzkomponenten auf einer Platine (4). Dieses ist, zur Vermeidung von äußeren Einflüssen, auf einem Messingblock (8) montiert. Für die TLP- (1) und IEC-ESD (2) wurde jeweils derselbe Messaufbau verwendet. Die Spannungs- und Stromverläufe wurden mit einem Oszilloskop (7, LeCroy, SDA 6000) aufgezeichnet. Für die Strommessung wurde eine Stromzange (3, Tektronix, CT1) eingesetzt. Die Spannungen wurden über einem frequenzkompensierten Widerstand $R_{2\text{ k}\Omega}$ (5) mit einem Oszilloskop gemessen.

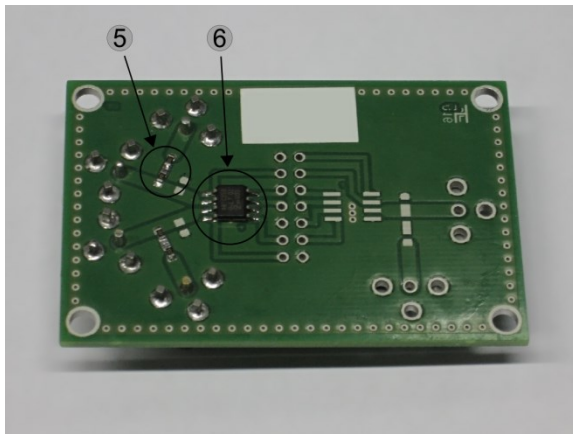


Abbildung 52: Messplatine zur Modellerstellung und Verifikation von IC Eingangsstrukturen.

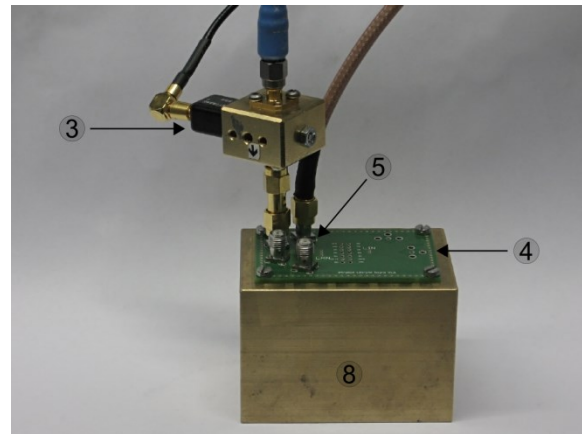


Abbildung 53: Messaufbau zur Modellerstellung und Verifikation von IC Eingangsstrukturen.

Die zur Modellierung notwendigen I/V-Kennlinien der Bauteile wurden, wie in Abschnitt 1.3.1 beschrieben, durch eine Kombination von TLP- und Kennlinienschreibermessungen ermittelt. In Abbildung 54 ist exemplarisch die I/V-Kennlinie des TLE6250 CANH Transmitters dargestellt. Aus dem Kurvenverlauf kann hierbei gut der Arbeitsbereich (blau) und der Snapback-Bereich (rot) unterschieden werden. Diese werden jeweils getrennt in unterschiedlichen Look-Up Tabellen für das Simulationsmodell hinterlegt. Die Kennlinien weisen ein symmetrisches Verhalten auf. Daher ergeben sich für die Initialisierungsspannung des Snapback-Bereiches für positive und negative Entladungen dieselben Werte.

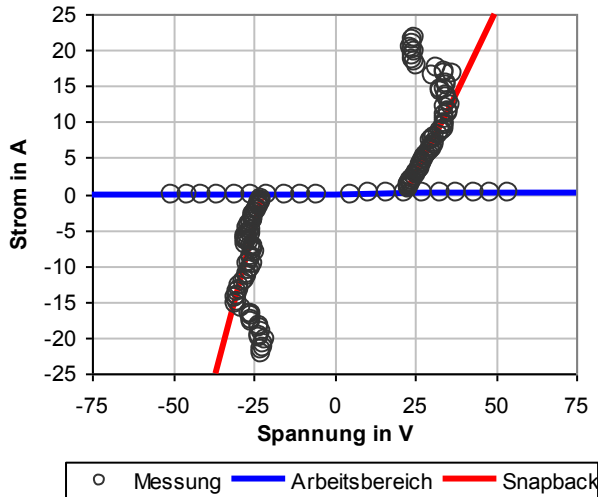


Abbildung 54: I/V-Kennlinie eines CAN-Transceiver (Infineon TLE6250)

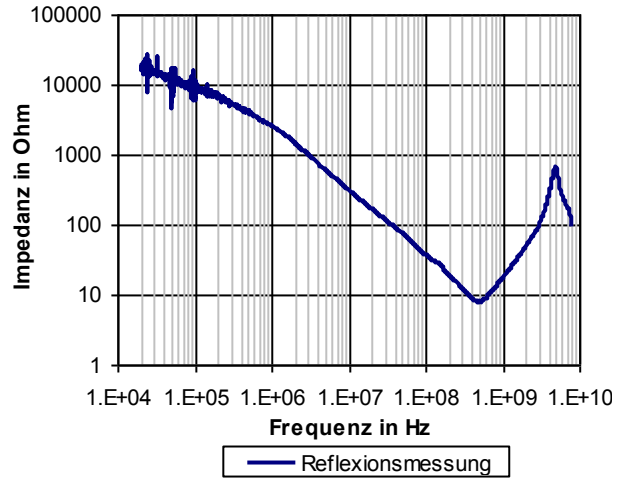


Abbildung 55: Impedanzverlauf eines CAN-Transceiver (Infineon TLE6250)

Dies bedeutet, dass bei diesem Bauelement bis zu einer Initialisierungsspannung nur der Arbeitsbereich aktiv ist. Wird eine Eingangsspannung von ± 52 V überschritten, so werden die Snapback-Strukturen aktiv ($S1_{\text{positiv AN}}$, $S1_{\text{negativ AN}}$). Die aktivierten Snapback-Strukturen bleiben so lange aktiv, bis die Deaktivierungsspannung unterschritten wird (Hysterese). Aus der Extrapolation der Snapback-Kennlinie kann diese Deaktivierungsspannung mit ± 22 V abgeschätzt werden ($S1_{\text{positiv AUS}}$, $S1_{\text{negativ AUS}}$).

Die linearen hochfrequenten Eigenschaften des Bauelementeingangs wurden mit den in Abschnitt 1.3.2 vorgestellten Impedanzmessverfahren ermittelt. Aus dem Verlauf der Übertragungsfunktion des Eingangs (Abbildung 55) kann die geometriebedingte Eingangsinduktivität L_{IN} und die Eingangskapazität C_{IN} nachgebildet werden. Hieraus ergibt sich für L_{IN} eine Induktivität von 3,4 nH und für C_{IN} eine Kapazität von 52 pF.

Abbildung 56 zeigt die steigende Flanke zweier TLP-Entladungen. Die graue Kurve wurde mit 50 V TLP-Entladespannung aufgenommen. Hier werden die Snapback-Strukturen noch nicht aktiviert. Die rote Kurve zeigt hingegen die steigende Flanke einer Entladung mit 290 V TLP-Spannung. Hier werden die Snapback-Strukturen aktiviert und die Eingangsimpedanz des Bauteils ändert sich.

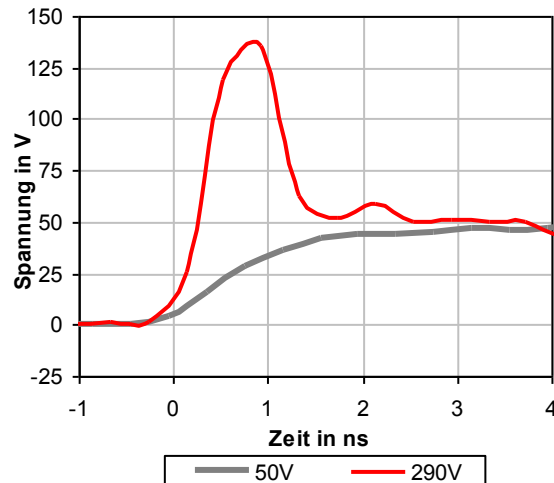


Abbildung 56: Spannungsverlauf zweier TLP-Entladungen (50 V, 290 V) in eine CAN Schnittstelle (Infineon TLE6250)

Der Überschwinger am Beginn des roten Kurvenverlaufs (290 V) ist nicht ausschließlich mit der geometrisch bedingten Eingangsinduktivität zu erklären. D.h. die Initialisierung der Snapback-Strukturen erfolgt verzögert. Ist die Eingangsinduktivität L_{IN} bekannt, so kann die Verzögerungszeit der Snapback-Struktur ermittelt werden. Hierzu werden die Messdaten mit simulierten Kurven ohne Verzögerungszeit verglichen. Aus der Differenz kann die benötigte Verzögerung ermittelt werden. In diesem Fall ergeben sich gute Modellergebnisse mit einer Verzögerungszeit t_{delay} von 350 ps [63]. Tabelle 13 zeigt eine Übersicht der sich aus den I/V-Kennlinien und dem Impedanzverlauf ergebenden Modellwerte, welche zur Beschreibung des Bauelementeingangs notwendig sind.

Allgemein		
L_{IN}	geometriebedingte Eingangsinduktivität	3,4 nH
C_{IN}	geometriebedingte Eingangskapazität	52 pF

Positive Entladungen		
t_{delay+}	Positive Verzögerungszeit der Snapback-Struktur	350 ps
$S1_{positiv}$	Positive Initialisierungsspannung des Snapback-	52 V
$S1_{positiv}$	Positive Deaktivierungsspannung des Snapback-	22 V

Negative Entladungen		
$t_{\text{delay-}}$	Negative Verzögerungszeit der Snapback-Struktur	350 ps
$S1_{\text{negativ}}$	Negative Initialisierungsspannung des Snapback-	-52 V
$S1_{\text{negativ}}$	Negative Deaktivierungsspannung des Snapback-	-22 V

Tabelle 13: ESD-Simulationsparameter für eine CAN Schnittstelle (Infineon TLE6250)

Aufgrund des symmetrischen Verhaltens des Bauteileingangs ergeben sich für positive und negative Entladungen ähnliche bis gleiche Werte.

Für weitere Bauelemente, deren Eingangsstruktur nicht symmetrisch aufgebaut ist, muss dies nicht gelten. Die ESD-Simulationsparameter können sich in diesem Fall unterscheiden.

TLP-Entladung	
t_{TLP}	100 ns
t_{rise}	1 ns
R_{TLP}	50 Ω
U_{TLP}	510 V

Tabelle 14: TLP-Entladeparameter

Zur Verifikation des grundsätzlichen, nichtlinearen Ansprechverhaltens des ICs wurden Messergebnisse einer TLP-Entladung (Tabelle 14) mit einer Ladespannung von 510 V mit einer entsprechenden Simulation verglichen (Abbildung 57, Abbildung 58). Die Entladungen des TLP-Generators wurden mittels 50 Ω Übertragungsleitungen modelliert [64]. Hierbei zeigt sich sowohl im Strom- als auch im Spannungsverlauf eine gute Übereinstimmung zwischen Simulations- und Messergebnissen. Der leichte Abfall des Spannungsverlaufs ab 70 ns kann auf eine Erwärmung der belasteten Schutzstruktur während der Pulsbelastung zurückgeführt werden. Dies kann eine Änderung der Leitfähigkeit im Halbleiter zur Folge haben [65], was den Spannungsverlauf durch die gesenkte Leitfähigkeit absinken lässt. Dies ist jedoch im Simulationsmodell nicht berücksichtigt.

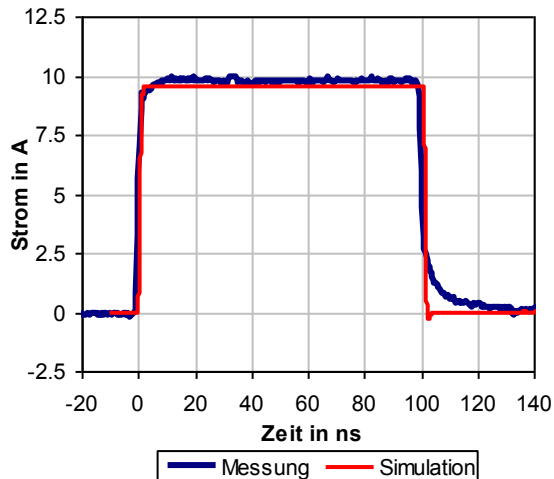


Abbildung 57: Stromverlauf einer TLP-Entladung (510 V) in eine CAN Schnittstelle (Infineon TLE6250)

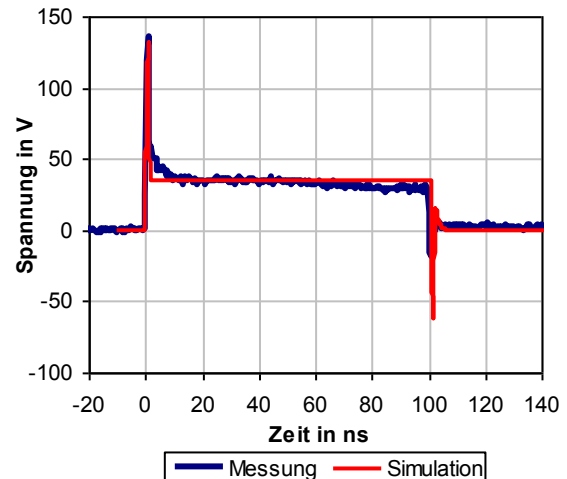


Abbildung 58: Spannungsverlauf einer TLP-Entladung (510 V) in eine CAN Schnittstelle (Infineon TLE6250)

Zur weiteren Verifikation des Modells wurden die Spannungsverläufe am IC Pin aus Abbildung 58 FFT transformiert. In Abbildung 59 ist das Verhalten im Frequenzbereich der simulierten und der gemessenen Spannungen dargestellt. Die Simulation folgt hierbei dem Frequenzverlauf des gemessenen Signals bis in den GHz Bereich. Ab 2 GHz ist die Grenze der Messung zu erkennen.

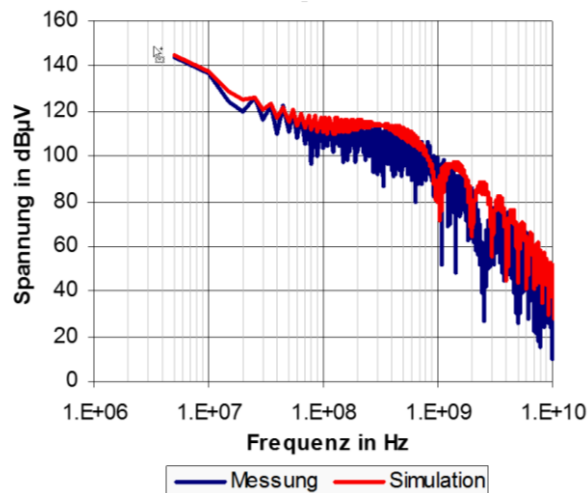


Abbildung 59: FFT eines gemessenen und eines simulierten Spannungsverlaufes einer TLP-Entladung (510 V) in eine CAN Schnittstelle (Infineon TLE6250)

Aufgrund der verwendeten Anstiegszeit der TLP-Entladung von 1 ns fallen die Anteile für höhere Frequenzen kontinuierlich ab (-3 dB bei 333 MHz danach mit 20 dB/Dekade [66]). Dies

wird sowohl von der Messung als auch von der Simulation gut wiedergegeben. Das IC Eingangsmodell für die CAN Schnittstelle kann daher bis zu Frequenzanteilen von 1 GHz verwendet werden.

TLP-Entladungen eignen sich gut, um in einer definierten Testumgebung das erstellte Modell zu erproben. Jedoch wurden TLP-Entladungen zur Erfassung der Simulationsparameter verwendet. Eine reine Überprüfung mit dieser Pulsform lässt daher keine eindeutige Aussage über die Modellqualität zu. Des Weiteren stellen IEC-ESD praxisrelevante Entladeszenarien dar, die in automobilen Anforderungen häufig abgefragt werden. Daher wurde der bereits untersuchte IC Eingang mit IEC-ESD nach Tabelle 15 beaufschlagt.

IEC-ESD-Parameter	
R _{ESD}	330 Ω
C _{ESD}	150 pF
U _{ESD}	5 kV
Entladungen	3
Wartezeit	5 s

Tabelle 15: IEC-ESD-Parameter

Analog zu den TLP-Entladungen wurde der in Abbildung 51 dargestellte Messaufbau verwendet. Hierbei wurden ebenfalls die entstehenden Spannungsverläufe am IC Eingang aufgenommen und mit zuvor erstellten Simulationsergebnissen verglichen. Die Entladung des IEC-ESD-Generators wurde wie in 3.1 beschrieben modelliert. Als Entladenetzwerk wurden die Parameter aus Tabelle 15 verwendet. Abbildung 60 zeigt den Spannungsverlauf von Simulation und Messung bei einer Entladespannung des ESD-Generators von 5 kV.

Der Spannungsverlauf von Simulation und Messung weist auch hier eine gute Übereinstimmung auf. Insbesondere die entstehende Spannungsspitze am Anfang der Entladung wird gut abgebildet. Ähnlich wie bei der TLP-Entladung ist ab 70 ns eine Abweichung erkennbar. Dies könnte durch Erwärmung des beaufschlagten Halbleiters erklärt werden. Auch ist das IEC-ESD-Generatormodell noch verbesserungsfähig.

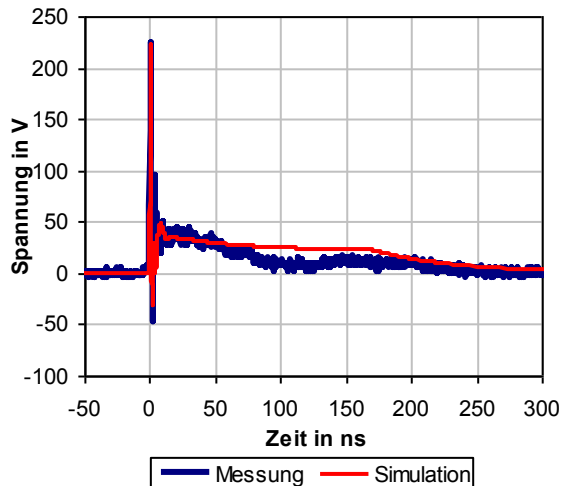


Abbildung 60: Spannungsverlauf einer IEC-ESD-Entladung mit 5kV in eine CAN Schnittstelle (Infineon TLE6250)

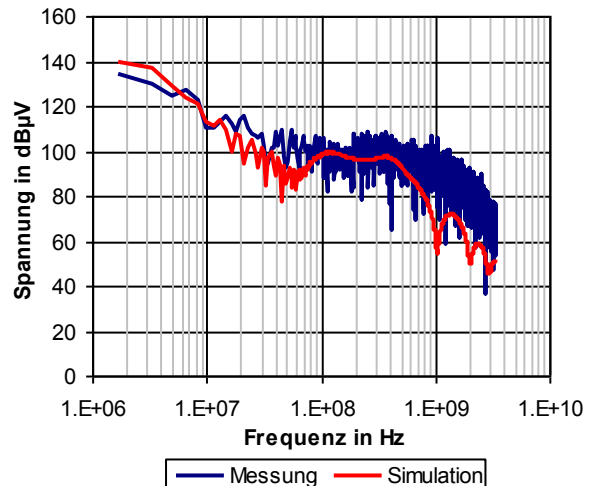


Abbildung 61: Vergleich im Frequenzbereich von gemessenen und simulierten Spannungsverläufen einer IEC-ESD in einen CAN Baustein

Ebenso wie zur Verifikation mithilfe der TLP-Entladungen wurde das Modell mittels einer FFT untersucht. Abbildung 61 zeigt die transformierten Ergebnisse der Entladung aus Abbildung 60. Das simulierte Verhalten im Frequenzbereich folgt den gemessenen Werten bis 600 MHz. Für höhere Frequenzanteile ist aufgrund der vertikalen Auflösung von 8 Bit die Dynamikgrenze des Oszilloskops erreicht, so dass über diesen Bereich hinaus kein vernünftiger Vergleich mehr möglich ist. Aufgrund der Anstiegszeit der IEC-ESD von 1 ns fallen bei der simulierten Spannung, die Anteile für höhere Frequenzen analog zur TLP-Entladung ab (-3 dB bei 333 MHz danach mit 20 dB/Dekade). Das IC Eingangsmodell für die CANH Schnittstelle kann mit der verwendeten Messtechnik bis zu 600 MHz verifiziert werden. Das Modell kann daher bis zu dieser Frequenzgrenze

Zusätzlich zu dem exemplarisch untersuchten IC Eingang wurden unterschiedliche Bauteile auf ihre Modellierbarkeit mit der vorgestellten Simulationemethode untersucht. Bei den zusätzlich untersuchten Bauteilen zeigte sich grundsätzlich eine gute Modellierbarkeit hinsichtlich ihres Pulsverhaltens. Tabelle 16 zeigt die Bewertung dieser Bauelemente nach der in 3.3.3 vorgestellten Bewertungsmethode (Tabelle 10).

Zur Bewertung und Vorhersage der im System auftretenden Spannungs- und Stromverläufe ist die Simulationemethode daher geeignet.

Modellierung des nichtlinearen Verhaltens von IC Eingängen

CAN			LIN		
Hersteller	Typ	Modellqualität ¹	Hersteller	Typ	Modellqualität ¹
Infineon	TLE6251	2	Freescale	MC33399	2
	TLE6250	1		MC33661D	3
	TLE6250G	1	ST	L9613B13TR	1
NXP	TJA1042T	2	Atmel	ATA6662	1
ONSEMI	AMIS-30660	2		ATA6620	2
TI	SN65HVD1050	2	NXP	TJA1020	3
	SN75LBC031	1	Elmos	E100.42A	2
NXP	PCA82C251	3			
	PCA82C250T	2			

¹ Modellqualität:	1 sehr gut	2 gut	3 befriedigend
	4 brauchbar	5 bedingt brauchbar	6 unbrauchbar

Tabelle 16: Modellqualität unterschiedlicher Halbleitereingänge

5 Modellierung des Ausfallverhaltens von IC Eingängen

Die möglichen Ausfallmechanismen in Halbleiterstrukturen sind vielfältig. Abhängig vom Schaltungsaufbau, dem jeweiligen Fertigungsprozess und der bauteilspezifischen Implementierung der ESD-Schutzstrukturen sind unterschiedlichste Ausfallmechanismen möglich. Die Beeinträchtigung eines Halbleiterbauelementes durch elektrostatische Entladungen hat direkten Einfluss auf das elektrische Verhalten des Bauelementes. Dies kann dazu verwendet werden um die Auswirkung (Tabelle 17) zu kategorisieren [67, 68]. Abhängig von den Anforderungen an die ESD-Robustheit können bei Kfz-Systemen Beeinträchtigungen der Stufe C und D toleriert werden. Beeinträchtigungen der Stufe A und B werden in der Regel nicht akzeptiert.

Beeinträchtigung	
A: Zerstörung	Das Bauelement ist funktionsuntüchtig. z.B. Kurzschluss oder offene Verbindungen innerhalb des Bauelementes
B: Stark	Das Bauelement ist funktionsfähig, die elektrischen Parameter sind außerhalb der spezifizierten Werte. z.B. signifikante Abweichung des Leckstromverhaltens oder der Stromaufnahme
C: Leicht	Das Bauelement ist funktionsfähig, die elektrische Parameter sind verändert aber noch innerhalb der Spezifikation. z.B. Stromaufnahme, Leckstrom, Schaltschwellen
D: Latch-up	Das Bauelement befindet sich in einem reversiblen Fehlerzustand. Dieser lässt sich durch eine Unterbrechung der Stromversorgung aufheben. z.B. erhöhte Stromaufnahme

Tabelle 17: Kategorisierung der Schädigung von Halbleitern

Nach ESD-Ereignissen lassen sich in den betroffenen Bauelementen häufig Schädigungen von pn-Übergänge, Oxidschichten und Via-Verbindungen feststellen [5]. Hierfür kommen in der Regel zwei Ursachen in Frage [68]. Zum einen entsteht in den betroffenen Schaltungsteilen aufgrund der hohen Pulsleistung eine hohe thermische Belastung. Zum anderen ist es möglich, dass es Aufgrund der elektrostatischen Entladungen zu Spannungsbelastungen kommt.

5.1 Zerstörung durch thermische Überlastung

In der Literatur werden thermische Schädigungen als Hauptursache für eine Beeinträchtigung in vielen gängigen Halbleiterbauelementen genannt [74]:

- Halbleiterwiderstände
- Dioden
- Bipolartransistoren
- MOSFET Bauelemente

Für eine verhaltensbasierende Ausfallmodellierung, die mit endlichem Aufwand erstellt werden kann ist eine Beschränkung der Ausfallursachen notwendig. Es ist daher sinnvoll sich im ersten Modellierungsanlauf auf thermische Ausfallursachen zu beschränken. Damit kann ein breites Feld an Ausfällen in gängigen Bauelementen beschrieben werden kann.

Ein solches Ausfallkriterium kann auf eine Vielzahl von Fehlermechanismen, Fertigungsprozessen und bauteilspezifische Implementierungen im Halbleiter angewendet werden. Das Ausfallkriterium kann stellvertretend für zum Teil komplexe, physikalische Ausfallursachen stehen und beschreibt diese phänomenologisch. Die notwendigen Modellparameter sollten nach Möglichkeit mithilfe von Messungen ermittelt werden können, um eine Erstellung der Modelle ohne Herstellerdaten zu gewährleisten.

5.2 Thermische Ausfallmodelle für Halbleiterstrukturen

Für die phänomenologische Beschreibung des thermischen Ausfallverhaltens unter Pulsbelastung stehen unterschiedliche Modelle zur Verfügung. Verbreitete Modellierungsansätze sind geometrische Beschreibungen des aktiven Strompfades, welche auf thermodynamischen Beschreibungen beruhen sowie thermische RC-Ersatzschaltungen.

Im folgenden Kapitel wird kurz dargestellt unter welchen Annahmen die jeweiligen Modelle erstellt wurden. Anhand der Ausfallgrenze eines realen Bauteils wird die Gültigkeit der vorgestellten thermischen Modelle jeweils charakterisiert. Mit den daraus resultierenden Ergebnissen werden die Vor- und Nachteile der einzelnen Modelle beurteilt und das Verhalten der realen Strukturen unter Pulsbelastung einem thermischen Modelle zugeordnet.

5.2.1 Thermodynamische, geometrische Modelle

Flächen-, zylinder- und kugelförmige Geometrien bilden die Grundlage für etablierte thermische Ausfallmodelle [74], welche für die Bewertung von Halbleiterstrukturen angewendet werden [25, 69].

Im den folgenden Kapitel werden die Wärmeleitungsgleichungen der drei Geometrien beschrieben. Alle thermodynamischen Modelle und deren Herleitung sind hierbei aus [70, 72, 74, 78] entnommen worden. Tabelle 18 beschreibt die jeweiligen Anregungsannahmen zur Lösung der zugehörigen Wärmeleitungsgleichungen. Alle drei Modelle teilen die Annahme, dass unter Pulsbelastung eine abgegrenzte Geometrie leitfähig wird. Die eingeprägte Energie wird nur in dieser Geometrie umgesetzt, wobei das umgebende Material als unendlich ausgedehnt angenommen wird. Abgesehen von der betrachteten Geometrie unterscheiden sich die Modellierungsansätze hauptsächlich in der zeitlichen Umsetzung der Wärmemenge. Für linien- und kugelförmige Defekte wurde eine konstante Umsetzung der Verlustleistung angenommen. Bei der Modellierung von flächigen Defekten trafen Wunsch und Bell zur mathematischen Vereinfachung die Annahme, dass die Wärmemenge zu Beginn der Betrachtung in einem Dirac-Impuls umgesetzt wurde.

	Wunsch-Bell [73] (1968)	A.A.G.R. [71] (1983)	Tasca [79] (1970)
Umgebung	Das umgebende Material ist unendlich ausgedehnt		
Geometrie des Wärmeeintrags	Flächig	Zylinderförmig	Kugelförmig
Zeitlicher Energieumsatz	Einmalig bei $t = 0$ (Dirac-Impuls)	Gleichmäßig (TLP)	
Berechnung der Temperatur	Fläche ($x = 0$)	beliebig	$r = 0$ bis ca. $0,9 \cdot$ Durchmesser

Tabelle 18: Annahmen zu den hier verwendeten thermischen Ausfallmodellen und Gültigkeitsbereiche

5.2.1.1 Modellierungsansatz

Aus dem Fourier-Ansatz für Wärmestromdichten kann die Wärmeleitungsgleichung zur Bestimmung des Temperaturfeldes bestimmt werden. Für unterschiedliche Koordinatensysteme können die daraus entstehenden Differenzialgleichungen dargestellt werden mit [78, 72]:

Kartesische Koordinaten (x, y, z)

$$\frac{\partial T}{\partial \tau} = a \cdot \left(\frac{\partial^2 T}{\partial x^2} + \frac{\partial^2 T}{\partial y^2} + \frac{\partial^2 T}{\partial z^2} \right) \quad (5)$$

Zylinderkoordinaten (z, r, φ)

$$\frac{\partial T}{\partial \tau} = a \cdot \left[\frac{1}{r} \frac{\partial}{\partial r} \left(r \frac{\partial T}{\partial r} \right) + \frac{1}{r^2} \frac{\partial^2 T}{\partial \varphi^2} + \frac{\partial^2 T}{\partial z^2} \right] \quad (6)$$

Kugelkoordinaten (r, φ, ϑ)

$$\frac{\partial T}{\partial \tau} = a \cdot \left[\frac{1}{r^2} \frac{\partial}{\partial r} \left(r^2 \frac{\partial T}{\partial r} \right) + \frac{1}{r^2 \sin \vartheta} \frac{\partial}{\partial \vartheta} \left(\sin \vartheta \frac{\partial T}{\partial \vartheta} \right) + \frac{1}{r^2 \sin^2 \vartheta} \frac{\partial^2 T}{\partial \varphi^2} \right] \quad (7)$$

a steht für die Temperaturleitfähigkeit:

$$a = \frac{\lambda}{\rho \cdot c} \quad \begin{array}{ll} \lambda & : \text{Wärmeleitfähigkeit} \\ \rho & : \text{Dichte} \\ c & : \text{spezifische Wärmekapazität} \end{array}$$

In praxisrelevanten Fragestellungen kann die Geometrie des thermodynamisch relevanten Defektvolumens häufig auf platten-, zylinder- bzw. kugelförmige Geometrien reduziert werden. Bei diesen Geometrien kann die Betrachtung des Wärmeflusses aufgrund von Symmetrieeigenschaften auf eine Raumrichtung reduziert werden. Damit reduziert sich die Differenzialgleichung zu:

$$\frac{dT}{dt} = a \cdot \left(\frac{d^2 T}{dr^2} + \frac{n}{r} \cdot \frac{dT}{dr} \right) \quad (8)$$

n steht für die Geometrie des Defektvolumens:

n	Geometrie des Defektvolumens	$n = 0 \rightarrow$ Platte
		$n = 1 \rightarrow$ Zylinder
		$n = 2 \rightarrow$ Kugel

Hierbei wird für die Platte ein kartesisches Koordinatensystem, für den Zylinder ein Zylinderkoordinatensystem und für die kugelförmige Geometrie ein Kugelkoordinatensystem verwendet.

Die thermodynamischen Eigenschaften wie Temperaturleitfähigkeit und Wärmekapazität werden während der Pulsbelastung als unverändert angenommen.

5.2.1.2 Flächen bzw. plattenförmige Wärmequellen (Wunsch-Bell)

Ein verbreitetes thermisches Ausfallmodell für flächige P/N Übergänge stellt das Wunsch-Bell [73] Modell dar. Hierbei wird die Energie Q auf der Fläche A_{Aktiv} umgesetzt (Abbildung 62), was einen Wärmestrom \dot{Q} in das umgebende Material zur Folge hat. Dies entspricht dem Wärmeeintrag in einem ebenen P/N Übergang innerhalb einer Halbleiterstruktur.

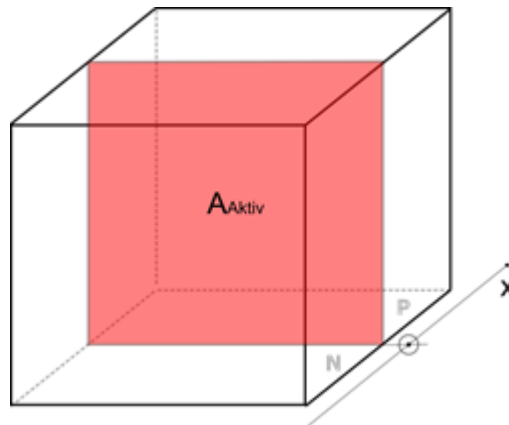


Abbildung 62: Flächiger Temperatureintrag nach Wunsch-Bell

Betrachtet man das umgebende Material als unendlich ausgedehnt, so kann das resultierende Temperaturfeld mit (8) beschrieben werden. Hierbei vereinfacht sich die Gleichung aufgrund der Geometrie des Defektvolumens zu:

$$\frac{dT}{dt} = a \cdot \left(\frac{d^2T}{dx^2} \right) \quad (9)$$

Für $t > 0$ gelten folgende Randbedingungen:

Die Temperatur ist im Zentrum am größten. Bei $x = 0$ befindet sich daher ein Extrempunkt:

$$\left. \frac{dT}{dx} \right|_{(x=0)} = 0 \quad (10)$$

Der umgebende Körper ist unendlich ausgedehnt und hat bei $t < 0$ eine Anfangstemperatur

T_{Umgebung} :

$$\lim_{x \rightarrow \infty} T(x, t < 0) = T_{\text{Umgebung}} \quad (11)$$

Mit den Randbedingungen (10) und (11) kann (9) gelöst werden zu [74]:

$$\Delta T_{Platte}(x, t) = \frac{1}{\sqrt{4 \cdot \pi \cdot a}} \int_0^t \dot{Q}(\tau) \frac{e^{-\frac{x^2}{4a(t-\tau)}}}{\sqrt{t-\tau}} d\tau \quad (12)$$

Wunsch und Bell vereinfachten den Zusammenhang (12) mit dem Postulat, dass die Wärmemenge $Q(t)$ zum Zeitpunkt $t = 0$ in einem Dirac-Impuls umgesetzt wird, einer sogenannten „Wärmeexplosion“:

$$Q_0 = \lim_{\tau \rightarrow 0} \int_0^{\tau} \dot{Q}(\tau) d\tau \quad (13)$$

Mit dieser Annahme vereinfacht sich der Ausdruck (12) zu (14). Jedoch verringert sich hierdurch die Gültigkeit des Modells [73], da Aufgrund der Modellierung mithilfe eines Dirac-Impulses die Temperaturen nicht für alle Pulslängen korrekt wiedergegeben werden können. Das Wunsch-Bell Modell liefert daher für kurze Pulse tendenziell zu hohe Temperaturen und damit zu geringe Entladeleistungen, für lange Pulse können zu hohe Entladeleistungen ermittelt werden.

$$\Delta T_{Platte}(x, t) = Q_0 \cdot \sqrt{\frac{t}{\pi \cdot a}} \cdot e^{-\frac{x^2}{4a \cdot t}} - \frac{Q_0 \cdot |x|}{2 \cdot a} \cdot \operatorname{erfc}\left(\frac{x}{2 \cdot \sqrt{a \cdot t}}\right) \quad (14)$$

Hierbei ist $\Delta T_{Platte}(x, t)$ die Temperaturerhöhung im Vergleich zu $T_{Umgebung}$ im Abstand x zur Fläche A_{Aktiv} . Betrachtet man nun die Temperatur an der wärmsten Stelle im Zentrum bei $x = 0$, so kann (14) vereinfacht werden zu:

$$\Delta T_{Platte}(t) = Q_0 \cdot \sqrt{\frac{t}{\pi \cdot a}} \quad (15)$$

Mit den Zusammenhängen (16) und (17) lässt sich die Temperaturerhöhung darstellen zu (18):

$$Q = \frac{P}{A} \cdot \frac{1}{\rho \cdot c_p} \quad (16)$$

$$\frac{1}{a} = \frac{\rho \cdot c_p}{\kappa} \quad (17)$$

$$\Delta T_{Platte}(t) = \left(\frac{P}{A} \cdot \frac{1}{\rho \cdot c_p} \right) \cdot \sqrt{\frac{t}{\pi \cdot a}} = \left(\frac{P}{A} \cdot \frac{1}{\rho \cdot c_p} \right) \cdot \sqrt{\frac{t}{\pi \cdot \frac{\kappa}{\rho \cdot c_p}}} = \left(\frac{P}{A} \right) \cdot \sqrt{\frac{t}{\pi \cdot \kappa \cdot \rho \cdot c_p}} \quad (18)$$

Hieraus ergibt sich die maximal zulässige Pulsleistung $P_{f_Wunsch-Bell}$ bei einer vorgegebenen Temperaturerhöhung in der Fläche A zu:

$$P_{f_Wunsch-Bell} = \Delta T \cdot A \sqrt{\frac{\pi \cdot \lambda \cdot \rho \cdot c_p}{t_{TLP}}} \quad (19)$$

Hierbei ist ΔT die maximal erlaubte Temperaturerhöhung, bei der es noch zu keiner Schädigung des Bauteils kommt. A ist die Fläche des Defektes und t_{TLP} ist die Dauer des angelegten TLP. Aufgrund der Vereinfachung, dass die Energie zum Zeitpunkt $t = 0$ umgesetzt wird, gilt diese Betrachtung nur eingeschränkt und liefert im Zeitbereich $100ns < t < 20\mu s$ plausible Ergebnisse. Werden Betrachtungen außerhalb dieses Zeitbereichs angestellt, so muss auf den komplexeren Ansatz (12) zurückgegriffen werden.

Mithilfe von (19) kann die aktive Fläche bestimmt werden zu:

$$A_f = \frac{E}{T_f - T_0} \cdot \sqrt{\frac{1}{t \cdot \pi \cdot \lambda \cdot \rho \cdot c_p}} \quad (20)$$

Wird nun ein IC Eingang mit einem TLP bis zur Zerstörung belastet, so kann mithilfe des Zusammenhanges (20) die aktive Fläche A_f berechnet werden. Hiermit lässt sich $P_{f_Wunsch-Bell}$ nach (19) berechnen. Tabelle 19 gibt die Parameter eines LIN Bausteines (ATA6662C) zur Darstellung der Ausfalleistung nach Wunsch-Bell wieder. Die Fläche des Defektvolumens wurde bei 100 ns TLP ermittelt. Hierbei war eine zerstörende Pulsenergie E von 7,60 μJ notwendig um bei einer Umgebungstemperatur T_0 den IC Eingang zu schädigen. Als maximal zulässige Temperatur T_f bei $x = 0$ wurden 680 K angenommen. Hieraus ergibt sich die aktive Fläche A des Defektes zu 3768 μm^2 .

t_p	100	[ns]	Pulslänge
E	7,60	[μJ]	Zerstörende Pulsenergie
T_0	293	[K]	Umgebungstemperatur
T_f	680	[K]	Zerstörende Temperatur
A_f	3768	[μm^2]	Aktive Fläche

Tabelle 19: Parameter zur analytischen Darstellung der Ausfalleistung nach Wunsch-Bell

Abbildung 63 zeigt die berechnete und auf 100 ns abgestimmte Pulsleistung im Vergleich zu Messwerten bei unterschiedlichen Pulsängen. Hierbei fällt auf, dass der analytische

Zusammenhang nach Wunsch-Bell die Ausfalleleistungen des Bauelementes für Pulse mit $t < 100$ ns nur ungenügend beschreiben.

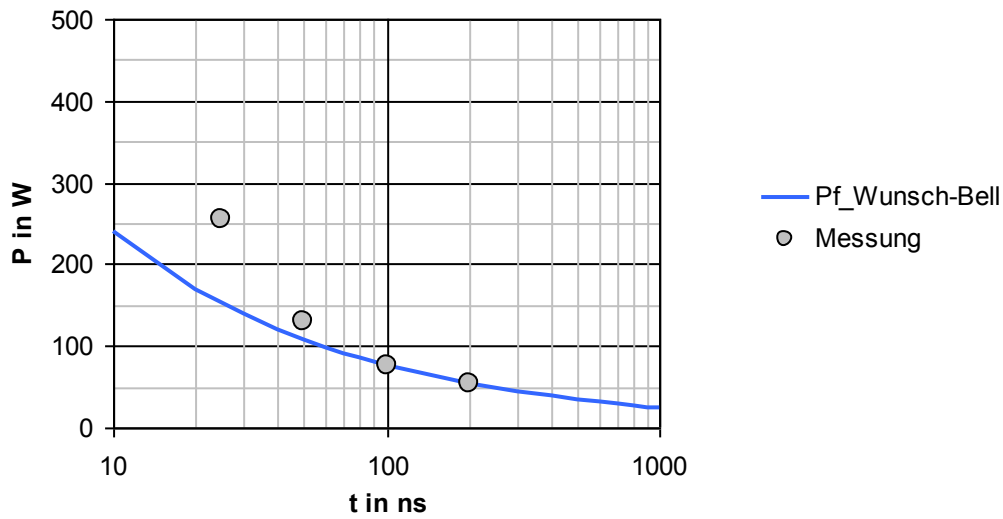


Abbildung 63: Ausfalleistung eines LIN Transceiver (ATA6662C) in Abhängigkeit der TLP-Dauer nach Wunsch-Bell

Das Wunsch-Bell Modell für flächige Erwärmung ist für die Beschreibung des Ausfallverhaltens von P/N Übergängen, wie sie in Dioden und Transistoren auftreten, geeignet. Positiv ist, dass hierbei die Temperatur am wärmsten Ort des Defektes betrachtet wird. Nachteilig ist, dass die eingebrachte Energie nicht in einem Volumen umgesetzt wird, was in der Realität nicht zu erwarten ist. Zusätzlich können aufgrund der Modellierung mithilfe eines Dirac-Impulses nicht alle Pulslängen korrekt wiedergegeben werden.

5.2.1.3 Linien- bzw. zylinderförmige Defekte

Eine weitere geometrische Form für aktive Strukturen sind linien- bzw. fadenförmige Wärmequellen [75, 76]. Bei einer linien- bzw. fadenförmigen Quelle wird die Energie in einem lang ausgestreckten, homogenen Zylinder umgesetzt (Abbildung 64) [77].

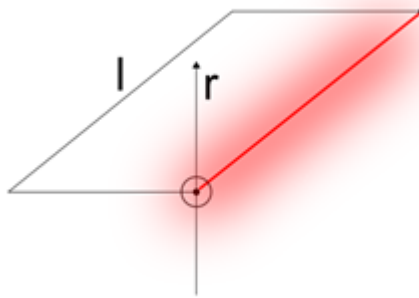


Abbildung 64: Temperaturverteilung eines fadenförmigen Defektes

Betrachtet man das umgebende Material als unendlich ausgedehnt, so kann das resultierende Temperaturfeld mit (8) beschrieben werden zu [74]:

$$\frac{dT}{dt} = a \cdot \left(\frac{d^2 T}{dr^2} + \frac{1}{r} \cdot \frac{dT}{dr} \right) \quad (21)$$

Hierbei ergeben sich für $t > 0$ folgende Randbedingungen:

Die Temperatur ist im Zentrum am größten. Bei $r = 0$ befindet sich daher ein Extrempunkt:

$$\left. \frac{dT}{dr} \right|_{r=0} = 0 \quad (22)$$

Der umgebende Körper ist unendlich ausgedehnt und hat bei $t < 0$ eine Anfangstemperatur

$T_{Umgebung}$:

$$\lim_{r \rightarrow \infty} T(r, t < 0) = T_{Umgebung} \quad (23)$$

Die Struktur ist lang, so dass ein Wärmetransport durch die Stirnflächen des Zylinders vernachlässigt werden kann:

$$r \ll l \quad (24)$$

Mit den Randbedingungen (22), (23) und (24) kann (21) gelöst werden zu [82]:

$$\Delta T_{\text{Zylinder}}(r, t) = \frac{1}{4 \cdot \pi \cdot \lambda \cdot l} \int_0^t \dot{Q}(\tau) \cdot \frac{e^{\left(\frac{-r^2}{4 \cdot a \cdot (t-\tau)}\right)}}{(t-\tau)} \cdot d\tau \quad (25)$$

Wird die Energie $Q(\tau)$ konstant umgesetzt, so vereinfacht sich $Q(\tau)$ zu:

$$\dot{Q}(\tau) = \dot{Q}_0 = \text{constant} \quad (26)$$

Dies entspricht einer Belastung unter TLP.

Mit dieser Annahme kann (25) vereinfacht werden zu:

$$\text{Für } \dot{Q}(\tau) = P_{f_Linie_TLP} = \text{constant}$$

$$\Delta T_{\text{Zylinder}}(r, t) = -\frac{\dot{Q}_0}{4 \cdot \pi \cdot \lambda \cdot l} Ei\left(\frac{-r^2}{4 \cdot a \cdot t}\right) \quad Ei^{-1} \quad (27)$$

Mit (27) kann die maximal zulässige Pulsleistung $P_{f_Linie_TLP}$ für eine vorgegebene Temperaturerhöhung ΔT_f angegeben werden mit:

$$P_{f_Linie_TLP} = \frac{4 \cdot \pi \cdot \lambda \cdot l}{-Ei\left(\frac{-r^2}{4 \cdot a \cdot t_p}\right)} \cdot \Delta T_f \quad (28)$$

Ei : Exponentialintegral

$$Ei(-\xi) = \int_{\xi}^{\infty} \frac{e^{-u}}{u} \cdot du$$

Reihenentwicklung von Ei

$$^1 Ei(-\xi) = 0,577216 + \ln(\xi) + \sum_{n=1}^{\infty} (-1)^n \cdot \frac{\xi^n}{n \cdot n!}$$

es gilt für $\xi \gg 1$

$$Ei(-\xi) = \frac{e^{-\xi}}{-\xi} \cdot \left(1 - \frac{1!}{\xi} + \frac{2!}{\xi^2} - \frac{3!}{\xi^3} + \frac{4!}{\xi^4} - \frac{5!}{\xi^5} + \dots\right)$$

Aus (28) kann die Länge $l_{f_Linie_TLP}$ des aktiven Strompfades abgeschätzt werden zu:

$$l_{f_Linie_TLP} = \frac{P_{f_Linie_TLP}}{4 \cdot \pi \cdot \lambda \cdot (T_f - T_0)} \cdot \left(-Ei \left(-\frac{(r_{Mantel})^2}{4 \cdot a \cdot t_p} \right) \right) \quad (29)$$

Wird der Radius der Mantelfläche r_{Mantel} des aktiven Strompfades auf einen festen Wert gesetzt, so kann mithilfe des Zusammenhanges (29) die fiktive Länge $l_{f_Linie_TLP}$ des aktiven Strompfades bestimmt werden. Hierzu wird ein IC Eingang mit TLP bis zur Zerstörung belastet, um die Ausfalleistung $P_{f_Linie_TLP}$ zu bestimmen.

Tabelle 20 gibt die Parameter eines LIN Bausteines (ATA6662C) zur Darstellung der Ausfalleistung eines linien- bzw. fadenförmigen Defektes wieder. Die Länge des Defektzylinders wurde bei 25 ns TLP ermittelt, der Radius wurde zu $r = 3 \mu m$ festgelegt [75]. Hierbei war eine zerstörende Pulsleistung $P_{f_Linie_TLP}$ von 254 W notwendig, um bei einer Umgebungstemperatur T_0 den IC Eingang zu schädigen. Als maximal zulässige Temperatur T_f im Stromfaden wurde 680 K angenommen. Hieraus ergibt sich die Länge $l_{f_Linie_TLP}$ des Defektzylinders zu 73,1 μm .

t_p	25	[ns]	Pulslänge
$P_{f_Linie_TLP}$	254	[W]	Zerstörende Pulsleistung
T_0	293	[K]	Umgebungstemperatur
T_f	680	[K]	Zerstörende Temperatur
r_{Mantel}	3	[μm]	Radius des aktiven Strompfades
$l_{f_Linie_TLP}$	73,1	μm	Länge des aktiven Strompfades

Tabelle 20: Parameter zur analytischen Darstellung der Ausfalleistung eines linien- bzw. fadenförmigen Defektes

Abbildung 65 zeigt die berechnete und auf 25 ns abgestimmte Pulsleistung im Vergleich zu Messwerten bei unterschiedlichen Pulslängen.

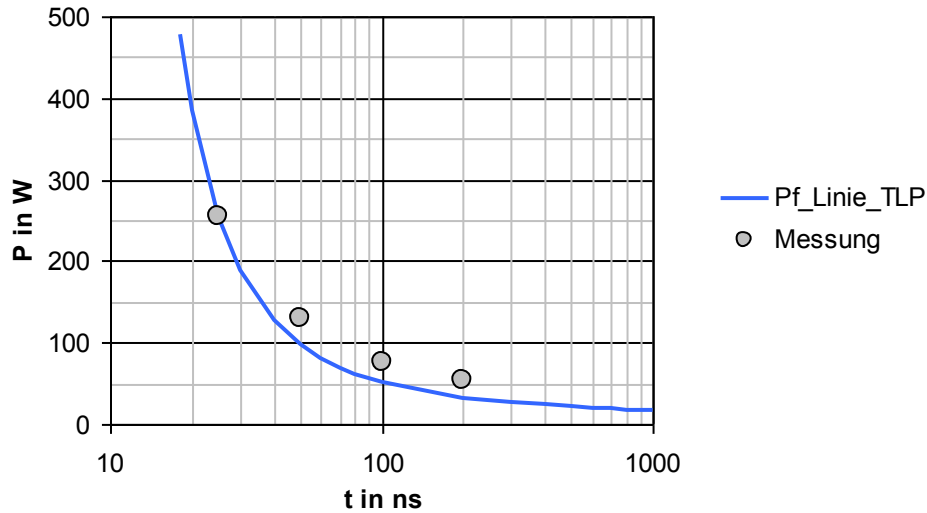


Abbildung 65: Ausfalleistung eines LIN Transceiver (ATA6662C) in Abhängigkeit der TLP-Dauer eines linien- bzw. fadenförmigen Defektes

Das thermische Modell für linienförmige Defekte mit kontinuierlicher Leistungseinprägung durch TLP gibt das Ausfallverhalten des Bausteins gut wieder. Dies lässt auf eine fadenförmige Ausbildung des Defektvolumens im realen Bauteil schließen.

Für die Anwendung von linien- bzw. zylinderförmigen Wärmequellen spricht, dass diese Geometrie in realen Ausfällen immer wieder beobachtet werden kann [75]. Nachteilig ist, dass die Temperatur auf der Mantelfläche bestimmt wird. Innerhalb der Mantelfläche des Defektes ist bei $r = 0$ die höchste Temperatur zu erwarten. Der Zusammenhang (27) ist innerhalb der Mantelfläche nicht gültig. Daher ergeben sich für $r \rightarrow 0$ keine realistischen Temperaturen:

$$\lim_{r \rightarrow 0} \left(-\frac{\dot{Q}_0}{4 \cdot \pi \cdot \lambda \cdot l} Ei \left(\frac{-r^2}{4 \cdot a \cdot t} \right) \right) = \infty$$

5.2.1.4 Punkt- bzw. kugelförmige Defekte (Tasca)

Als einfache Annahme kann eine Wärmequelle als eng begrenzt und kugelförmig betrachtet werden. Die Energie wird in einem abgeschlossenen Volumen umgesetzt $0 < r < d_{\text{Aktiv}}$ und breitet sich kugelförmig aus (Abbildung 66).

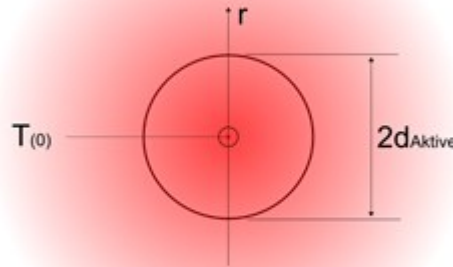


Abbildung 66: Temperaturverteilung eines kugelförmigen Defektes

Das resultierende Temperaturfeld kann mit der Differenzialgleichung (8) beschrieben werden zu [74]:

$$\frac{dT}{dt} = a \cdot \left(\frac{d^2T}{dr^2} + \frac{2}{r} \cdot \frac{dT}{dr} \right) \quad (30)$$

Hierbei ergeben sich für $t > 0$ folgende Randbedingungen:

Die Temperatur ist im Zentrum am größten. Bei $r = 0$ befindet sich daher ein Extrempunkt:

$$\left. \frac{dT}{dr} \right|_{r=0} = 0 \quad (31)$$

Die Leistung wird nur für $r < d_{\text{Aktiv}}$ innerhalb des Volumens umgesetzt:

$$A_0 = \frac{P}{V_{\text{Kugel}}} = \frac{P}{\frac{4}{3} \pi \cdot d_{\text{Aktiv}}^3} \quad (32)$$

Der umgebende Körper ist für $r > d_{\text{Aktiv}}$ unendlich ausgedehnt und hat bei $t = 0$ eine Anfangstemperatur:

$$\lim_{r \rightarrow \infty} T(r, t = 0) = T_{Umgebung} \quad (33)$$

Mit den drei Randbedingungen (31), (32), (33) und dem Ansatz (30) kann die thermodynamische Gleichung berechnet werden, was ausführlich in [78, 74] gezeigt wird.

Hierbei ergibt sich für:

$$r = 0$$

$$T(t) = \frac{d_{Aktiv}^2 \cdot \dot{Q}(t)}{2 \cdot \lambda} \left\{ 1 + \left(\frac{2 \cdot a \cdot t}{d_{Aktiv}^2} - 1 \right) \cdot \operatorname{erf} \left(\frac{d_{Aktiv}}{2\sqrt{a \cdot t}} \right) - 2 \sqrt{\frac{a \cdot t}{\pi \cdot d_{Aktiv}^2}} \cdot e^{-\frac{d_{Aktiv}^2}{4 \cdot a \cdot t}} \right\} \quad (34)$$

$$0 < r < d_{Aktiv}$$

$$T(r, t) = \frac{a \cdot \dot{Q}(t) \cdot t}{\lambda} \left\{ 1 - \frac{2 \cdot d_{Aktiv}}{r} \cdot i^2 \cdot \operatorname{erfc} \left(\frac{d_{Aktiv} - r}{2\sqrt{a \cdot t}} \right) + \frac{2 \cdot d_{Aktiv}}{r} \cdot i^2 \cdot \operatorname{erfc} \left(\frac{d_{Aktiv} + r}{2\sqrt{a \cdot t}} \right) - \frac{4\sqrt{a \cdot t}}{r} \cdot i^3 \cdot \operatorname{erfc} \left(\frac{d_{Aktiv} - r}{2\sqrt{a \cdot t}} \right) + \frac{4\sqrt{a \cdot t}}{r} \cdot i^3 \cdot \operatorname{erfc} \left(\frac{d_{Aktiv} + r}{2\sqrt{a \cdot t}} \right) \right\} \quad (35)$$

$$d_{Aktiv} < r$$

$$T(r, t) = \frac{2 \cdot a \cdot \dot{Q}(t) \cdot t \cdot d_{Aktiv}}{r \cdot \lambda} \left\{ i^2 \cdot \operatorname{erfc} \left(\frac{r - d_{Aktiv}}{2\sqrt{a \cdot t}} \right) + i^2 \cdot \operatorname{erfc} \left(\frac{r + d_{Aktiv}}{2\sqrt{a \cdot t}} \right) - \frac{2\sqrt{a \cdot t}}{d_{Aktiv}} \cdot i^3 \cdot \operatorname{erfc} \left(\frac{r - d_{Aktiv}}{2\sqrt{a \cdot t}} \right) + \frac{2\sqrt{a \cdot t}}{d_{Aktiv}} \cdot i^3 \cdot \operatorname{erfc} \left(\frac{r + d_{Aktiv}}{2\sqrt{a \cdot t}} \right) \right\} \quad (36)$$

Tasca [79] postulierte in seinem Modell, dass die maximale Temperatur nahe der Oberfläche eines kugelförmigen Defektvolumens eine materialspezifische Temperatur nicht überschreiten darf. In dieser Anordnung herrscht im Zentrum die höchste Temperatur, jedoch sind die meisten Materialien in der Lage, kurzzeitige Temperaturspitzen unbeschadet zu überstehen. Daher wird im Tascamodelle die Temperatur zur Vereinfachung nahe der Oberfläche bei $0,9 \cdot d_{Aktiv}$ betrachtet. Zusätzlich wird angenommen, dass die Energie konstant umgesetzt wird:

$$\dot{Q}(t) = \dot{Q}_0 = \text{constant} \quad (37)$$

Dies entspricht einer Belastung unter TLP.

Mit dieser Annahme kann (35) vereinfacht werden zu:

Für $\dot{Q}(t) = \text{constant}$ und $r = 0,9 \cdot d_{\text{Aktiv}}$

$$\Delta T = \frac{r^2 \cdot \frac{P}{V_{\text{Kugel}}}}{2 \cdot \lambda} \cdot \frac{\frac{4 \cdot \lambda \cdot t}{r^2 \cdot \rho \cdot c_p}}{2 + 3 \cdot \sqrt[3]{\frac{4 \cdot \lambda \cdot t}{r^2 \cdot \rho \cdot c_p} + \frac{4 \cdot \lambda \cdot t}{r^2 \cdot \rho \cdot c_p}}} \quad (38)$$

Mit (38) kann die maximal zulässige Pulsleistung P_{f_Tasca} für eine vorgegebene Temperaturerhöhung angegeben werden mit:

$$P_{f_Tasca} = \left[\frac{\rho \cdot c_p \cdot 4 \cdot \pi \cdot r^3}{3 \cdot t_p} + 4 \cdot \pi \cdot r^2 \cdot \left(\frac{\lambda \cdot \rho \cdot c_p}{t_p} \right)^{\frac{1}{2}} + \frac{8 \cdot \pi \cdot \lambda \cdot r}{3} \right] \cdot \Delta T \quad (39)$$

Term A	Term B	Term C
Adiabater Bereich	Übergangsbereich	Statischer Bereich
$t \ll \tau_T = \frac{d_{\text{Aktiv}}^2}{a}$	$t \sim \tau_T = \frac{d_{\text{Aktiv}}^2}{a}$	$t \gg \tau_T = \frac{d_{\text{Aktiv}}^2}{a}$

Hierbei ist r der Abstand zum Zentrum des Defektes, t_p ist die Dauer des angelegten TLP. ΔT ist die maximal erlaubte Temperaturerhöhung, bei der es noch zu keiner Schädigung des Bauteils kommt. Bei genauerer Betrachtung von (39) fällt auf, dass die einzelnen Terme in unterschiedlichen Zeitbereichen dominant sind. Die Zeitbereiche können mittels der thermischen Diffusionszeit (44) mit dem Radius d_{Aktiv} des Defektes in Korrelation gebracht werden. Der Term A ist dominant, wenn die thermischen Effekte adiabatisch ablaufen, d.h. die Wärmeänderungen haben nur auf das aktive Volumen eine Auswirkung. Der Term B ist dominant, wenn nennenswerte Wärme aus dem aktiven Volumen in das umgebende Material abgegeben wird. Die Temperatur im umgebenden Material ändert sich. Der dritte Term C wird dominant, wenn ein statischer Zustand erreicht wurde. In dem betrachteten System ändern sich die Temperaturen dann nicht mehr. Die Temperaturverteilung ist hier nicht mehr von der Zeit t_p abhängig.

Wenn nun Pulse an das aktive Volumen angelegt werden, die sich im adiabaten Zeitbereich abspielen, können die Terme B und C vernachlässigt werden. Die maximal erlaubte Pulsleistung im adiabaten Bereich ergibt sich somit zu:

$$P_{f_Tasca_adiabat} = \frac{\rho \cdot c_p \cdot \Delta T}{t_p} \cdot \frac{4 \cdot \pi \cdot r^3}{3} \quad (40)$$

Bzw. zu:

$$P_{f_Tasca_adiabat} = \frac{\rho \cdot c_p \cdot \Delta T \cdot V_f}{t_p} \quad (41)$$

Für kurze TLP im adiabaten Bereich kann aus (41) das Volumen des Defekts ermittelt werden:

$$V_f = \frac{P_{f_Tasca_adiabat} \cdot t_p}{\rho \cdot c_p \cdot \Delta T} \quad (42)$$

Mit der Bedingung, dass die Temperatur bei $r = 0,9 \cdot d_{Aktiv}$ betrachtet wurde, kann aus (40) der Radius d_{Aktiv_Tasca} des Defektvolumens abgeschätzt werden mit:

$$d_{Aktiv_Tasca} = \frac{1}{0,9} \sqrt[3]{\frac{3}{4 \cdot \pi} \cdot \frac{P_{f_Tasca_adiabat} \cdot t_p}{\rho \cdot c_p \cdot \Delta T}} \quad (43)$$

Hierbei gibt d_{Aktiv_Tasca} den fiktiven Radius eines kugelförmigen Defektes an, der bei einer TLP-Belastung mit der Leistung $P_{f_Tasca_adiabat}$ und der Pulsdauer t_p eine Temperaturerhöhung um ΔT erfährt.

Wird nun ein IC Eingang mit adiabatem TLP bis zur Zerstörung belastet, so kann mithilfe des Zusammenhanges (43) der Radius d_{Aktiv_Tasca} berechnet werden. Hiermit lässt sich P_{f_Tasca} nach (39) berechnen. Tabelle 21 gibt die Parameter eines LIN Bausteines (ATA6662C) zur Darstellung der Ausfalleistung nach Tasca wieder. Der Radius des Defektvolumens wurde bei 25 ns TLP ermittelt. Hierbei war eine zerstörende Pulsleistung $P_{f_Tasca_adiabat}$ von 254 W notwendig, um bei einer Umgebungstemperatur T_0 den IC Eingang zu schädigen. Als maximal zulässige Temperatur T_f im aktiven Volumen V_f wurden 680 K angenommen. Hieraus ergibt sich der Radius d_{Aktiv_Tasca} des Defektvolumens zu 15,3 μm .

t_p	25	[ns]	Pulslänge
$P_{f_Tasca_adiabat}$	254	[W]	Zerstörende Pulsleistung
T_0	293	[K]	Umgebungstemperatur
T_f	680	[K]	Zerstörende Temperatur
V_f	10060	[μm^3]	Aktives Volumen
d_{Aktiv_Tasca}	15,3	[μm]	Radius des aktiven Volumens

Tabelle 21: Parameter zur analytischen Darstellung der Ausfalleistung nach Tasca

Abbildung 67 zeigt die berechnete und auf 25 ns abgestimmte Pulsleitung im Vergleich zu Messwerten bei unterschiedlichen Pulslängen. Hierbei fällt auf, dass der analytische Zusammenhang nach Tasca die Ausfalleleistungen gut beschreibt, jedoch für längere Pulse eine Abweichung zeigt. Dies könnte damit erklärt werden, dass das reale Bauteil keine ideale kugelförmige Wärmequelle aufweist.

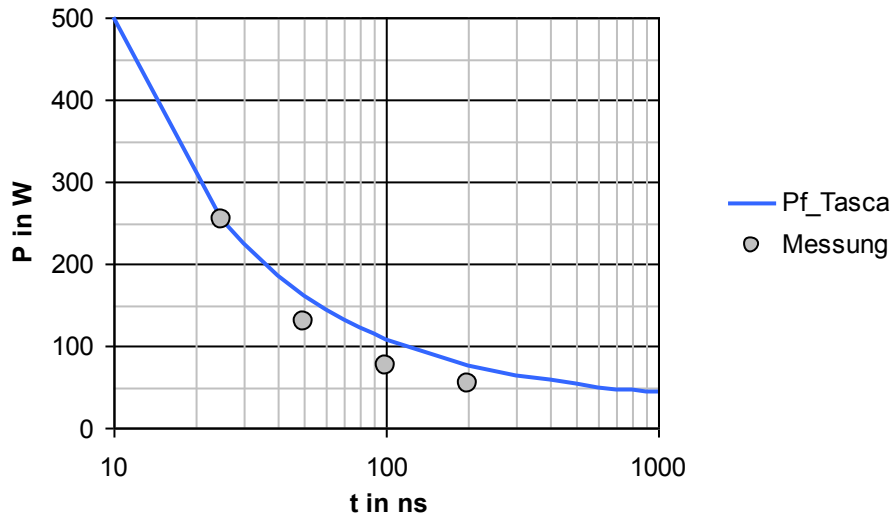


Abbildung 67: Ausfalleistung eines LIN Transceiver (ATA6662C) in Abhängigkeit der TLP-Dauer nach Tasca

Für die Modellierung nach Tasca spricht die Umsetzung der Energie in einem kugelförmigen Volumen, was in der Realität immer wieder beobachtet werden kann [80][81]. Problematisch für das Ausfallmodell ist die Betrachtung der Temperatur bei einem festen Radius, da aufgrund der geometrischen Verhältnisse der wärmste Ort im Zentrum des Defektes liegt. Das Modell ist nicht uneingeschränkt verwendbar, da nicht alle Ausfälle ein kugelförmiges Ausfallbild zeigen.

5.2.1.5 Zeitlicher Gültigkeitsbereich der thermodynamischen Modelle

In den vorgestellten thermodynamischen Modellen wird das umgebende Material als unendlich ausgedehnt angenommen. Reale Halbleiterstrukturen sind räumlich begrenzt. Jedoch breitet sich die Erwärmung in dem Halbleiter nicht beliebig schnell aus. Dieser Effekt kann mit der thermischen Diffusionszeit [9] beschrieben werden. Für kurze Pulse verhält sich das System adiabatisch und die vorangestellten thermischen Modelle sind in diesem Zeitbereich gültig. Die thermische Diffusionszeit bestimmt daher die maximale Pulsbreite, innerhalb welcher die analytischen Modelle gültig sind.

Abbildung 68 zeigt die Temperaturverteilung in einem idealisierten Halbleiter. In dessen Mitte befindet sich bei $r = 0$ eine Wärmequelle. Wird in dieser Wärmequelle Leistung umgesetzt, so ist dies nach einer Verzögerung am Rand des Systems bemerkbar.

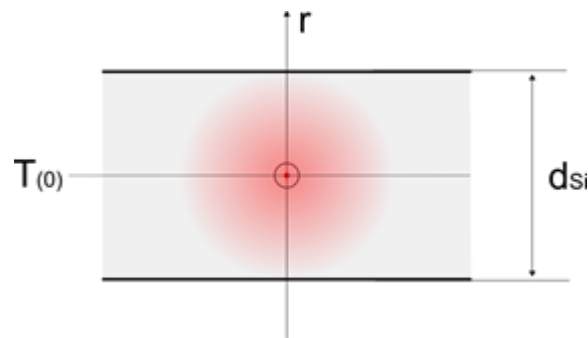


Abbildung 68: Temperaturverteilung in einem idealisierten Halbleiter mit einer mittig angeordneten Wärmequelle

Dies ist die maximale Diffusionszeit, für welche die thermodynamischen Modelle Gültigkeit haben.

Die thermische Diffusionszeit τ_T ist gegeben durch:

$$\tau_T = \frac{r}{a_{Si}} \quad (44)$$

Mit der Annahme einer typischen Dicke d_{Si} von $220\mu m$ ergibt sich r_{max} zu:

$$r_{max} = \frac{d_{Si}}{2} = 110\mu m \quad (45)$$

Daraus folgt die maximale Diffusionszeit $\tau_{T_{max}}$ zu:

$$\tau_{T_max} = \frac{\left(\frac{d}{2}\right)^2}{a_{Si}}$$

$$\tau_{T_max} = \frac{(110 \cdot 10^{-6} \text{ m})^2}{87 \cdot 10^{-6} \frac{\text{m}^2}{\text{s}}} \approx 140 \mu\text{s} \quad (46)$$

mit

$$a_{Si} = 87 \cdot 10^{-6} \frac{\text{m}^2}{\text{s}}$$

In der Realität werden die Abstände bis zur nächsten Strukturgrenze jedoch kleiner sein. D.h. mit Zeiten kleiner 20 μs ist zu rechnen. Diese reichen in den meisten Fällen für transiente Pulse aus. Für längere Pulse muss auf komplexere Modelle zurückgegriffen werden, da für einen analytischen Ansatz meist keine geschlossenen Lösungen erstellt werden können. Hier kann eine numerische Lösung der Wärmeleichungen ein Lösungsansatz sein [82]. Eine weitere Möglichkeit ist die Modellierung der unterschiedlichen Übergänge mittels verketteten thermischen 3D Modellen [83].

5.2.2 Thermische RC Ersatzschaltungen

Elektrische und thermische Größen verhalten sich ähnlich [84]. Aufgrund dieser Analogie können die Berechnungsmethoden von elektrischen Netzwerken auf thermische Netzwerke übertragen werden (Tabelle 22).

Elektrisch		Thermisch	
Strom	$I = \frac{Q}{t}$	Wärmestrom	$P_{th} = \frac{W_{th}}{t}$
Spannung	$U = \varphi_2 - \varphi_1$	Temperaturdifferenz	$\Delta T = T_2 - T_1$
Kapazität	$C = \frac{Q}{U}$	Wärmekapazität	$C_{th} = \frac{W_{th}}{\Delta T}$
Widerstand	$R = \frac{U}{I}$	Wärmewiderstand	$R_{th} = \frac{\Delta T}{P_{th}}$
Leitfähigkeit	σ	Wärmeleitfähigkeit	λ
Ladung	$Q = I \cdot t = C \cdot U$	Wärmemenge	$W_{th} = P_{th} \cdot t = C_{th} \cdot \Delta T$

Tabelle 22: Analogie zwischen thermischen und elektrischen Systemen

Aufgrund dieser Ähnlichkeit lässt sich das thermische Verhalten von Halbleitervolumina mit thermischen RC Ersatzelementen beschreiben.

Abbildung 69 zeigt beispielhaft eine entsprechende Modellierung für einen aktiven Strompfad in einem Halbleiter. Das durch den Stromkanal bestimmte Volumen V_{Aktiv} wird in der thermischen Ersatzschaltung durch $C_{\text{Thermisch}}$ wiedergegeben, die Wärmeübertragung an die Umgebung durch $R_{\text{Thermisch}}$. Die im Stromkanal umgesetzte Wärmeleistung wird im Modell mit der Stromquelle $P_{\text{Thermisch}}$ umgesetzt.

Für kurzzeitige transiente Pulsbelastungen kann für konventionelle Siliziumtechnologien eine näherungsweise adiabate Änderung der Siliziumtemperatur aufgrund der eingepprägten Pulsleistung angenommen werden. Eine Beschränkung auf die thermische Kapazität $C_{\text{Thermisch}}$ genügt in diesem Fall [85]. Für länger andauernde oder repetierende Pulse muss die Wärmeabfuhr an die Umgebung mittels eines thermischen Widerstandes $R_{\text{Thermisch}}$ berücksichtigt werden [86].

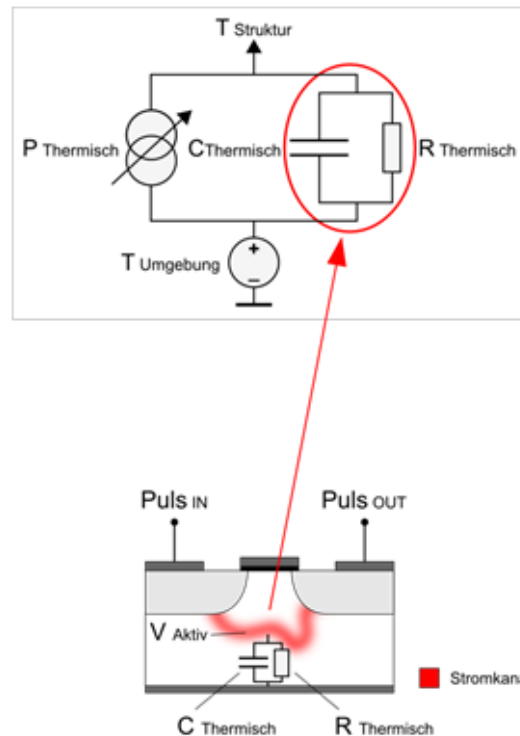


Abbildung 69: Idealisertes thermisches RC Ersatzmodell für einen Stromkanal in einer Halbleiterstruktur

Ist die Geometrie der durch den Puls beaufschlagten Strukturen bekannt, so kann die thermische Kapazität $C_{\text{Thermisch}}$ analytisch bestimmt werden. Der sich bildende Stromkanal durchfließt ein abgegrenztes Volumen V_{Aktiv} der Halbleiterstruktur. Die thermische Kapazität $C_{\text{Thermisch}}$ ergibt sich aus dem Volumen V_{Aktiv} des Stromkanals, der spezifischen Wärmekapazität $c_{\text{Halbleiter}}$ und der Dichte $\rho_{\text{Halbleiter}}$ der Struktur:

$$C_{\text{Thermisch}} = c_{\text{Halbleiter}} \cdot \rho_{\text{Halbleiter}} \cdot V_{\text{Aktiv}} \quad (47)$$

Für reines, kristallines Silizium ist die Wärmekapazität $c_{\text{Halbleiter}}$ und die Dichte $\rho_{\text{Halbleiter}}$ gegeben mit [87]:

$$c_{\text{Si}} = 703 \frac{\text{J}}{\text{kg} \cdot \text{K}}$$

$$\rho_{\text{Si}} = 2330 \frac{\text{kg}}{\text{m}^3}$$

Damit kann die volumenabhängige, thermische Kapazität $C_{\text{Si-thermisch}}$ angegeben werden:

$$C_{\text{Si-thermisch}} = 1,638 \frac{\text{mJ}}{\text{mm}^3 \cdot \text{K}} \cdot V_{\text{Aktiv}} \quad (48)$$

In der Realität lässt sich das beaufschlagte Volumen nicht ohne weiteres ermitteln, da es aufgrund von Hochstromeffekten im Halbleiter zu einer Reduzierung des beaufschlagten Volumens kommt. So kann es unter anderem zu Stromfilamenten kommen, welche V_{Aktiv} stark beeinflussen [75]. Ohne Wissen über die verwendeten Strukturen ist es in diesem Fall nicht möglich, den pulsrelevanten Teil des Siliziumvolumens zu bestimmen. Eine Ermittlung der thermischen Kapazität $C_{\text{Thermisch}}$ ohne Kenntnis über den aktiven Strompfad und damit verbunden ohne eine Abhängigkeit von V_{Aktiv} ist daher wünschenswert. TLP basierende Messungen an der Zerstörgrenze des Bauteils können wieder verwendet werden, um $C_{\text{Si-thermisch}}$ zu bestimmen. Hierzu muss die zulässige Halbleitertemperatur $T_{\text{Struktur MAX}}$ und der thermische Widerstand $R_{\text{Thermisch}}$ des IC Gehäuses in der Messaufnahme bekannt sein. Die notwendige Energie wird mit einer TLP-Entladung an der Zerstörgrenze des IC Einganges ermittelt [88]. Basierend auf diesen Messdaten kann $C_{\text{Si-thermisch}}$ berechnet werden. Hierbei gilt jedoch die Voraussetzung, dass die thermischen Eigenschaften des Gehäuses auf die Erwärmung des Halbleiters einen vernachlässigbaren Einfluss haben. Da die Leistungsabgabe $P_{\text{Thermisch}}$ bei einer TLP-Entladung in der Regel konstant verläuft, kann die Erwärmung des Siliziumvolumens mit dem Schaltvorgang einer Stromquelle in ein RC Glied verglichen werden. $C_{\text{Si-thermisch}}$ kann somit aus einer inhomogenen Differentialgleichung erster Ordnung bestimmt werden, wenn die Umgebungstemperatur T_{Umgebung} vernachlässigt wird:

$$P_{\text{thermisch}} = C_{\text{Si-thermisch}} \cdot \frac{dT_C}{dt} + \frac{T_C}{R_{\text{thermisch}}} \quad (49)$$

Durch die Lösung der Differentialgleichung ergibt sich T_C zu:

$$T_C(t) = P_{\text{thermisch}} \cdot R_{\text{thermisch}} \left(1 - e^{-\frac{t}{R_{\text{thermisch}} \cdot C_{\text{Si-thermisch}}}} \right) \quad (50)$$

daraus berechnet sich $C_{\text{Si-thermisch}}$ zu:

$$C_{\text{Si-thermisch}}(t) = - \frac{t}{R_{\text{thermisch}} \cdot \ln \left(1 - \frac{T_C(t)}{P_{\text{thermisch}} \cdot R_{\text{thermisch}}} \right)} \quad (51)$$

Bei einer konstanten Leistungsabgabe kann $P_{\text{thermisch}}$ direkt aus der gemessenen Energie E_{TLP} und der Pulsdauer t_{TLP} berechnet werden. Hierzu werden die Messdaten der letzten TLP-Entladung herangezogen, welche noch nicht zu einem Ausfall führt:

$$P_{thermisch} = \frac{E_{TLP}}{t_{TLP}} \quad (52)$$

An der TLP-Zerstörgrenze des Bauteils heizt sich das beaufschlagte Halbleitervolumen auf die Temperatur $T_{Struktur\ MAX}$ auf. Unter Berücksichtigung der Umgebungstemperatur $T_{Umgebung}$ ergibt sich T_C nach der TLP-Pulsdauer t_{TLP} :

$$T_C(t_{TLP}) = T_{Struktur\ MAX} - T_{Umgebung} \quad (53)$$

Mit Gleichungen (51), (52) und (53) kann die thermische Kapazität $C_{Si-thermisch}$ aus TLP-Messdaten berechnet werden:

$$C_{Si-thermisch} = - \frac{t_{TLP}}{R_{thermisch} \cdot \ln \left(1 - \frac{T_{Struktur\ MAX} - T_{Umgebung}}{\frac{E_{TLP}}{t_{TLP}} \cdot R_{thermisch}} \right)} \quad (54)$$

Die thermische Kapazität wird so angepasst, dass bei einer gegebenen TLP-Entladung die maximal zulässige Halbleitertemperatur erreicht wird.

Somit kann die thermische Belastung bzw. die daraus folgende Temperatur im belasteten Volumen angegeben werden mit:

$$T_C(t) = P_{thermisch(t)} \cdot R_{thermisch} \left(1 - e^{-\frac{t}{R_{thermisch} \cdot C_{Si-thermisch}}} \right) \quad (55)$$

Die so ermittelte Grenze gibt einen Anhaltspunkt für die thermische Belastbarkeitsgrenze eines Systems unter Pulsbelastung. Da bei positiven und negativen Pulsen unterschiedliche parasitäre Strukturen angesprochen werden können, ist die thermische Kapazität sowohl für positive als auch für negative TLP-Entladungen zu ermitteln. Die Parameter, welche für die Simulation des thermischen Ausfalles notwendig sind, können aus Messwerten bestimmt werden (Tabelle 23).

Das vorgestellte thermische Ausfallmodell verliert seine Gültigkeit, wenn sich die thermischen Parameter der beaufschlagten Halbleiterstruktur während des Betrachtungszeitraumes ändern. Die thermische Kapazität $C_{Si-thermisch}$ ist vom beaufschlagten Volumen abhängig. Ändert sich dieses Volumen, so hat dies einen direkten Einfluss auf die berechnete thermische Kapazität. Auch der thermische Widerstand kann sich unter Umständen während der Pulsbelastung ändern [89]. Erkennbar wird dies, wenn der Energieinhalt E_{TLP} von TLP-Messungen mit

unterschiedlichen Pulsbreiten in Gleichung (54) nicht zu einem konstanten Ergebnis für $C_{\text{Thermisch TLP}}$ führen [90].

Allgemein	
$R_{\text{thermisch}}$	Absoluter Wärmewiderstand
	Bauteilspezifischer Wärmewiderstand zwischen dem aktiven Bereich des Halbleiters und der Gehäuseaußenfläche
t_{TLP}	Pulsdauer
	Pulslänge der TLP-Entladung
$T_{\text{Struktur MAX}}$	Maximale Halbleitertemperatur
	Maximal zulässige Halbleitertemperatur unter Pulsbelastung, die zu keiner Schädigung der Strukturen führt
T_{Umgebung}	Umgebungstemperatur
	Temperatur der Testumgebung und Bezugspunkt für $R_{\text{Thermisch}}$

Positive Entladungen	
$E_{\text{TLP+}}$	Zerstörende Pulsenergie
	Abgegebener Energieinhalt einer positiven TLP-Entladung an der Zerstörgrenze der beaufschlagten Halbleiterstruktur
$C_{\text{Si-thermisch+}}$	Thermische Kapazität
	Berechnete thermische Kapazität der beaufschlagten Halbleiterstruktur für positive Pulse

Negative Entladungen	
$E_{\text{TLP-}}$	Zerstörende Pulsenergie
	Abgegebener Energieinhalt einer negativen TLP-Entladung an der Zerstörgrenze der beaufschlagten Halbleiterstruktur
$C_{\text{Si-thermisch-}}$	Thermische Kapazität
	Berechnete thermische Kapazität der beaufschlagten Halbleiterstruktur für negative Pulse

Tabelle 23: Notwendige Messwerte für die Bestimmung von thermischen Simulationsparametern

Ebenso wie bei den thermodynamischen Modellen wurde mit TLP-Entladungen ein thermisches RC Ausfallmodell eines LIN Bausteines (ATA6662C) erstellt. Tabelle 24 gibt die

hierfür notwendigen Parameter wieder. Mithilfe des Zusammenhanges (54) wurde die thermische Kapazität $C_{Si-thermisch}$ des IC Einganges bestimmt.

t_{TLP}	25	[ns]	Pulslänge
$P_{thermisch}$	254	[W]	Zerstörende Pulsleistung
$T_{Umgebung}$	293	[K]	Umgebungstemperatur
$T_{StrukturMAX}$	680	[K]	Zerstörende Temperatur
$R_{thermisch}$	40	$\left[\frac{K}{W}\right]$	Thermischer Widerstand
$C_{Si-thermisch}$	16	$\left[\frac{nJ}{K}\right]$	Thermische Kapazität

Tabelle 24: Parameter zur Darstellung der Ausfalleistung mit thermischen RC Ersatzschaltungen

Abbildung 70 zeigt die berechnete und auf 25 ns abgestimmte Pulsleistung im Vergleich zu Messwerten bei unterschiedlichen Pulslängen. Hierbei fällt auf, dass das thermische RC Ersatzmodell die Ausfalleistungen gut beschreibt.

Für die Modellierung mit thermischen RC Ersatzschaltungen spricht die einfache Anwendbarkeit auf unterschiedlichste Defektvolumen, da sich die Ersatzschaltungen auf unterschiedlichste Geometrie adaptieren lassen.

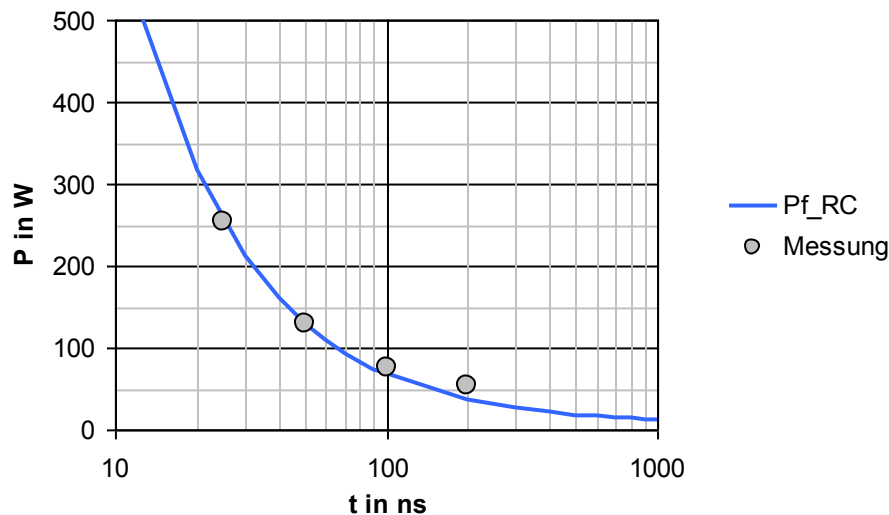


Abbildung 70: Ausfalleistung eines LIN Transceiver (ATA6662C) in Abhängigkeit der TLP-Dauer modelliert mit thermischen RC Ersatzschaltungen

5.2.3 Bewertung der einzelnen thermischen Modelle auf ihre Anwendbarkeit

Die vorgestellten Ausfallmodelle beschreiben thermische Ausfälle im Rahmen ihrer Modellgrenzen. Abhängig von der realen Ausfallgeometrie und des betrachteten Zeitbereichs ist die Gültigkeit der einzelnen Modelle daher beschränkt. Abbildung 71 zeigt die gemessene Ausfallleistung unter TLP-Belastung des bereits 5.2.1 und 5.2.2 betrachteten LIN Transceivers (ATA6662C) zusammen mit den daraus abgeleiteten Ausfallkurven der einzelnen thermischen Modelle. Bei genauerer Betrachtung der Ausfallkurven fällt auf, dass die einzelnen Modelle in Abhängigkeit der TLP-Dauer die jeweilige Ausfallschwelle des betrachteten LIN Transceivers unterschiedlich gut wiedergeben.

Das analytische Wunsch-Bell Modell für flächenförmige Defekte liefert ab 50 ns hinreichend genaue Ergebnisse. Aufgrund der Modellierung mithilfe eines Dirac-Impulses, d.h. der Umsetzung der gesamten Energie zum Zeitpunkt $t = 0$, ist das Modell für Entladungsbetrachtungen kleiner 50 ns nur eingeschränkt anwendbar. Das Modell für linienförmige Defekte zeigt tendenziell eine gute Abbildung des Ausfallverhaltens. Lediglich im Bereich von 50 ns bis 200 ns wird die Ausfallleistung etwas zu niedrig angegeben. Die Modellierung nach Tasca für kugelförmige Defekte zeigt tendenziell etwas zu hohe Ausfallleistungen und ergibt unplausible hohe Werte für Pulse $> 10 \mu\text{s}$. Die thermische RC Ersatzschaltung zeigt eine gute Abbildung des Ausfallverhaltens über den betrachteten Zeitbereich. Bis auf das Tascamodell geben die Ausfallmodelle vernünftige Werte für Pulse bis $10 \mu\text{s}$ an.

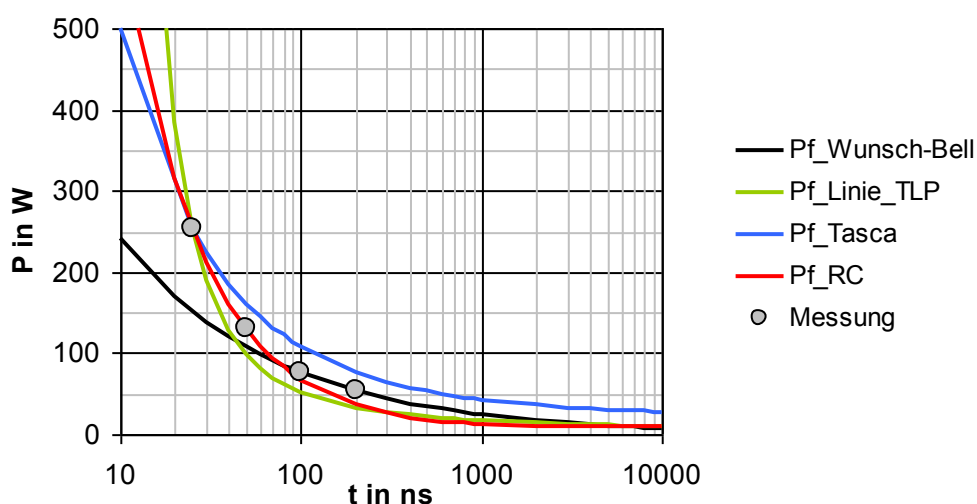


Abbildung 71: Vergleich der Ausfallleistung in Abhängigkeit der TLP-Dauer eines LIN Transceiver (ATA6662C) mit unterschiedlichen Ausfallmodellen

5.3 Modellierung des thermischen Ausfallverhaltens unter transienter Pulslast

In realen Anwendungen und Ausfallstrukturen ist die Geometrie des belasteten Volumens nicht ohne weiteres ermittelbar. Die zuvor vorgestellten thermodynamischen Modelle sind jeweils nur für eine einfache geometrische Form exakt gültig. Ist die Form der erwärmten Struktur komplexer, so gestaltet sich die Anwendung der thermodynamischen Modelle als schwierig. Daher erscheint es sinnvoll, auf die abstrakteren thermischen RC Ersatzschaltungen zurückzugreifen, da diese auf unterschiedliche Strukturformen anwendbar sind. Das thermische RC Modell lässt sich durch eine geeignete Anpassung von $R_{\text{Thermisch}}$, $C_{\text{ThermischTLP}}$ und der Ausfalltemperatur $T_{\text{StrukturMAX}}$ aus dem Zusammenhang (50) auf die jeweiligen Verhältnisse anpassen und ist daher im Vergleich zu den anderen betrachteten Modellen universeller anwendbar.

Abbildung 72 zeigt eine Implementierung des thermischen RC Modells in die elektrische Verhaltensbeschreibung aus Abschnitt 4.1. Hierbei wird die auftretende Temperatur T_{Struktur} als einfaches thermisches Ausfallkriterium verwendet. Überschreitet T_{Struktur} eine vorgegebene Ausfalltemperatur $T_{\text{StrukturMAX}}$, so wird dies als Ausfallindikator gewertet. In Modellblock D wird die anfallende thermische Leistung bestimmt.

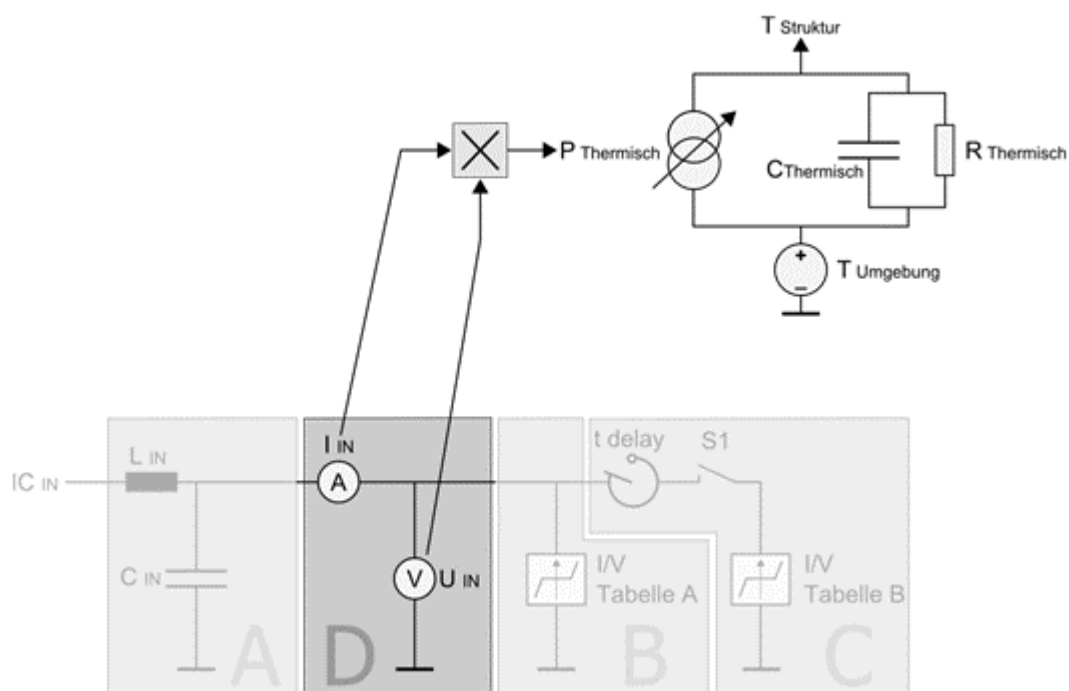


Abbildung 72: Allgemeines thermisches Ausfallmodell für transiente Vorgänge

Die am IC anfallende Pulsleistung wird im Modellblock D mittels eines Multiplikators aus dem in den IC Eingang fließenden Strom I_{IN} und der an der Struktur anliegenden Spannung U_{IN} berechnet. Aufgrund der Energieerhaltung erfolgt der thermische Wärmeeintrag in die elektrische Ersatzschaltung mittels der Stromquelle $P_{Thermisch}$. D.h., die an der IC Eingangsstruktur abfallende elektrische Leistung hat einen Wärmeeintrag $P_{Thermisch}$ zur Folge. Die Wärmemenge fließt zum Teil in die thermische Kapazität $C_{Thermisch}$. Da es sich um kein reines adiabates thermisches System handelt, wird die eingebrachte Wärme auch über den thermischen Widerstand $R_{Thermisch}$ an die Umgebung abgeleitet. Die daraus resultierende Temperaturänderung kann mittels der anfallenden Spannung am Knoten $T_{Struktur}$ ermittelt werden. Mithilfe der thermischen Spannungsquelle $T_{Umgebung}$ wird die relative Temperaturänderung zur Umgebungstemperatur addiert, so dass die absolute Temperatur im thermischen System ermittelt werden kann. Die Strukturtemperatur $T_{Struktur}$ kann nun als thermisches Ausfallkriterium herangezogen werden. Überschreitet $T_{Struktur}$ einen bauteilspezifischen Wert, so besteht ein hohes Risiko für thermische Schädigungen innerhalb der belasteten IC Eingangsstruktur. Dieser Zustand kann zur Bewertung der Belastbarkeitsgrenze in Simulationen herangezogen werden. Aufgrund der Speichereigenschaften der thermischen Kapazität kann eine mögliche Schädigung durch beliebige Pulsformen bewertet werden. Das Modell ist daher in der Lage, unterschiedliche Pulsquellen und Pulsformen, die an einem IC Eingang anliegen, in eine Temperaturbelastung umzusetzen. Mithilfe der Temperatur im Defektvolumen $T_{Struktur}$ ist das Modell für eine thermische Ausfallbewertung eines breiten Spektrums von Pulsformen anwendbar. Gebräuchliche ESD-Pulse passen in den Zeitrahmen des Gültigkeitsbereiches und können abgedeckt werden. Aufgrund der Energieabgabe an die Umgebung können auch Pulse mit längerer Pulsdauer bewertet werden.

Jedoch gilt, dass das thermische Ausfallkriterium stellvertretend für zum Teil komplexe physikalische Ausfallursachen zu verstehen ist. Aufgrund der verhaltensbasierten Modellierung der thermischen Ausfallgrenze sind derartige Modelle auf unterschiedliche Technologien und Implementierungen anwendbar. Das thermische Modell ist jedoch nicht allgemeingültig, es deckt jedoch ein breites Spektrum von energiebasierenden Ausfällen ab, bevor es an seine Gültigkeitsgrenze stoßen wird. Bereits spannungsinduzierte Fehler können nicht mehr abgedeckt werden.

5.4 Maximal zulässige Halbleitertemperatur als Ausfallkriterium

Zur Bewertung der thermischen Belastbarkeit eines Systems unter Pulsbelastung ist eine Temperaturgrenze notwendig. Leider werden die maximal zulässigen Halbleitertemperaturen für ESD-Ereignisse in der Regel von den Herstellern nicht gekannt gegeben.

Zur Abschätzung einer Maximaltemperatur kann jedoch die Generierung von thermischen Ladungsträgern dienen [7]. Der durch thermische Ladungsträger generierte Strom nimmt mit steigender Temperatur exponentiell zu, der Halbleiter wird intrinsisch. Mit steigender Temperatur häufen sich dadurch Effekte, welche zur Zerstörung des Bauteils führen können [91, 92].

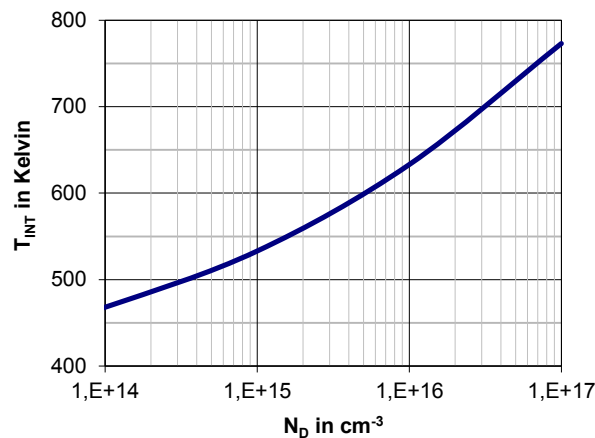


Abbildung 73: Intrinsische Temperatur von Silizium in abhängigkeit der Dotierkonzentration [92]

Abbildung 73 stellt den Verlauf der intrinsischen Temperatur von Silizium dar. Abhängig von der Dotierung werden Siliziumhalbleiter üblicherweise zwischen 500 K und 800 K intrinsisch [92]. Da in den meisten Fällen die Dotierung in der betroffenen Halbleiterstruktur unbekannt ist wurde in den nachfolgenden Modellierungen als Grenze ein Mittelwert von 680 K verwendet.

5.5 Exemplarische Modellierung und Bewertung der Modellqualität

Mit den in Abschnitt 3 vorgestellten und entwickelten Methoden kann das elektrische Verhalten mit den Wechselwirkungen zwischen Quelle und Senke simulatorisch dargestellt werden. Die in Abschnitt 5.3 vorgestellte Methode kann die thermische Belastungsgrenze eines Bauteileinganges bewerten. Das Zusammenspiel und die Gültigkeit dieser Modelle müssen sich nun noch bewähren.

5.5.1 Exemplarische Verifikation anhand eines CAN Transceiver-Pins

Zur Bewertung des thermischen Modells wurde das Ausfallverhalten unter Pulsbelastung von realen ICs mit dem Verhalten von simulierten ICs verglichen. Als Vertreter eines typischen Kommunikationsbausteins wurde der bereits in Abschnitt 4.4 modellierte CAN Transceiver von Infineon mit der Bezeichnung TLE6250 ausgewählt. Daher kann zur Beschreibung des elektrischen Verhaltens auf das bereits verifizierte elektrische Modell zurückgegriffen werden. Wie bei der Untersuchung des elektrischen Verhaltens wurde auch hier zur Bewertung der Modellqualität auf externe Schutzkomponenten verzichtet. Ebenso wie in Abschnitt 4.4 wurde zur Verifizierung der Methode ein IEC-ESD-Puls gewählt, da die Modellerstellung auf Basis von TLP-Entladungen erfolgte. Eine Verifikation mit einer Pulsquelle, welche sich von der Modellierungsquelle in Entladeeigenschaften und Pulsform unterscheidet, ist daher notwendig. Zur Ermittlung der thermischen Parameter wurde der Messaufbau aus Abschnitt 4.4 verwendet. Für positive und negative Entladungen wurde jeweils ein neuwertiges Bauteil bis zur Zerstörung mit TLP belastet.

Allgemein		Positive Entladungen		Negative Entladungen	
$L_{IN}^{(1)}$	3,4 nH	$t_{\text{delay}+}^{(1)}$	350 ps	$t_{\text{delay}-}^{(1)}$	350 ps
$C_{IN}^{(1)}$	52 pF	$S1_{\text{positiv AN}}^{(1)}$	52 V	$S1_{\text{negativ AN}}^{(1)}$	-52 V
$R_{\text{Thermisch}}$	35 K/W	$S1_{\text{positiv AUS}}^{(1)}$	22 V	$S1_{\text{negativ AUS}}^{(1)}$	-22 V
t_{TLP}	100 ns	$U_{\text{Max TLP}}$	510 V	$U_{\text{Min TLP}}$	-290 V
$T_{\text{Struktur MAX}}$	680 K	$U_{\text{leakate}+}$	50 V	$U_{\text{leakate-}}$	-50 V
T_{Umgebung}	293 K	$I_{\text{leakage}+}$	3 mA	$I_{\text{leakage-}}$	-2,8 mA
		$\text{Pulsenergie}+$	33,6 μJ	Pulsenergie-	14,8 μJ
		$P_{\text{Thermisch}+}$	336 W	$P_{\text{Thermisch-}}$	148 W
		$C_{\text{Thermisch}+}$	$0,98 \cdot 10^{-7} \text{ J/K}$	$C_{\text{Thermisch-}}$	$0,42 \cdot 10^{-7} \text{ J/K}$

(1): aus Abschnitt 4.4

Tabelle 25: Thermische und elektrische Simulationsparameter für eine CAN Schnittstelle (Infineon TLE6250)

Die hierbei gemessenen Strom- und Spannungsverläufe wurden dazu verwendet, die thermischen Modellparameter zu bestimmen. Die sich ergebenden Modellparameter sind in Tabelle 25 zusammengefasst. Tabellenwerte, welche mit ⁽¹⁾ gekennzeichnet sind, wurden bereits in Abschnitt 4.4 ermittelt und beschrieben. Auf eine ausführlichere Erläuterung wird an dieser Stelle daher verzichtet. Für den thermischen Widerstand wurden vom Hersteller für das verwendete Gehäuse (SO8) bei guter Anbindung ein Wert von 35 K/W angegeben ($R_{\text{Thermisch}}$) [93]. Bei den TLP-Entladungen wurden Pulslängen von 100 ns gewählt (t_{TLP}). Für die maximal zulässige Halbleitertemperatur wurde eine Ausfalltemperatur von 680 K abgeschätzt ($T_{\text{Struktur MAX}}$). Während den klimatisierten Labortests herrschte eine Umgebungstemperatur von 293 K (T_{Umgebung}). Bei den TLP-Messungen wurden die Eingangsstrukturen für positive und negative Entladungen bei unterschiedlichen Werten geschädigt. Für die positiven Entladungen ergab sich eine maximale TLP-Ladespannung größer 510 V ($U_{\text{Max TLP}}$). Zur Indikation einer Schädigung des Bauteils wurde eine Leckstrommessung an der beaufschlagten Struktur nach jeder TLP-Entladung durchgeführt. Als Nullmessung ergab sich bei einer Messspannung von 50 V ($U_{\text{leakate+}}$) ein Leckstrom in das Bauteil von 3 mA ($I_{\text{leakage+}}$).

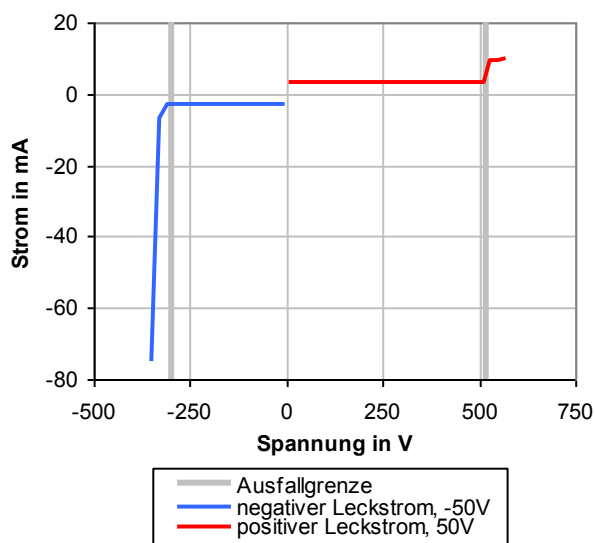


Abbildung 74: Leckstrom in eine CAN Schnittstelle (Infineon TLE6250) nach unterschiedlichen TLP-Belastungen

Als Beeinträchtigung der Struktur wurde ein um 15 % abweichender Leckstrom von der Nullmessung gewertet (Tabelle 17, C Leicht). Abbildung 74 zeigt den Leckstrom in die untersuchte CAN Schnittstelle nach unterschiedlichen TLP-Entladespannungen. Für positive Spannungen (rote Linie) bleibt der Leckstrom bis etwa 530 V konstant.

Nach höheren Entladungen ändert sich der Leckstrom deutlich. Aufgrund der Abweichung nach 530 V (graue Linie) kann die Ausfallgrenze des Bauteils bei 510 V ermittelt werden. Aus dem Strom- und Spannungsverlauf der letzten, nicht zu einer Beeinträchtigung führenden TLP-Entladung bei 510 V (Abschnitt 4.4, Abbildung 57, Abbildung 58) kann der Verlauf der in den IC eingebrachten Leistung ermittelt werden. Abbildung 75 zeigt den so gemessenen Leistungsverlauf am IC-Eingang. Zur Überprüfung wird auch die simulierte Leistung angezeigt. Diese korreliert gut mit dem gemessenen Verlauf. Der leichte Abfall der Messdaten ab 20 ns kann, wie in Abschnitt 4.4 beschrieben, auf eine Erwärmung der Halbleiterstrukturen zurückgeführt werden, welche im Modell nicht berücksichtigt wird. Aus den Messdaten ergibt sich eine mittlere Leistung von 336 W ($P_{\text{Thermisch+}}$), welche bei 100 ns langen Pulsen zur Zerstörung führt.

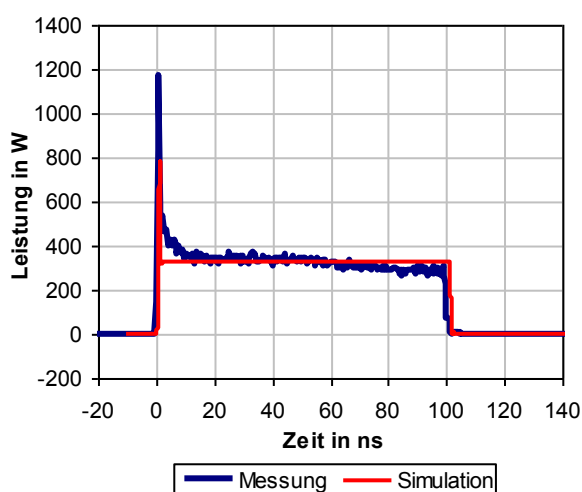


Abbildung 75: Leistungsverlauf einer TLP-Entladung bei 510 V in eine CAN Schnittstelle (Infineon TLE6250)

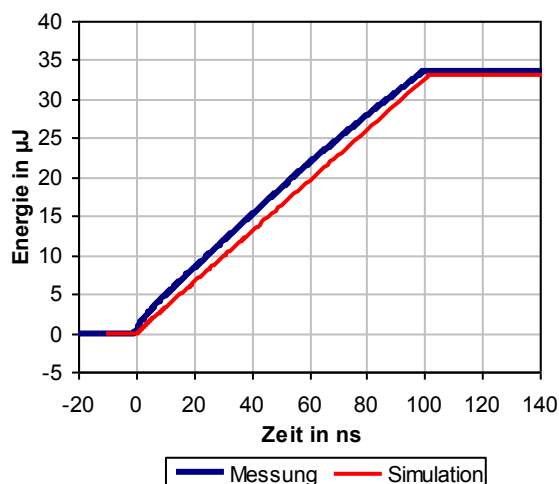


Abbildung 76: Energieeintrag einer TLP-Entladung bei 510 V in eine CAN Schnittstelle (Infineon TLE6250)

Durch Integration über den Leistungsverlauf kann nun die in den IC eingebrachte Energie ermittelt werden. Abbildung 76 zeigt den auf diese Weise gemessenen Energieeintrag in den Halbleiter. Ebenso wie beim Leistungsverlauf auch der simulierte Energieverlauf angezeigt, eine gute Korrelation zwischen Simulation und Messung kann bestätigt werden. Aus der Messung kann nun die notwendige zerstörende Energie mit 33,6 µJ ermittelt werden (Pulsenergie+). Dies entspricht dem maximal zulässigen Energieeintrag für 100 ns lange Pulse, welcher als Grenze zur Zerstörung angegeben werden kann. Aus den ermittelten Werten lässt sich die zur Beurteilung der thermischen Belastbarkeit notwendige thermische Kapazität ($C_{\text{Thermisch+}}$) mithilfe von Gleichung (54) berechnen:

$$C_{Thermisch+} = \frac{100ns}{35 \frac{K}{W} \cdot \ln \left(1 - \frac{630K - 293K}{\frac{33,6\mu J}{100ns} \cdot 35 \frac{K}{W}} \right)}$$

$$C_{Thermisch+} = 0,98 \cdot 10^{-7} \frac{J}{K}$$

Analog zu den positiven Entladungen wurden die Werte für negative Pulse ermittelt. Im Vergleich zu den positiven Messreihen ergeben sich hierbei unterschiedliche Werte für die Zerstörenergien (Pulsenergie-) und für die thermische Kapazität ($C_{Thermisch-}$). Dies könnte sich darauf zurückführen lassen, dass unterschiedliche Strukturen zum Tragen kommen, was unterschiedliche Ausfallmechanismen zur Folge hat. Als Nullmessung ergab sich bei einer Messspannung von -50 V ($U_{leakate-}$) ein Leckstrom in das Bauteil von -2,8 mA ($I_{leakage-}$). Wurde nach einer TLP-Entladung ein signifikant abweichender Leckstrom gemessen, so wurde dies als Beeinträchtigung der Struktur gewertet.

Aus dem Leckstromverlauf in Abbildung 74 (blaue Linie) kann die Ausfallgrenze (graue Linie) des Bauteils bei -290 V ermittelt werden. Analog zu den positiven Entladungen wurde aus dem Strom- und Spannungsverlauf der letzten nicht zu einer Beeinträchtigung führenden Entladung die zur Zerstörung notwendige Energie mit 14,8 μ J (Pulsenergie-) ermittelt. Daraus ergibt sich eine mittlere Leistung von 148 W ($P_{Thermisch-}$), welche bei 100 ns langen Pulsen zur Zerstörung führt. Analog zu den positiven Entladungen lässt sich die thermische Kapazität ($C_{Thermisch-}$) mithilfe von Gleichung (54) berechnen:

$$C_{Thermisch-} = \frac{100ns}{35 \frac{K}{W} \cdot \ln \left(1 - \frac{630K - 293K}{\frac{14,8\mu J}{100ns} \cdot 35 \frac{K}{W}} \right)}$$

$$C_{Thermisch-} = 0,42 \cdot 10^{-7} \frac{J}{K}$$

Aus den so gewonnenen Modelldaten kann das thermische Ersatzschaltbild der untersuchten CAN Schnittstelle gewonnen werden. Abbildung 77 gibt beispielhaft das thermische Ersatzschaltbild für positive Entladungen wieder. Mithilfe dieser Modelle kann die thermische Belastbarkeitsgrenze des Bauelementes unter Pulsbelastung durch Simulation ermittelt werden.

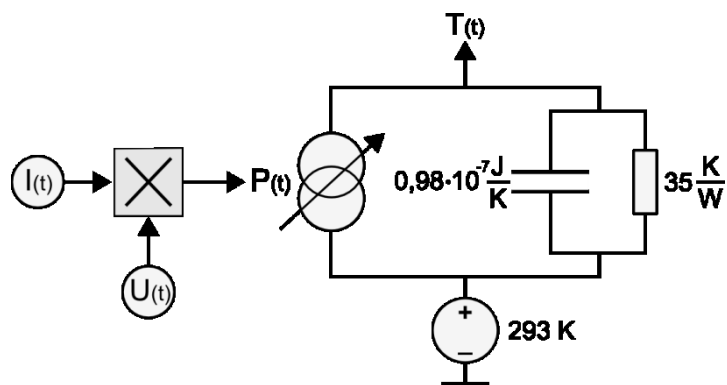


Abbildung 77: Thermisches Ersatzmodell einer CAN Schnittstelle (Infineon TLE6250)

Zur Verifikation der Simulationsmethodik wurde eine ESD gemäß IEC 61000-4-2 (Tabelle 26) herangezogen. Hierzu wurde die Belastbarkeitsgrenze mittels Simulation und Messung ermittelt. Ebenso wie bei den bereits zuvor durchgeführten Verifikationen wurde auf externe Schutzelemente verzichtet, um die Aussagekraft des thermischen Ausfallmodells zu untersuchen.

IEC-ESD-Parameter	
R_{ESD}	330 Ω
C_{ESD}	150 pF
Entladungen	3
Wartezeit	5 s

Tabelle 26: IEC-ESD-Parameter in eine CAN Schnittstelle (Infineon TLE6250)

Zur Beschreibung des elektrischen Verhaltens des untersuchten ICs kann auf das bereits in Abschnitt 4.4 verifizierte Modell zurückgegriffen werden. Das elektrische Verhaltensmodell wurde um das vorgestellte thermische Modell erweitert. Das daraus resultierende Gesamtmodell wurde mit IEC-ESD bei unterschiedlichen Entladespannungen bis zur simulatorischen Ausfallgrenze belastet. Anschließend wurde zur Ermittlung der realen Ausfallgrenze ein neuwertiges Bauteil mit IEC-ESD schrittweise bis zur Zerstörung belastet. Die simulierte und gemessene Belastbarkeitsgrenze wurde zur Bewertung der Modellqualität verglichen. Anhand einer Entladung mit 6,5 kV IEC-ESD-Generatorspannung soll die simulatorische Bewertung der ESD-Festigkeit beispielhaft aufgezeigt werden. Aus dem elektrischen Verhaltensmodell ergeben sich aus der IEC-ESD Spannungen und Ströme an der modellierten Halbleiterstruktur innerhalb des IC-Gehäuses. Aus dem Produkt des Spannungsverlaufes $U(t)$ (Abbildung 78) und des Stromverlaufes $I(t)$ (Abbildung 79) ergibt sich die anfallende Verlustleistung.

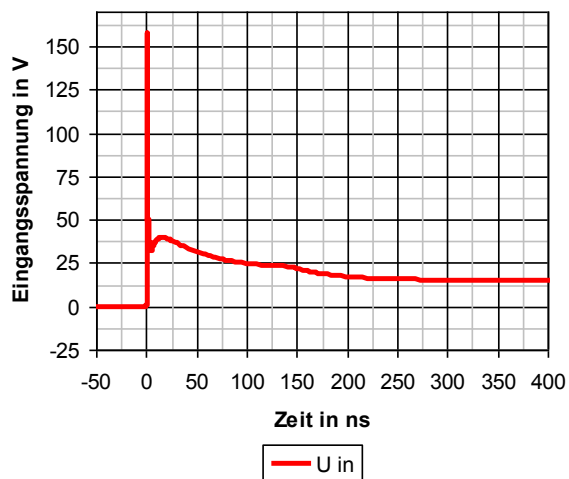


Abbildung 78: Simulierte ESD-Spannung in einem IC (Infineon TLE6250)

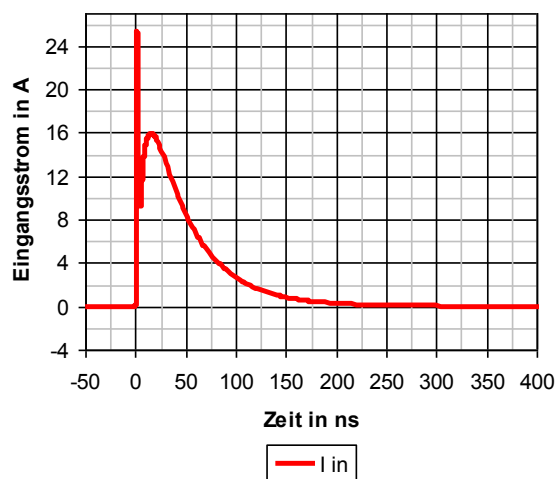


Abbildung 79: Simulierter ESD-Strom in einem IC (Infineon TLE6250)

Abbildung 80 zeigt den simulierten Leistungsverlauf $P_{(t)}$. Im Vergleich zur TLP-Entladung ist hier eine hohe Spitzenleistung am Anfang der Entladung zu beobachten. Dies beruht auf den Entladeeigenschaften der IEC-ESD.

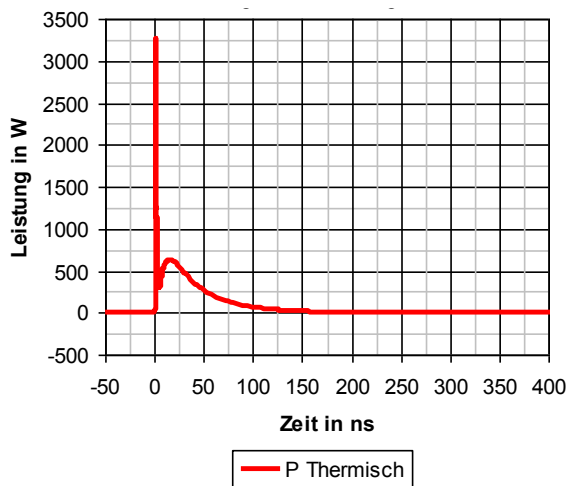


Abbildung 80: Simulierter Pulsleistung innerhalb eines ICs (Infineon TLE6250)

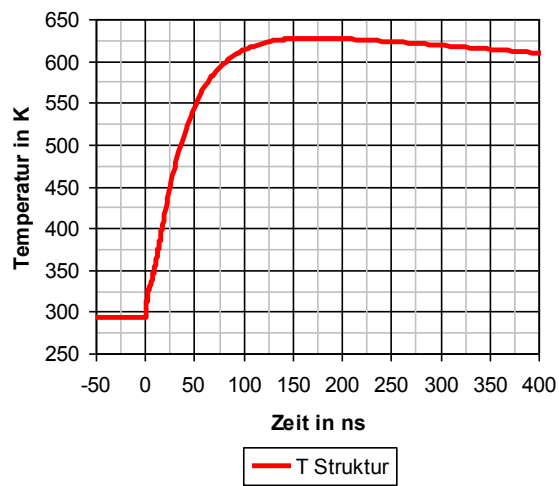


Abbildung 81: Simulierte virtuelle Temperatur in einem Defektvolumen (Infineon TLE6250)

Die dabei anfallende elektrische Leistung wird im thermischen Modell in Wärme umgesetzt. Der Leistungseintrag hat daher einen Anstieg der Temperatur $T_{(t)}$ im IC-Volumen zur Folge (Abbildung 81). Aus dem Kurvenverlauf ist aufgrund der Leistungsspitze bei Pulsbeginn eine rasche Temperaturerhöhung erkennbar, die jedoch aufgrund der geringen Energie nur zu einer

vergleichsweise niedrigen Temperaturerhöhung in den ersten ns führt. Anschließend steigt die Temperatur im Defektvolumen kontinuierlich an, um bei etwa 175 ns ein Maximum von etwa 625 K zu erreichen. Anschließend beginnt die Temperatur wieder zu sinken, da dem System keine weitere Energie zugeführt wird und die im IC-Volumen gespeicherte Wärmemenge über den thermischen Widerstand an die umgebenden Bereiche abgegeben wird. Auf Basis dieses Simulationssetups können nun die Temperaturänderungen bei unterschiedlichen IEC-ESD-Spannungen untersucht werden.

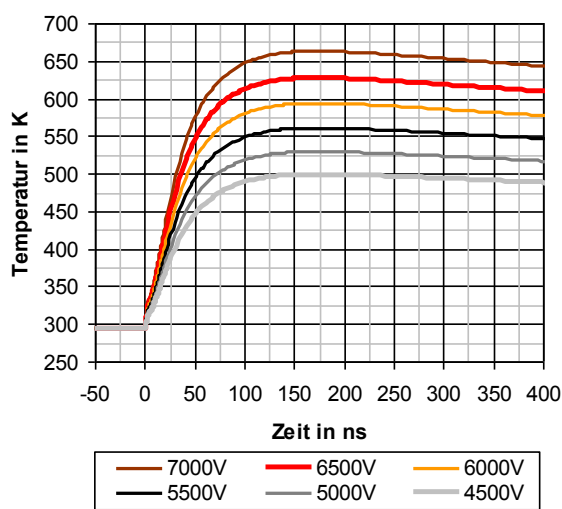


Abbildung 82: Simulierte Temperatur in einem Defektvolumen (Infineon TLE6250) bei unterschiedlichen IEC-ESD-Spannungen

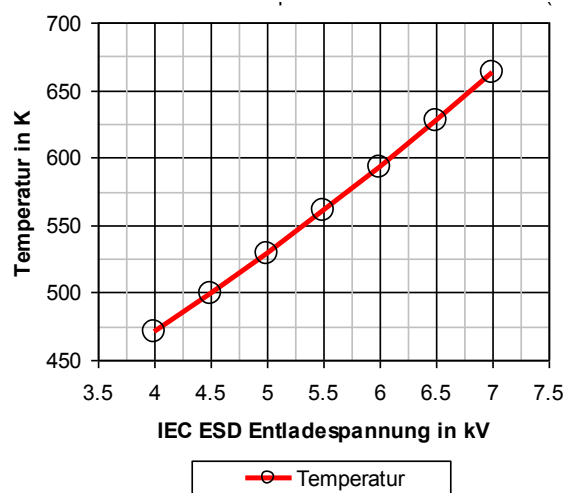


Abbildung 83: Simulierte Maximaltemperatur in einem IC-Volumen bei unterschiedlichen IEC-ESD-Spannungen

Abbildung 82 zeigt den Temperaturverlauf von unterschiedlichen Entladungen in dem betrachteten IC-Volumen. Die Temperaturverläufe sind zueinander ähnlich und steigen mit zunehmender Entladespannung an. Aus den Temperaturkurven lässt sich die jeweils entstehende Maximaltemperatur entnehmen. In Abbildung 83 ist die entstehende Maximaltemperatur in Abhängigkeit von der Entladespannung dargestellt. Aus dem Verlauf der Maximaltemperaturen kann nun die Belastbarkeitsgrenze des Systems ermittelt werden.

Das thermische Modell ist mit einer maximalen Temperatur im IC-Volumen von 680 K ausgelegt worden. Anhand der Simulation erscheint daher eine Schädigung der Struktur für höhere Entladespannungen als 6,5 kV als wahrscheinlich. Zur Verifikation der mithilfe von Simulation ermittelten Ausfallgrenze wurden neuwertige Bausteine mit IEC-ESD im Labor gemäß Tabelle 26 bis zur Zerstörung belastet. Zur messtechnischen Ermittlung der Belastbarkeitsgrenze des Bausteins wurden jeweils drei ESD-Generatorentladungen im

Abstand von 5 s auf den CANH-Pin abgegeben. Anschließend wurde der Leckstrom der Struktur vermessen. Wenn keine Schädigung festzustellen war, wurde der Test mit einer erhöhten ESD-Generatorspannung fortgesetzt. Aus dem Verlauf des Leckstromes in das Bauelement (Abbildung 84) kann eine Schädigung der Eingangsstruktur zwischen 6,5 kV und 7 kV festgestellt werden.

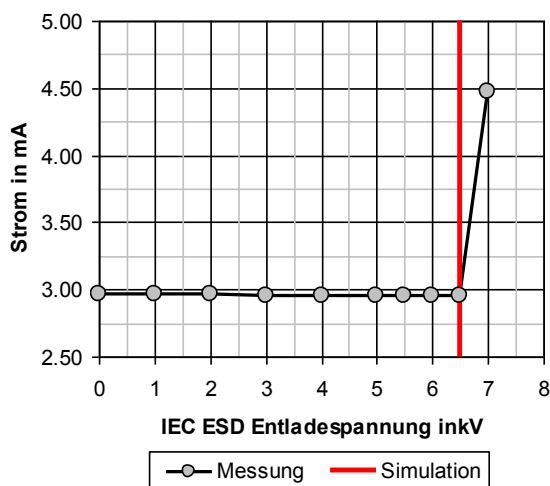


Abbildung 84: Leckstrom einer CAN Schnittstelle (Infineon TLE6250) nach positiven IEC-ESD

Auf Basis von Simulationen wurde eine zur Zerstörung notwendige Generatorspannung von 6,5 kV ermittelt ($U_{\text{Max Simulation}}$). In diesem Fall konnte der Ausfall der CAN-Struktur mit einer Abweichung kleiner 8 % mittels Simulation vorhergesagt werden, wie in Tabelle 27 dargestellt. Dies ergibt eine gute Korrelation zwischen Simulation und Messung. Das Simulationsverfahren ist in diesem Fall für eine Bewertung der Ausfallgrenze des Bauelementes unter IEC-ESD-Belastung gut geeignet.

Positive Entladungen	
$U_{\text{Max Messung}}$	6,5 - 7,0 kV
U_{Max}	6,5 kV
$U_{\text{Abweichung}}$	0 - 0,5 kV
Abweichung	0 - 8 %

Tabelle 27: Gemessene und simulierte Ausfallgrenze einer CAN Schnittstelle (Infineon TLE6250) für IEC-ESD-Belastungen

5.5.2 Verifikation an unterschiedlichen Halbleiterbauelementen

Um die Aussagekraft und die Grenzen des Simulationsverfahrens zu bewerten, wurden zusätzlich an dem zuvor exemplarisch betrachteten Bauteil weitere ICs simuliert und gemessen.

Abbildung 85 zeigt einen Vergleich von simulierten und gemessenen Ausfallschwellen unterschiedlicher Kfz-Halbleiterbauelemente. Bei den positiven Entladungen des Bauteils CANH TLE6250 handelt es sich um den zuvor betrachteten CAN Transceiver. Mithilfe der zuvor beschriebenen Methode wurden positive und negative IEC-ESD-Generatorentladungen auf ungeschützte Eingänge abgegeben. In blau ist jeweils die gemessene Ausfallschwelle dargestellt in rot die simulierte. Bei den CAN-Bausteinen TLE6250 und TJA1042 wurden jeweils CANH und CANL unabhängig voneinander simuliert und vermessen. Mit dem zur Verfügung stehenden TLP-Messsystem konnte für den LIN-Baustein TJA1020 bei negativen Pulsen keine Beeinträchtigung des Einganges erreicht werden. Aufgrund dessen war es nicht möglich, die thermische Kapazität für negative Entladungen zu ermitteln. Dies hat zur Folge, dass für negative Entladungen kein Zerstörmodell erstellt werden konnte. Daher wurde für den Baustein TJA1020 kein Vergleich für negative Entladungen durchgeführt.

Für die ersten sechs Eingänge (TLE6250 bis TJA1020) zeigen die Simulationsergebnisse der positiven und der negativen Entladungen eine gute Korrelation zu den Messergebnissen. Hingegen zeigt das Bauelement LIN ATA6620 bei negativen Entladungen eine hohe Abweichung zwischen Simulations- und Messergebnis. Die Simulation des Ausfalles mit einer energiebasierenden Modellierung ist bei diesem Baustein scheinbar nicht möglich. Es können daher nicht alle Fälle abgedeckt werden. Für die überwiegende Mehrheit der Bauelemente ist es jedoch möglich, die Beeinträchtigung der Eingänge durch Pulsbelastung mittels Simulation vorherzusagen.

Modellierung des Ausfallverhaltens von IC Eingängen

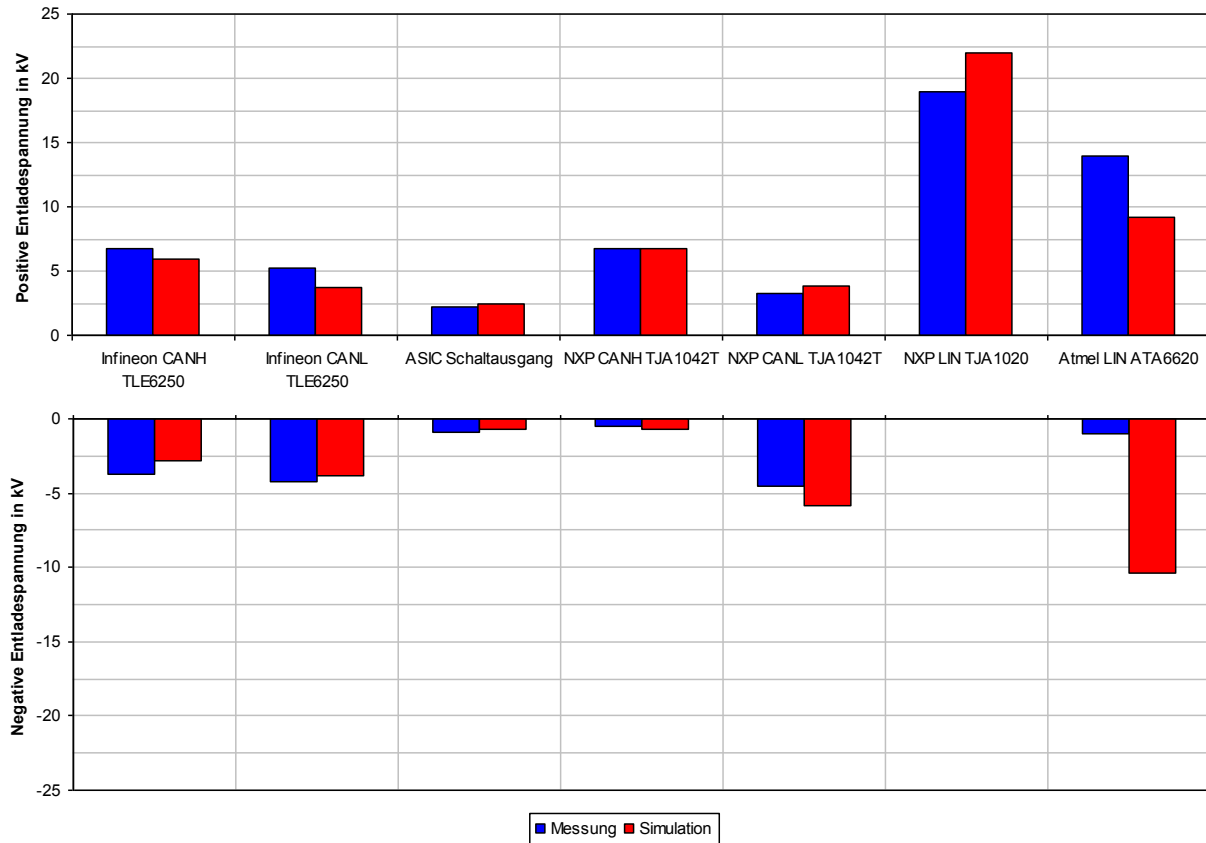


Abbildung 85: Vergleich von gemessenen und simulierten Ausfallspannungen verschiedener Bauelemente unter IEC-ESD-Belastung

5.5.3 Grenzen des thermischen Ausfallmodelles

Das Bauelement LIN ATA6620 zeigt bei negativen Entladungen eine hohe Abweichung zwischen Simulations- und Messergebnis. Ein möglicher Grund hierfür könnte eine Schädigung durch zu hohe Feldstärken in den belasteten Halbleiterstrukturen sein. Die dafür verantwortlichen Effekte sind vielfältig und von der jeweiligen Technologie abhängig [9, 74]. Ein häufiger Ausfallmechanismus, welcher durch zu hohe Spannungen eingeleitet wird, ist der Durchbruch von Oxidschichten [25]. Wird die Durchbruchfeldstärke einer Oxidschicht überschritten, so kann dies eine Schädigung des Oxides zur Folge haben [94]. Selbst wenn die betroffene Struktur funktional noch arbeitsfähig ist, so ist mit einer Degradation der Bauteilparameter und einem damit einhergehenden früheren Ausfall zu rechnen [74, 95].

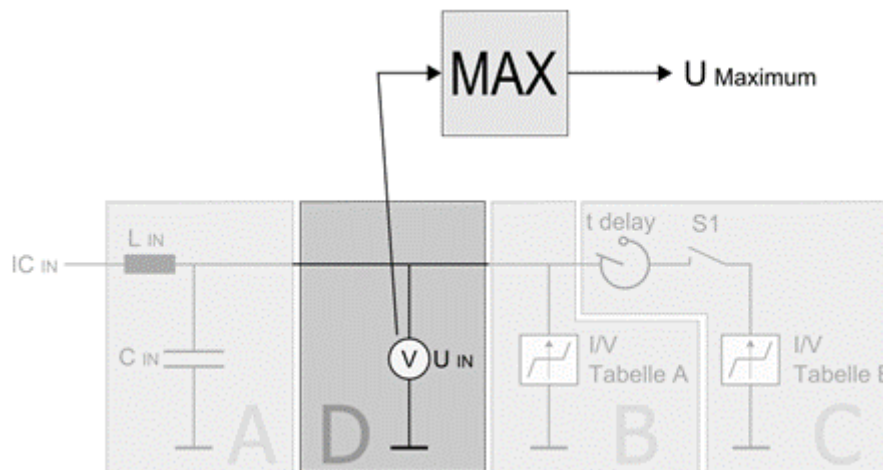


Abbildung 86: Idealisiertes Überspannungskriterium einer IC Schutzstruktur

Abbildung 86 beschreibt einen Vorschlag für ein einfaches Überspannungskriterium, welches in die elektrische Verhaltensbeschreibung aus 4.1 integriert werden kann. Hierbei wird die Spannung an einem IC Eingang als Ausfallkriterium verwendet. Ein Spannungswert U_{Maximum} überschritten, so könnte dies als Fehlerindikator dienen.

6 Anwendung

6.1 Messtechnische Verifikation der Simulationskette mithilfe von IEC-ESD

Die bisher beschriebenen und erarbeiteten Simulationsmethoden und Verfahren können jeweils für sich einzelne Teile einer Kfz-Komponente beschreiben und das Verhalten unter Pulsbelastung hinreichend genau abbilden. Zur Beurteilung der gesamten elektrischen Komponente müssen die jeweiligen Teilmodelle zusammenarbeiten. Ziel der nachfolgenden Betrachtung ist es daher, die zuvor erarbeiteten Methoden und Modelle auf eine praxisrelevante Problemstellung anzuwenden:

Welche Schutzelemente sind für einen Geräteeingang notwendig, um eine IEC-ESD-Festigkeit von 8 kV zu gewährleisten?

Zur Klärung dieser Fragestellung wurde in mehreren Simulationsdurchläufen ein Geräteeingangsmodell mit unterschiedlichen Schutzelementemodellen versehen. Für jede Konfiguration wurden die Ausfallspannung des Systems und die hierbei auftretenden Pulsformen simulatorisch ermittelt. Diese wurden anschließend mit realen Ausfallwerten und gemessenen Pulsformen verglichen, um die Leistungsfähigkeit der Simulationsmethode zu verifizieren.

6.1.1 Beschreibung des verwendeten Setups und des Simulationsaufbaus

Abbildung 87 zeigt schematisch den verwendeten Mess- und Simulationsaufbau. In Abbildung 88 ist der zur Überprüfung der Simulationsergebnisse verwendete reale Messaufbau dargestellt. Als IEC-ESD-Quelle (2) wurde der bereits in Abschnitt 3.1 beschriebene ESD-Generator (NoiseKen, TC-815) verwendet. Die Parameter der Kontaktentladung entsprechen den bereits zuvor verwendeten Entladeparametern (Tabelle 26). Die bei der Entladung auftretenden Stromverläufe in den Geräteeingang wurden mithilfe einer Stromzange (3) (CT1 Tektronix) aufgenommen und mit einem Oszilloskop (1) (LeCroy, SDA 6000) aufgezeichnet. Am Geräteeingang wurden in drei Testdurchläufen unterschiedliche Schutzkonstellationen, wie in Tabelle 28 beschrieben, an der Position (7) getestet. Die Entladepulse wurden über Leiterbahnen auf einer Platine (6) übertragen. Hierbei handelte es sich um eine typische 6-Lagen Platine, welches nach Kfz-Gesichtspunkten erstellt wurde. Über den im schematischen Überblick farblich hervorgehobenen Pfad wurde die Entladung zu dem jeweiligen IC Eingang geleitet.

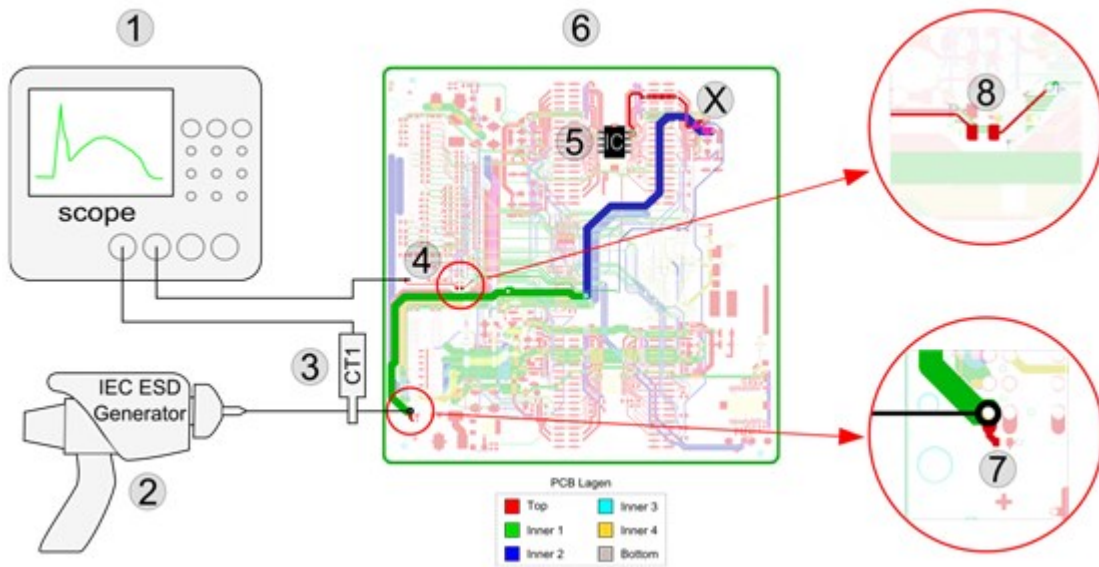


Abbildung 87: Schematischer Mess- und Simulationsaufbau zur Bewertung der IEC-ESD-Festigkeit eines virtuellen Steuergerätes.

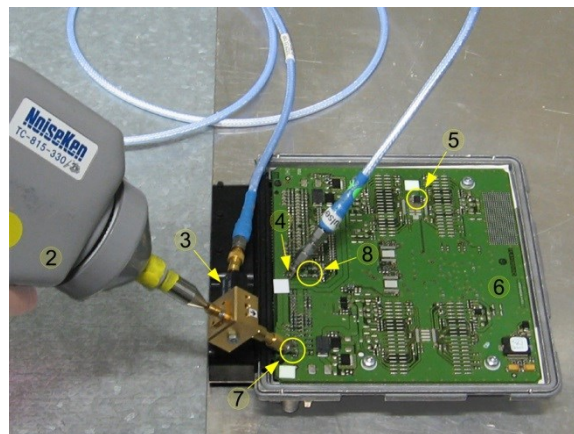


Abbildung 88: Messaufbau zur Bewertung der IEC-ESD-Festigkeit eines Steuergerätes

Hierbei wurde der in Abschnitt 3.4.3 beschriebene und modellierte Pfad verwendet, welcher sich über unterschiedliche Lagen erstreckt. Als Halbleiterbauelement (5) wurde der bereits betrachtete CAN Transmitter von Infineon mit der Bezeichnung TLE6250 verwendet. Bei den Tests wurde jeweils ein neuwertiger CANH-Eingang des Halbleiters belastet. Der Leiterbahnzug verzweigt sich an der Position X. Der abzweigende Pfad wird genutzt, um die im System auftretenden Spannungen zu messen. An der Position (8) befindet sich ein frequenzkompensierter Widerstand mit 2 kOhm, um das Oszilloskop zu schützen. Zusätzlich wird mit diesem Widerstand ein Spannungsteiler aufgebaut, welcher den Messbereich des sich im 50 Ω Modus befindlichen Oszilloskopeinganges für die Entladung anpasst bzw. erweitert.

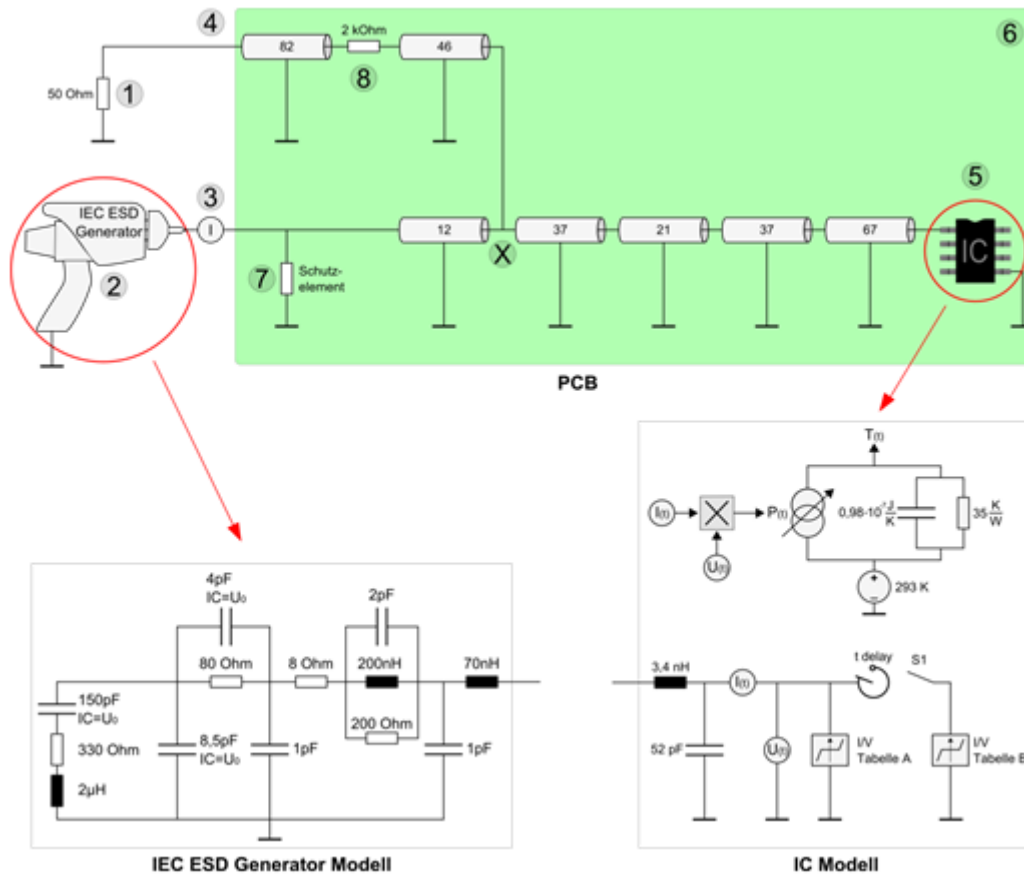


Abbildung 89: Simulationsaufbau zur Bewertung der IEC-ESD-Festigkeit eines virtuellen Steuergerätes

An der Position (4) werden die auftretenden Spannungsverläufe mit einer Koaxialleitung an das Oszilloskop (1) weitergeleitet. Abbildung 89 zeigt das aus dem Messaufbau abgeleitete Simulationsmodell. Die verwendete IEC-ESD-Quelle (2) wurde, wie in Abschnitt 3.1 beschrieben, mithilfe diskreter Ersatzelemente modelliert. Zur Ermittlung der an (3) auftretenden Stromverläufe wurde hier, äquivalent zur verwendeten Stromzange im realen Aufbau, eine Stromberechnung ergänzt. Am Geräteeingang wurden in mehreren Testdurchläufen unterschiedliche Schutzkonstellationen (Tabelle 28) an der Position (7) getestet. Die nichtlinearen Eigenschaften wurden hierbei wie in Abschnitt 3.3.2 beschrieben modelliert. Die Eigenschaften der Platine (6) wurden, wie in Abschnitt 3.4.1 beschrieben, durch eine Verkettung von unterschiedlichen Übertragungsstrecken modelliert. Hierbei wurde auf das einfacher zu realisierende Modellverfahren mittels einfacher Leitungsmodelle zurückgegriffen, da dieses in der Praxis leichter anzuwenden ist und auch bei Fallstudien ohne bekannte Leiterplattenstrukturen während der Konzeptionierung von Elektronikern angewendet werden kann.

Die modellierte Platinenübertragungsstrecke endet an einem IC-Eingangsmodell (TLE6250, CANH). Das elektrische nichtlineare Verhalten wurde wie in Abschnitt 4.4 beschrieben modelliert. Das thermische Ausfallverhalten der belasteten Struktur wurde wie in Abschnitt 5.5.1 beschrieben modelliert. Anhand des thermischen Verhaltens wurde in der nachfolgenden Betrachtung die IEC-ESD-Belastungsgrenze ermittelt. Ebenso wie der reale Aufbau verzweigt sich die Platinenleiterbahn an der Position X. Die hier auftretenden Spannungsverläufe werden über einen Anpassungswiderstand (8) an einem 50 Ohm Widerstand (1) ermittelt.

6.1.2 Testkonfigurationen

Mithilfe des beschriebenen Setups wurden drei unterschiedliche Schutzkonfigurationen (Tabelle 28) in Hinblick auf die thermische Belastung im IC und auf die im System auftretenden Spannungsverläufe untersucht.

Testlauf	Schutzelement (7)	Bezeichnung
A	ohne Schutz	-
B	Keramikkondensator	6,8 nF, 0603, X7R
C	Varistor	14V, CT0603K14G

Tabelle 28: IEC-ESD-Schutz an Position (7)

Zum Vergleich der Pulsverläufe wurde zunächst für jede Schutzkonfiguration eine IEC-ESD-Spannung von 4 kV gewählt. Bei dieser Entladespannung werden die nichtlinearen Bereiche der Bauelemente angesprochen, ohne diese zu schädigen, da die Entladeenergien der 4 kV Pulse für eine Schädigung des untersuchten IC-Eingangs zu gering ist. Im Simulationsmodell wurde die Belastbarkeitsgrenze mithilfe der errechneten Überschreitung der zulässigen Maximaltemperaturen im Siliziumvolumen ermittelt. Bei den realen Bauelementen wurde die Belastbarkeitsgrenze wie zuvor (Abschnitt 5.5.2) mittels Leckstrommessung ermittelt. Insgesamt wurden drei unterschiedlich konfigurierte Testläufe durchgeführt. Wobei der Steckereingang (Position 7) unterschiedlich konfiguriert war (Tabelle 28).

6.1.3 Testlauf A, ohne Schutzelement

Zur Ermittlung der Grundfestigkeit des Systems wurde im ersten Testlauf auf ein Schutzelement verzichtet (Abbildung 87, Position 7). Im ersten Schritt wurde zur Bewertung der Simulationsgenauigkeit der simulierte Entladestrom in das System (Abbildung 89, Position 3) mit dem gemessenen Strom (Abbildung 88, Position 3) verglichen. Abbildung 90 stellt die

jeweiligen Stromverläufe dar. Simulation und Messung zeigen eine gute Übereinstimmung bei den Spitzenströmen und im allgemeinen Stromverlauf. Lediglich zwischen 25 ns und 50 ns kommt es zu einer leichten Abweichung zwischen Simulation und Messergebnis. Zur weiteren Bewertung wurden die Stromverläufe im Frequenzbereich gegenübergestellt. Abbildung 91 stellt die simulierten und gemessenen Frequenzverläufe dar. Hierbei zeigt sich eine gute Übereinstimmung bis 600 MHz, anschließend sind Messung und Simulation nicht mehr vergleichbar. Die Dynamikgrenze der Messumgebung wird erreicht. D.h. für höhere Frequenzen als 600 MHz kann keine Aussage mehr über die Simulationsgenauigkeit gemacht werden.

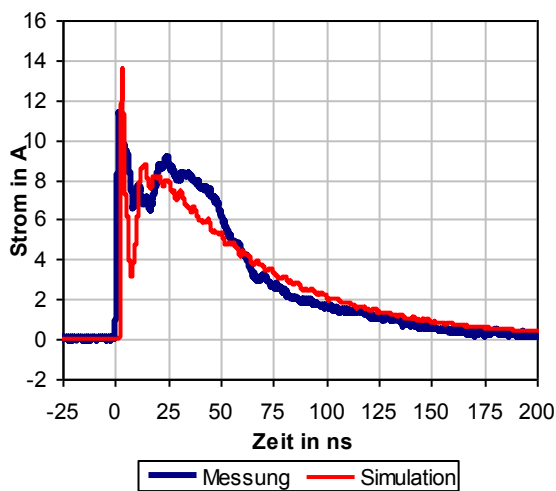


Abbildung 90: Strom bei einer 4 kV IEC-ESD in ein elektrisches Steuergerät ohne Schutzelement

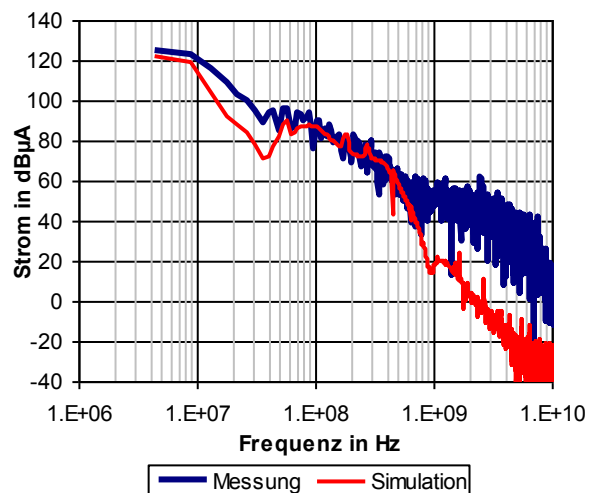


Abbildung 91: Vergleich im Frequenzbereich von gemessenen und simulierten Stromverläufen in ein elektrisches Steuergerät ohne Schutzelement

Als Indikator für Modelliergenauigkeit der Platinenübertragungsstrecke wurden die Spannungen im System gemessen (Abbildung 88, Position 4) und simuliert (Abbildung 89, Position 4). Abbildung 92 zeigt den Verlauf der gemessenen und simulierten Spannung. Hierbei zeigt sich eine gute Abbildung der auftretenden Spitzenspannungen und des Spannungsverlaufes. Abbildung 93 zeigt die simulierten und gemessenen Spannungen im Frequenzbereich. Auch hier zeigen Simulation und Messung eine gute Übereinstimmung bis etwa 800 MHz. Dies deckt sich mit den Ergebnissen für das reduzierte System ohne komplexere Platinen- und Steckerstrukturen aus Abschnitt 4.4. Die Vereinfachungen und Modellansätze für die Platinen- und Steckerstrukturen lassen daher eine hinreichend genaue Modellierung des Systems zu.

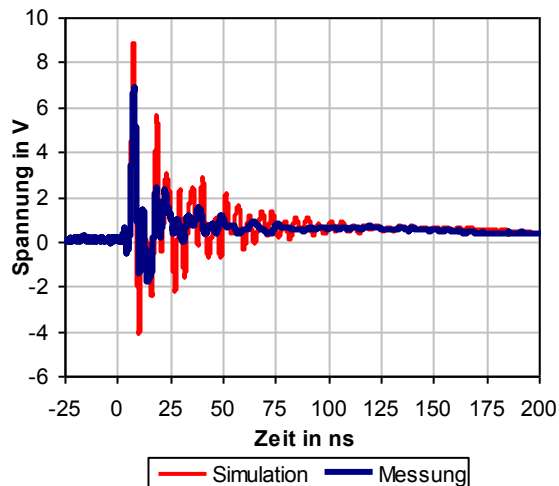


Abbildung 92: Spannung bei einer 4 kV IEC-ESD in ein elektrisches Steuergerät ohne Schutzelement

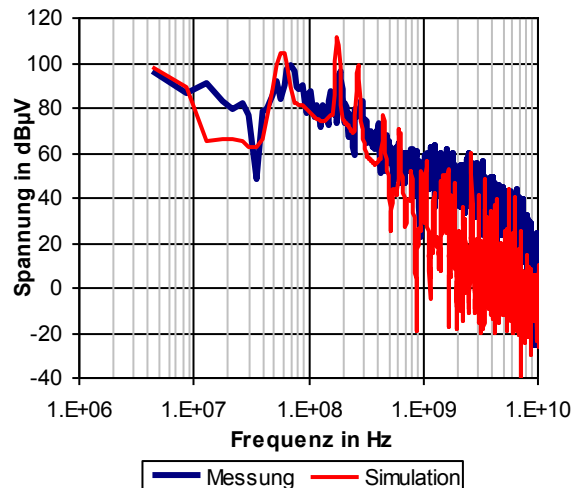


Abbildung 93: Vergleich im Frequenzbereich von gemessenen und simulierten 4 kV IEC-ESD in ein elektrisches Steuergerät ohne Schutzelement

Der zu erwartende Spannungsverlauf im System ist höher, da der 50Ω Eingang des Oszilloskops mit dem $2 \text{ k}\Omega$ Widerstand (Abbildung 87, Position 8) einen Spannungsteiler bildet. Die gemessene Spannung am Geräteausgang (Abbildung 87, Position 4) ist daher um den Faktor 41 kleiner als die anliegende Spannung am $2 \text{ k}\Omega$ Längswiderstand. Im System an der Position X (Abbildung 87) treten daher Scheitelspannungen von bis zu 275 V auf.

Die im IC auftretenden Spannungen können von außen nur schwer ermittelt werden, ohne das System zu beeinflussen. Die auftretende Spannungsbelastung wurde daher nur simulatorisch ermittelt. Abbildung 94 zeigt die simulatorisch ermittelte Spannung über die belastete Halbleiterstruktur innerhalb des ICs. Dies entspricht der Spannung $U_{(t)}$ im IC Modell in Abbildung 89. Hier zeigen sich die Filtereigenschaften der Platine und der geometrischen Strukturen des IC. Der „first peak“ der IEC-ESD-Generatorentladung ist schwach sichtbar. Reflexionen des Entladepulses auf der Platinenübertragungsstrecke sind erkennbar. Es ergibt sich innerhalb des ICs eine simulierte Spitzenspannung von etwa 50 V, was für die verwendete Halbleitertechnologie als unkritisch eingestuft werden kann [74]. Abbildung 95 zeigt die aus der Pulsbelastung abgeleitete, simulierte Temperaturerhöhung innerhalb der Halbleiterstruktur. Hierbei ergibt sich ein unkritisches Temperaturmaximum von 460 K bei 225 ns. Die schnelle Transiente des „first peak“ am Anfang der Entladung ist im Temperaturverlauf nicht sichtbar. Das Modell verhält sich integrierend.

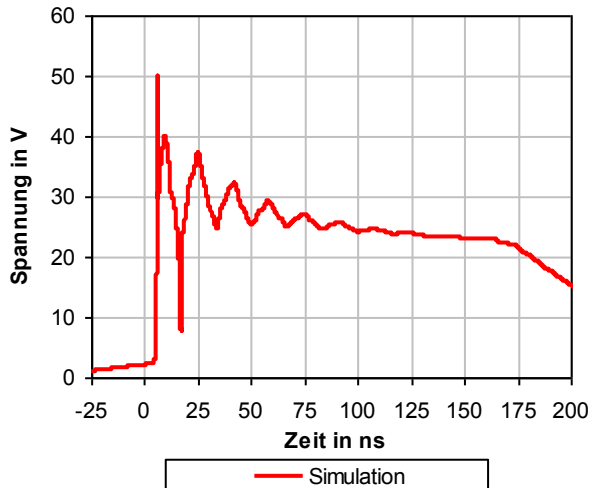


Abbildung 94: Simulierter Spannungsverlauf innerhalb eines ICs bei einer 4 kV IEC-ESD in ein elektrisches Steuergerät ohne Schutzelement

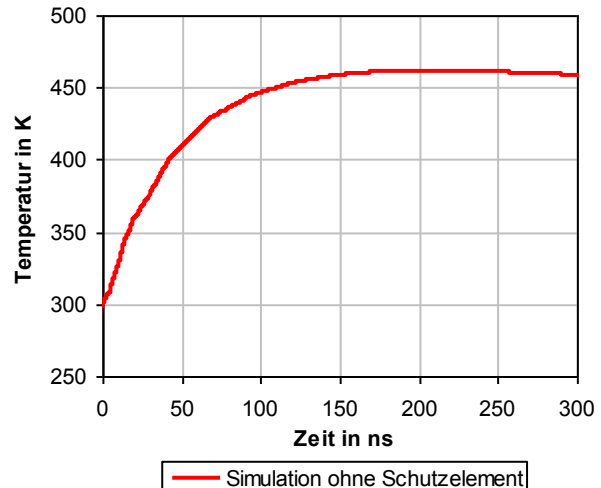


Abbildung 95: Simulierte Temperaturerhöhung in einer virtuellen Halbleiterstruktur innerhalb eines ICs bei einer 4 kV IEC-ESD in ein elektrisches Steuergerät ohne Schutzelement

Anhand der auftretenden Maximaltemperaturen wurde die ESD-Belastbarkeitsgrenze durch ein schrittweises Erhöhen der ESD-Spannung ermittelt. Abbildung 96 zeigt die simulierte Maximaltemperatur bei unterschiedlichen Entladespannungen. Bei etwa 6,6 kV Entladespannung wird die thermische Belastbarkeitsgrenze von 680 K im belasteten Volumen überschritten. Eine Schädigung des ICs ist ab dieser Belastung wahrscheinlich.

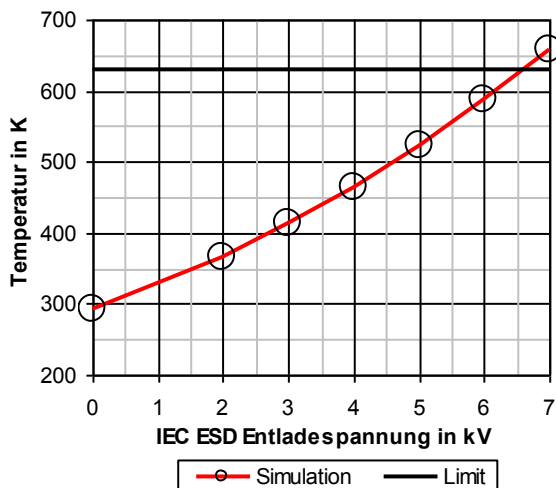


Abbildung 96: Simulierte Maximaltemperatur in einem Volumen bei unterschiedlichen IEC-ESD-Spannungen in ein Steuergerät ohne Schutzelement

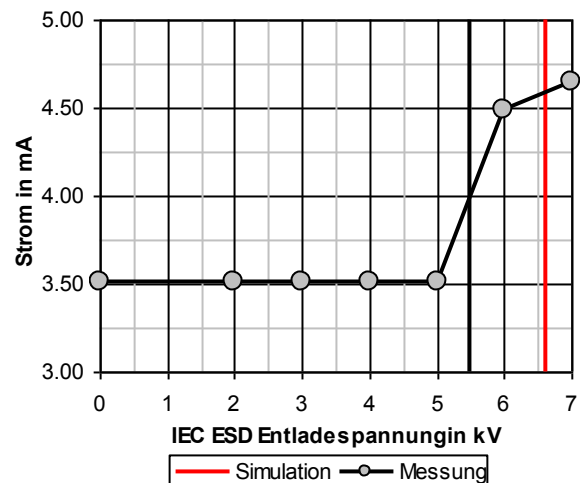


Abbildung 97: Leckstrom einer CAN Schnittstelle (Infineon TLE6250) nach positiven IEC-ESD in ein Steuergerät ohne Schutzelement

Zur messtechnischen Ermittlung der Schädigung des Eingangs nach einer IEC-ESD wurde das Leckstromverfahren aus Abschnitt 5.5.2 angewendet. Abbildung 97 zeigt den gemessenen Leckstrom bei einer Spannung von 44 V in den Steuergeräteeingang nach einer IEC-ESD. Das untersuchte Bauelement zeigt zwischen 5 kV und 6 kV (schwarze, vertikale Linie) eine signifikante Änderung des Leckstroms, was als Schädigung gewertet wurde. Für den simulierten thermischen Ausfall, d.h. die simulierte Temperatur im Defektvolumen ist größer als 680 K, ergab sich ein Wert von 6,6 kV (rote, vertikale Linie). Dies weicht von dem gemessenen Wert um 9 bis 24 % ab, was eine gute Korrelation zwischen Messung und Simulation bedeutet, insbesondere da hier die Unschärfe aller beteiligten Modelle zum Tragen kommt.

Positive Entladungen	
$U_{\text{Max Messung}}$	5,0 - 6,0 kV
$U_{\text{Max Simulation}}$	6,6 kV
$U_{\text{Abweichung}}$	0,6 - 1,6 kV
Abweichung	9 - 24 %

Tabelle 29: Gemessene und simulierte Ausfallgrenze einer CAN Schnittstelle (Infineon TLE6250) in einem Steuergerät ohne Schutzelement für IEC-ESD-Belastungen

6.1.4 Testlauf B, 22 nF Schutzkondensator

Im zweiten Testlauf wurde am Steckereingang (Abbildung 87, Position 7) ein 22 nF Keramik-kondensator verbaut. Dies stellt einen häufig auftretenden und kostengünstigen ESD-Schutz dar. Für den verwendeten IC ist dies ein unüblicher Schutz, da der IC Eingang mit einer Kapazitätsbelastung in dieser Größenordnung nicht zuverlässig seine Funktion ausüben kann. Jedoch kann der Einfluss auf die ESD-Festigkeit damit gut überprüft werden. Abbildung 98 und Abbildung 99 stellen die simulierten und gemessenen Stromverläufe im Zeit- und Frequenzbereich dar. Wie bereits im Testlauf A zeigt sich eine gute Übereinstimmung der gemessenen und simulierten Kurvenverläufe im Zeitbereich. Das Verhalten im Frequenzbereich zeigt bis etwa 500 MHz eine gute Korrelation zwischen Simulation und Messung. Für höhere Frequenzen ist auch hier die Dynamikgrenze der Messung erreicht. D.h., für höhere Frequenzen als 500 MHz kann keine Aussage mehr über die Simulationsgenauigkeit gemacht werden.

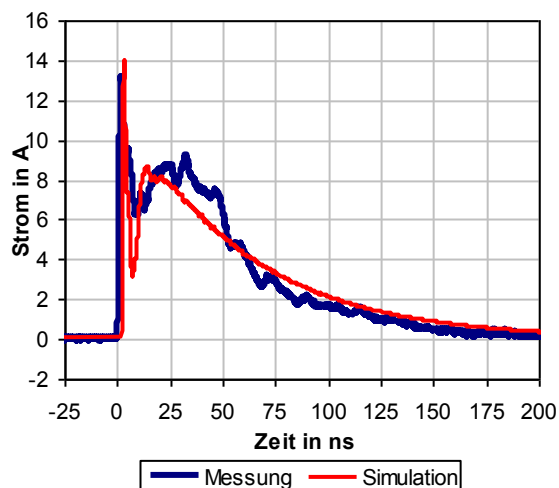


Abbildung 98: Strom bei einer 4 kV IEC-ESD in ein elektrisches Steuergerät mit einem 22nF Schutzkondensator

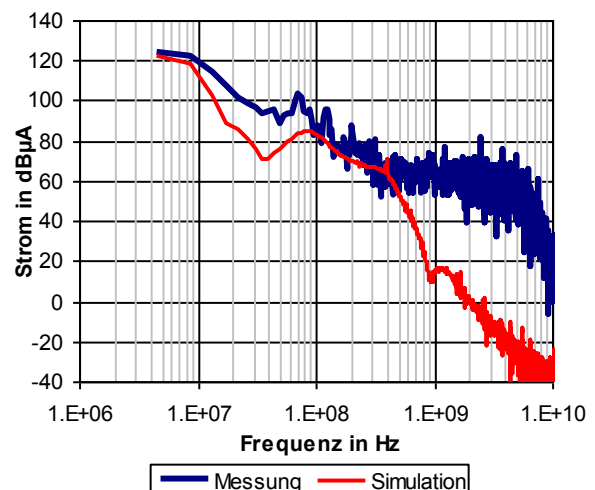


Abbildung 99: Vergleich im Frequenzbereich von gemessenen und simulierten Stromverläufen in ein elektrisches Steuergerät mit einem 22nF Schutzkondensator

Abbildung 100 und Abbildung 101 stellen den Spannungsverlauf am Geräteausgang (Abbildung 88, Position 4) im Zeit- und Frequenzbereich dar. Im Zeitbereich wird die Schutzwirkung des verwendeten Kondensators durch eine drastische Verringerung der Spitzenspannung im Vergleich zu Testlauf A deutlich. Hier ergeben sich Spitzenspannungen bis etwa 1 V, was im System an der Position X (Abbildung 87) eine unkritische Scheitelspannung von bis zu 40 V verursachen kann. Hierbei korrelieren die Spannungsverläufe im Zeitbereich gut.

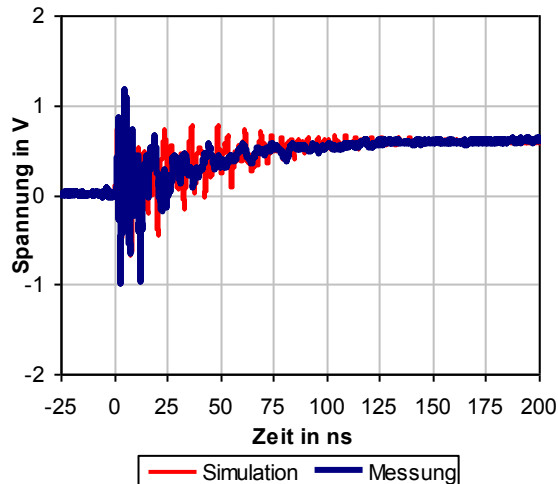


Abbildung 100: Spannung bei einer 4 kV IEC-ESD in ein elektrisches Steuergerät mit einem 22nF Schutzkondensator

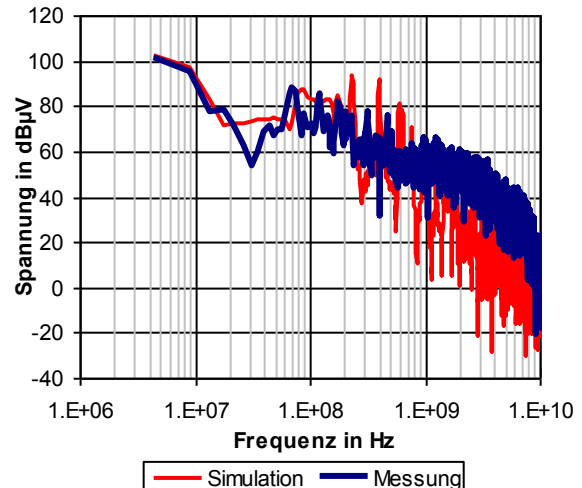


Abbildung 101: Vergleich im Frequenzbereich von gemessenen und simulierten 4 kV IEC-ESD in ein elektrisches Steuergerät mit einem 22nF Schutzkondensator

Im Frequenzbereich stimmen Simulation und Messung bis etwa 500 MHz überein. Dann ist auch hier die Dynamikgrenze der Messung erreicht. Abbildung 102 zeigt die simulatorisch ermittelte Spannung über der belasteten Halbleiterstruktur. Dies entspricht der Spannung $T_{(t)}$ im IC Modell in Abbildung 89. Im Gegensatz zu Testlauf A ist der „first peak“ der IEC-ESD kaum sichtbar. Reflexionen des Entladepulses durch die Platinenübertragungsstrecke sind erkennbar. Es ergibt sich an den Klemmen des ICs eine simulierte Spitzenspannung von etwa 25 V. Dies entspricht einer Halbierung der Spitzenspannung im Vergleich zum Testlauf A.

Abbildung 103 zeigt die aus der Pulsbelastung abgeleitete, simulierte Temperaturerhöhung innerhalb der belasteten Halbleiterstruktur. Hierbei ergibt sich ein unkritisches Temperaturmaximum von 360 K bei 900 ns. Im Vergleich zum Testlauf A bedeutet dies eine Verringerung der Maximaltemperatur um 100 K und eine Verschiebung des Temperaturscheitelpunktes um 675 ns. Wie bereits zuvor wurde die ESD-Belastbarkeitsgrenze durch ein schrittweises Erhöhen der ESD-Spannung ermittelt. Abbildung 104 zeigt die simulierte Maximaltemperatur bei unterschiedlichen Entladespannungen. Bei etwa 9,4 kV Entladespannung wird die thermische Belastbarkeitsgrenze von 680 K im belasteten Volumen überschritten. Eine Schädigung des ICs ist ab dieser Belastung wahrscheinlich. Messtechnisch wurde die Schädigung des Eingangs nach einer IEC-ESD wieder mithilfe des Leckstromverfahrens aus Abschnitt 5.5.2 ermittelt.

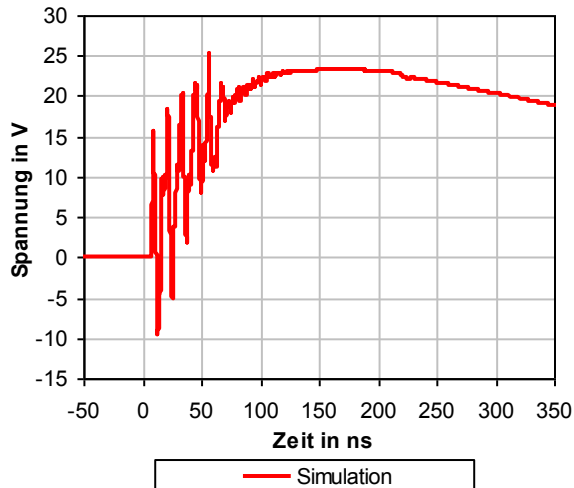


Abbildung 102: Simulierter Spannungsverlauf an den Klemmen eines ICs bei einer 4 kV IEC-ESD in ein elektrisches Steuergerät mit einem 22nF Schutzkondensator

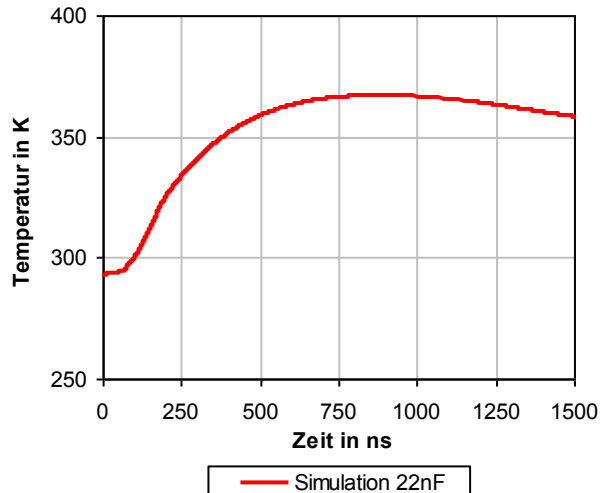


Abbildung 103: Simulierte Temperaturerhöhung in einem IC bei einer 4 kV IEC-ESD in ein elektrisches Steuergerät mit einem 22nF Schutzkondensator

Abbildung 105 zeigt den gemessenen Leckstrom bei einer Spannung von 44 V in den Steuergeräteeingang nach einer IEC-ESD. Das untersuchte Bauelement zeigt zwischen 8 kV und 9 kV (schwarze vertikale Linie) eine signifikante Änderung des Leckstroms, was als Schädigung gewertet wurde.

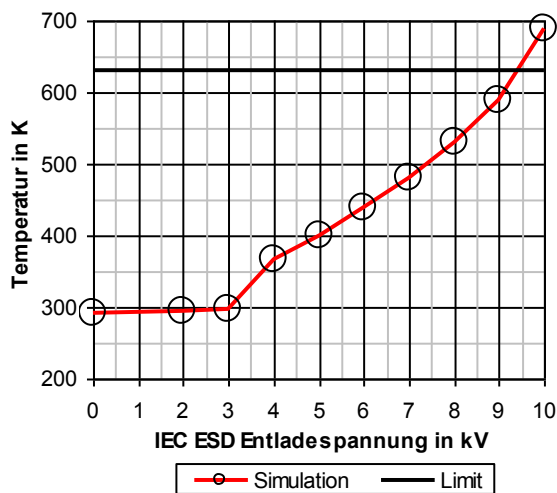


Abbildung 104: Simulierte Maximaltemperatur in einem IC bei unterschiedlichen IEC-ESD-Spannungen in ein elektrisches Steuergerät mit einem 22nF Schutzkondensator

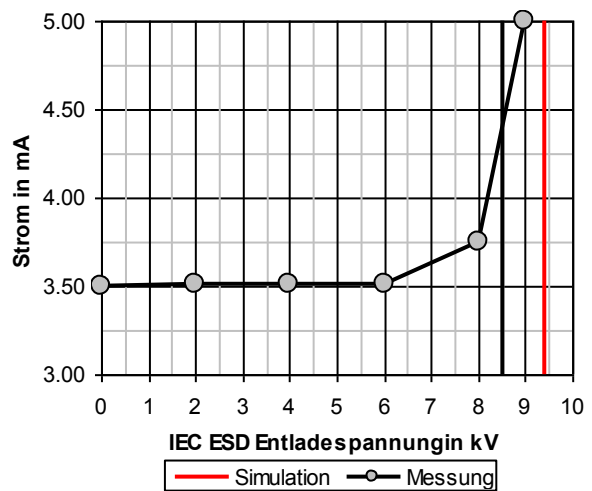


Abbildung 105: Leckstrom einer CAN Schnittstelle (Infineon TLE6250) nach positiven IEC-ESD in ein elektrisches Steuergerät mit einem 22nF Schutzkondensator

Bei der Simulation ergab sich für Entladespannungen größer als 9,4 kV (rote, vertikale Linie) eine Temperatur im IC größer als 680 K. Dies wurde als simulierter thermischer Ausfall gewertet. Hierbei weichen der gemessenen und der simulierte Ausfallwert zwischen 4 % und 15 % voneinander ab. Im Vergleich zum Testlauf A ohne Schutzelement wurde die ESD-Festigkeit erhöht, da die Pulsbelastung durch den Schutzkondensator verringert wurde.

Positive Entladungen	
U _{Max Messung}	8,0 - 9,0 kV
U _{Max Simulation}	9,4 kV
U _{Abweichung}	0,4 - 1,4 kV
Abweichung	4 - 15 %

Tabelle 30: Gemessene und simulierte Ausfallgrenze eines CAN Pins (Infineon TLE6250) in einem elektrischen Steuergerät mit einem 22 nF Schutzkondensator

6.1.5 Testlauf C, 14 V Schutzvaristor

Im dritten Testlauf wurde die ESD-Festigkeit des Systems mit einem 14 V Varistor (CT0603K14G) am Steckereingang (Abbildung 87, Position 7) geschützt. Varistoren werden häufig als Schutzelement für schnelle Signale eingesetzt, da diese eine geringe Eigenkapazität aufweisen. Die Eigenschaften des verwendeten Varistors wurden in Abschnitt 3.3.3 näher untersucht. Abbildung 106 und Abbildung 107 zeigen den Entladestrom in das System im Zeit- und Frequenzbereich. Wie bereits bei den Testläufen zuvor wird das reale Verhalten von der Simulation gut abgebildet. Im Zeitbereich stimmen die Spitzenströme und der Kurvenverlauf gut überein. Im Frequenzbereich folgt die Simulation dem gemessenen Verlauf bis etwa 500 MHz. Anschließend ist die Dynamikgrenze der Messung erreicht, so dass eine bessere Übereinstimmung denkbar wäre. Der Spannungsverlauf am Geräteausgang (Abbildung 88, Position 4) wird in Abbildung 108 und Abbildung 109 im Zeit- und Frequenzbereich dargestellt.

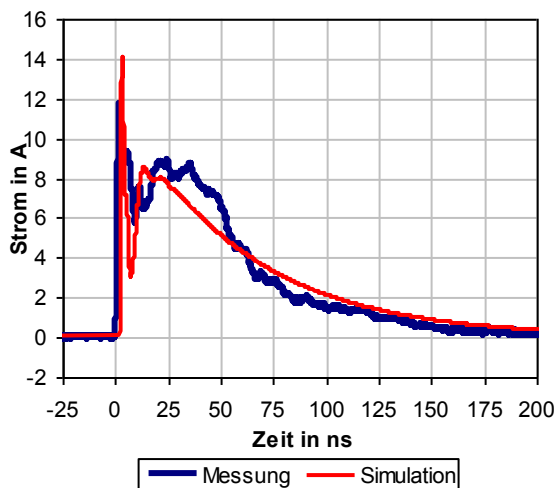


Abbildung 106: Strom bei einer 4 kV IEC-ESD in ein elektrisches Steuergerät mit einem Schutzvaristor (CT0603K14G)

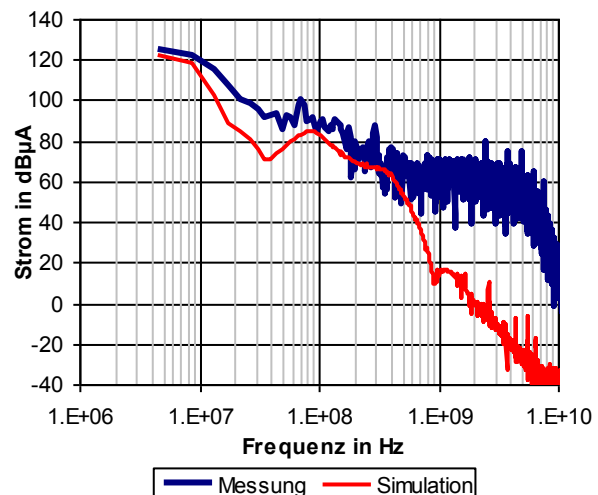


Abbildung 107: Vergleich im Frequenzbereich von gemessenen und simulierten Stromverläufen in ein elektrisches Steuergerät mit einem Schutzvaristor (CT0603K14G)

Wie bei den Testläufen zuvor korrelieren die Spannungsverläufe im Zeit- und Frequenzbereich gut. Im Zeitbereich verringert der Varistor die auftretenden Spannungen deutlich im Vergleich zu Testlauf A. Die auftretende Spitzenspannung wird jedoch im Vergleich zu Testlauf B weniger stark begrenzt. Es ergibt sich im System an der Position X (Abbildung 87) eine Spitzenspannung von bis zu 120 V.

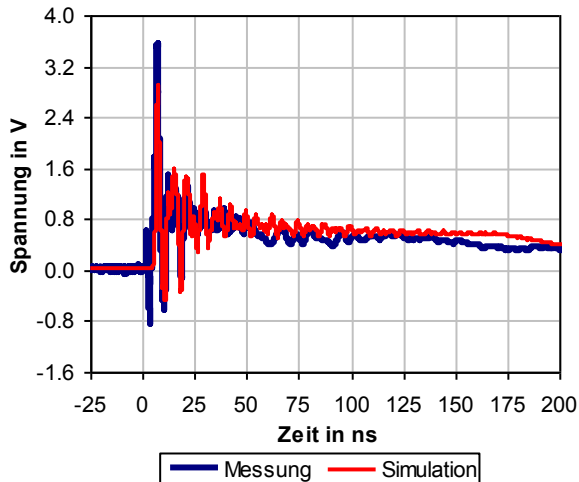


Abbildung 108: Spannung bei einer 4 kV IEC in ein elektrisches Steuergerät mit einem Schutzvaristor (CT0603K14G)

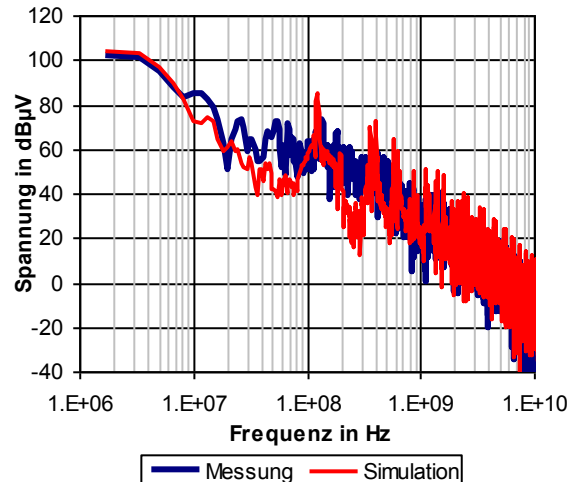


Abbildung 109: Vergleich im Frequenzbereich von gemessenen und simulierten 4 kV IEC-ESD in ein elektrisches Steuergerät mit einem Schutzvaristor (CT0603K14G)

Dies bedeutet im Vergleich zu Testlauf A immer noch eine Halbierung der Spitzenspannung. Die Spannungsbelastung im gesamten betrachteten Zeitbereich ist vergleichbar mit Testlauf B. Im Frequenzbereich stimmen Simulation und Messung bis zur Messgrenze von etwa 500 MHz überein. Dann ist auch hier die Dynamikgrenze der Messung erreicht. Abbildung 110 zeigt die simulatorisch ermittelte Spannung über der belasteten Halbleiterstruktur. Dies entspricht der Spannung $T_{(t)}$ im IC Modell in Abbildung 89. Die auftretende Spitzenspannung, die durch den „first peak“ der IEC-ESD entsteht, ist ähnlich zu Testlauf A. Im weiteren zeitlichen Verlauf wird die Spannung deutlich begrenzt. Diese fällt zum Ende stark ab, was auf die nichtlinearen Eigenschaften des Varistors zurückzuführen ist.

Abbildung 111 zeigt die aus der Pulsbelastung abgeleitete, simulierte Temperaturerhöhung innerhalb der belasteten Halbleiterstruktur. Hierbei ergibt sich ein unkritisches Temperaturmaximum von 425 K bei 225 ns. Im Vergleich zum Testlauf A bedeutet dies eine Verringerung der Maximaltemperatur um 35 K. Im Gegensatz zu Testlauf B wurde der Temperaturscheitelpunkt nicht verschoben. Wie bereits zuvor wurde die ESD-Belastbarkeitsgrenze durch ein schrittweises Erhöhen der ESD-Spannung ermittelt.

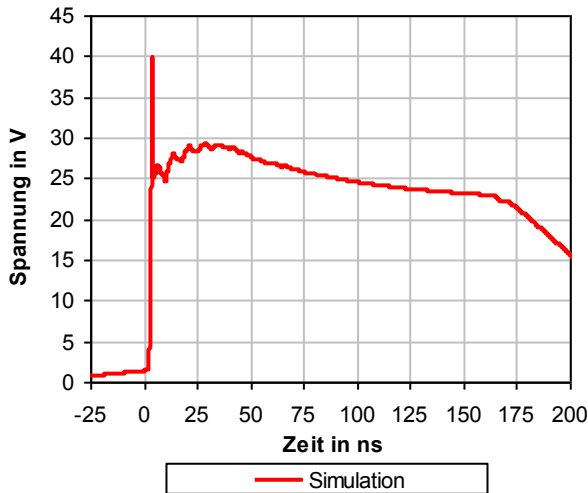


Abbildung 110: Simulierter Spannungsverlauf innerhalb eines ICs bei einer 4 kV IEC-ESD in ein elektrisches Steuergerät mit einem Schutzvaristor (CT0603K14G)

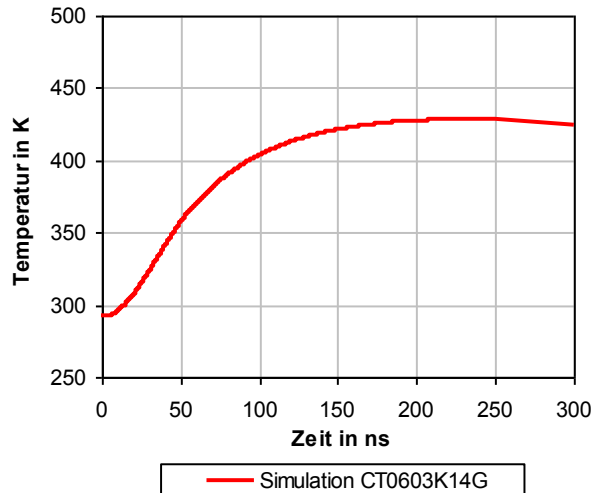


Abbildung 111: Simulierte Temperaturerhöhung in einem ICs bei einer 4 kV IEC-ESD in ein elektrisches Steuergerät mit einem Schutzvaristor (CT0603K14G)

Abbildung 112 zeigt die simulierte Maximaltemperatur bei unterschiedlichen Entladespannungen. Bei etwa 9,2 kV Entladespannung wird die thermische Belastbarkeitsgrenze von 680 K im belasteten Volumen überschritten. Eine Schädigung des ICs ist ab dieser Belastung wahrscheinlich.

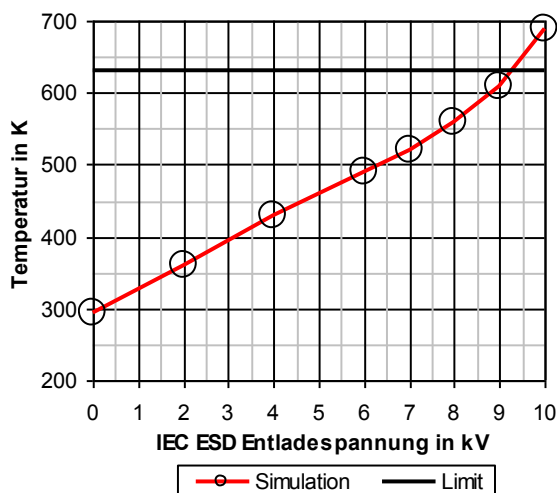


Abbildung 112: Simulierte Maximaltemperatur in einem IC bei unterschiedlichen IEC-ESD-Spannungen in ein elektrisches Steuergerät mit einem Schutzvaristor (CT0603K14G)

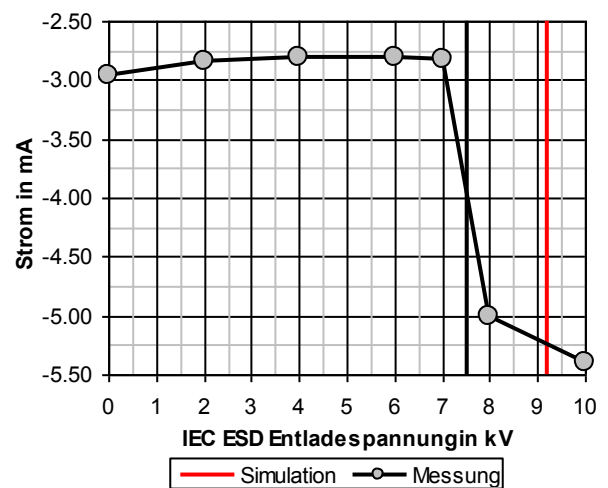


Abbildung 113: Leckstrom einer CAN-Schnittstelle (Infineon TLE6250) nach positiven IEC-ESD in ein elektrisches Steuergerät mit einem Schutzvaristor (CT0603K14G)

Messtechnisch wurde die Schädigung des Eingangs nach einer IEC-ESD wieder mithilfe des Leckstromverfahrens aus Abschnitt 5.5.2 ermittelt. Abbildung 113 zeigt den gemessenen Leckstrom bei einer Spannung von -24 V in den Systemeingang/Steuergeräteeingang nach einer IEC-ESD. Das untersuchte Bauelement zeigt zwischen 7 kV und 8 kV (schwarze vertikale Linie) eine signifikante Änderung des Leckstroms, was als Schädigung gewertet wurde. Bei den simulierten Temperaturen innerhalb des ICs ergaben sich für Entladespannungen größer als 9,2 kV Temperaturen, welche das thermische Limit von 680 K überschritten, was als Ausfall gewertet wurde. Hierbei weichen der gemessene und der simulierte Ausfallwert zwischen 13 % und 24 % ab voneinander ab. Im Vergleich zum Testlauf A ohne Schutzelement wurde die ESD-Festigkeit erhöht. Durch die Begrenzungseigenschaften des Schutzvaristors wurde die Pulsbelastung im IC verringert.

Positive Entladungen	
$U_{\text{Max Messung}}$	7,0 - 8,0 kV
$U_{\text{Max Simulation}}$	9,2 kV
$U_{\text{Abweichung}}$	1,2 - 2,2 kV
Abweichung	13 - 24 %

Tabelle 31: Gemessene und simulierte Ausfallgrenze eines CAN Pins (Infineon TLE6250) in ein elektrisches Steuergerät mit einem Schutzvaristor

6.1.6 Vergleich der einzelnen Testläufe

Zur Bewertung der Schutzwirkung der einzelnen Konfigurationen wurden die simulierte Spannung im IC und die Temperaturerhöhung im Volumen herangezogen. Vergleicht man die Wirkung der Schutzelemente anhand der simulierten Spannungen am IC (Abbildung 114, Abbildung 115), so fällt auf, dass der 22 nF Kondensator (roter Graph) die Spitzenspannung durch den „first peak“ am effektivsten unterdrückt. Bei der Konfiguration ohne Schutzelement (schwarzer Graph) und mit dem Varistor CT0603K14G (blauer Graph) sind die Spannungsanstiege zu Beginn der Entladung sehr ähnlich. Dabei kommt es zu einem deutlichen Überschwinger mit etwa 350 ps Breite, was auf die Verzögerung der Snapbackstruktur im IC Modell zurückzuführen ist. Bei der Bestückung mit dem Varistor übernimmt der Varistor im weiteren Verlauf den größten Teil der Pulsbelastung und leitet diese ab. Nach etwa 125 ns hat sich die Spannung bei allen Konfigurationen auf denselben Wert von etwa 23 V eingependelt. Während jedoch bei der Konfiguration ohne Schutzelement und mit dem Varistor CT0603K14G die Spannung im IC ab etwa 160 ns zu sinken beginnt, liegt die Spannung bei

der Konfiguration mit dem 22 nF Kondensator deutlich länger an. Dies ist auf die Speichereigenschaften des Kondensators zurückzuführen. Nur bei der Bestückung mit einem 22 nF Kondensator kommt es im IC zu negativen Spannungen.

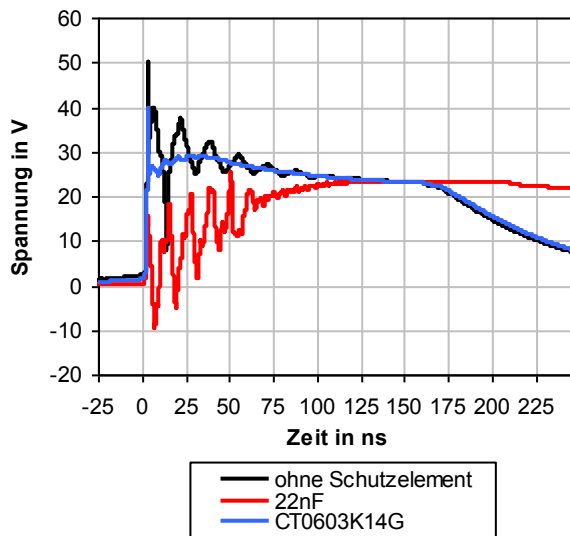


Abbildung 114: Simulierter Spannungsverlauf innerhalb eines ICs bei einer 4 kV IEC-ESD in ein elektrisches Steuergerät mit unterschiedlichen Schutzelementen

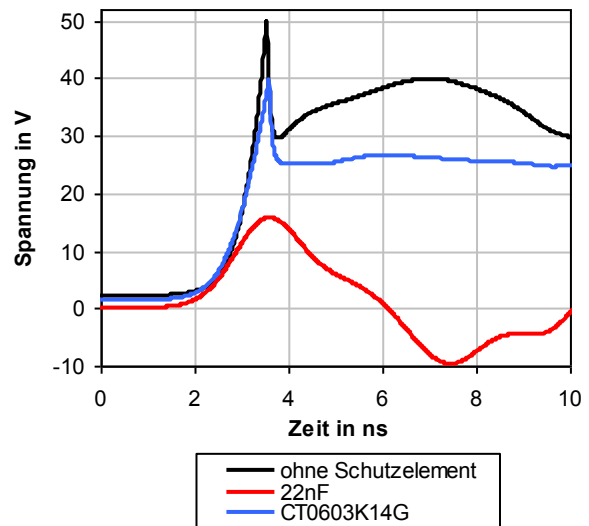


Abbildung 115: Vergrößerung von Abbildung 114, simulierter Spannungsverlauf innerhalb eines ICs bei einer 4 kV IEC-ESD in ein elektrisches Steuergerät mit unterschiedlichen Schutzelementen

Bei der Konfiguration ohne Schutzelement und mit einem 22 nF Kondensator kommt es zu deutlichen Reflexionen des Entladepulses. Bei der Bestückung mit dem Varistor sind diese kaum erkennlich. Dies ist auf die Eigenschaften des Varistors zurückzuführen, der bei höheren Spannungen leitfähig wird und so die Entladung stark dämpft. Die Spannungsverläufe der einzelnen Schutzkonfigurationen spiegeln sich auch in der simulierten IC Temperatur (Abbildung 116) und den daraus abgeleiteten Belastungsgrenzen (Abbildung 117) wieder. Erwartungsgemäß erzeugt die Konfiguration ohne Schutzelement (schwarzer Graph) den höchsten Temperaturanstieg, da die gesamte Pulslast vom IC getragen wird. Bei der Konfiguration mit einem Varistor (blauer Graph) wird der Temperaturanstieg gemildert, da es zu einer Aufteilung der Pulsbelastung zwischen IC und Schutzelement kommt. Der 22 nF Kondensator (roter Graph) zeigt die größte Schutzwirkung und damit den kleinsten Temperaturanstieg. Die Pulsenergie wird im Kondensator zwischengespeichert und an den IC weitergegeben. Mit der gezeigten Verifikation an einem realitätsnahen Systembeispiel wurden die Anwendbarkeit der erstellten Simulationsmethode und das Zusammenspiel der einzelnen Modelle plausibilisiert.

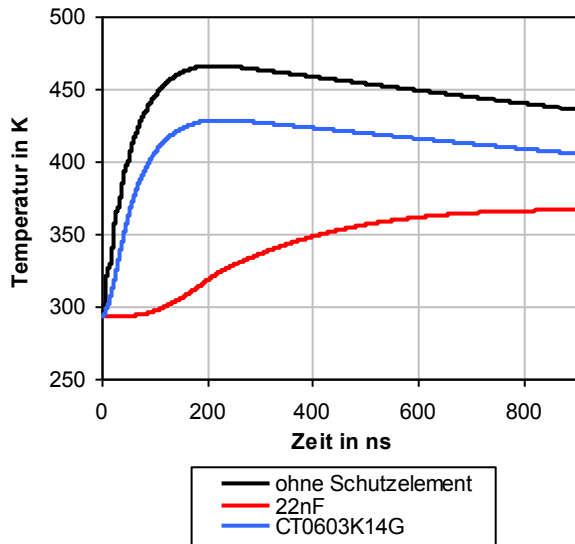


Abbildung 116: Simulierte Temperaturerhöhung bei einer 4 kV IEC-ESD in ein elektrisches Steuergerät mit unterschiedlichen Schutzelementen

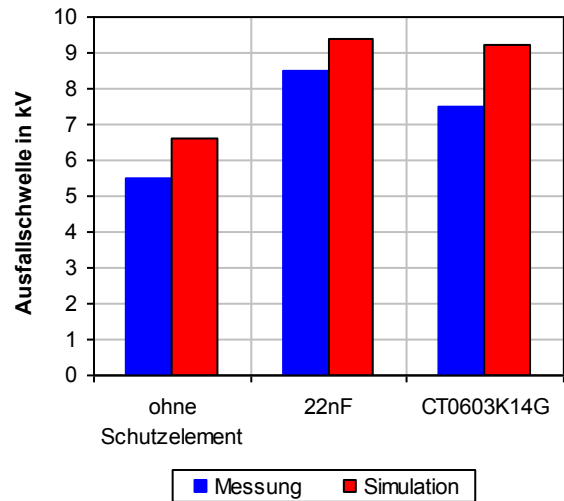


Abbildung 117: Simulierte Ausfallschwellen bei IEC-ESD in ein elektrisches Steuergerät mit unterschiedlichen Schutzelementen

Die entstehenden Pulsverläufe im System und die daraus abgeleiteten Belastungen können gut wiedergegeben werden. Die Bestimmung der Belastbarkeitsgrenze erfolgt mit einer guten Trefferwahrscheinlichkeit. Damit kann eine aussagekräftige Hilfestellung in der Bewertung und Analyse von elektronischen Schaltungen unter elektrostatischer Belastung gegeben werden.

7 Zusammenfassung und Schlussfolgerung

Im Rahmen dieser Arbeit konnte eine Simulationsmethode erarbeitet werden, welche es erlaubt, die leitungsgebundene Auswirkung von transienten Pulsen auf Kfz-Elektroniksystemen zu analysieren und zu bewerten. Mit den dabei erstellten Modellen ist es möglich, sowohl das elektrische Verhalten als auch die Ausfallschwelle der belasteten Systeme simulatorisch zu ermitteln. Die dabei erarbeiteten Verfahren zur Modellierung der einzelnen Komponenten erlauben es das ESD Verhalten der betrachteten Systeme mit einem vertretbaren Modellierungsaufwand zu bewerten. Dies kann dazu verwendet werden um ESD-Schutzstrategien in Kfz-System zu beurteilen, die dafür notwendigen Komponenten zu Dimensionieren und die dabei entstehenden Phänomene und Effekte zu analysieren. Um dies zu erreichen, wurde das elektronische System auf pulsbestimmende Komponenten reduziert. Die Eigenschaften dieser Komponenten wurden untersucht und Möglichkeiten zur jeweiligen Modellierungen evaluiert und bewertet. Soweit möglich wurde dabei auf bestehende Modellierungsverfahren zurückgegriffen. Bei der Beschreibung von ESD Generatoren, linearen Bauelementen und Leiterplattenstrukturen konnte auf bewährte Modellierungsverfahren zurückgegriffen werden. Für das IEC-ESD Generatormodell wurde die Modellqualität verifiziert. Hierbei konnte im Zeitbereich der Stromverlauf gut wiedergegeben werden. Im Frequenzbereich zeigte sich eine gute Übereinstimmung zwischen Simulations- und Messergebnissen bis 700 MHz. Für linearen Bauelementen haben sich einfachen Ersatzmodelle als ausreichend erwiesen. Diese bieten einen Kompromiss zwischen Modellierungsgenauigkeit und Rechengeschwindigkeit. Für Platinenstrukturen wurden verschiedene Modellierungsverfahren für auf ihre Anwendbarkeit untersucht. Hierbei zeigt sich, dass sowohl auf CAD-Daten beruhenden Modelle als auch analytische Modellierung das Übertragungs- und Resonanzverhalten hinreichend genau beschreiben, um diese Modelle für die Simulation von ESD-Pulsen verwenden zu können.

Im Gegensatz dazu zeigte sich für die Beschreibung des nichtlinearen Verhaltens von Schutz- und Halbleiterbauelementen, sowie für das thermische bzw. die energetische Belastbarkeitsgrenze, die Notwendigkeit entsprechende Modellierungsverfahren zu entwickeln. Es wurde daher für nichtlinearen Bauelementen ein phänomenologisches Modellierungsverfahren entwickelt, welches auf einer Kombination aus einer I/V-tabellen und diskreten Ersatzelementen beruht. Damit kann sowohl die Pulsbelastung unter elektrostatischen Entladungen korrekt wiedergegeben, als auch das hochfrequente Verhalten im Kleinsignalbereich abbildet werden. Auf Basis des erarbeiteten Konzeptes wurden anschließend unterschiedliche

praxisnahe Bauelemente modelliert. Hierbei zeigt sich durchwegs eine gute Modellierbarkeit der Bauteile hinsichtlich ihres Pulsverhaltens. Darauf aufbauend konnte ein Ansatz erstellt werden, welcher das nichtlineare Verhalten von IC-Eingängen unter Pulsbelastung beschreibt. Damit kann das spannungsabhängige nichtlineare Verhalten der Eingangsstruktur wiedergegeben werden. Das Konzept wurde an unterschiedlichen Bauelementen mithilfe von IEC-ESD und TLP verifiziert. Hierbei zeigt sich sowohl im Strom- als auch im Spannungsverlauf eine gute Übereinstimmung von Simulations- und Messergebnissen bis zur Messgrenze von 600 MHz.

Zur Bewertung der Pulsfestigkeit von Halbleitereingängen wurden verschiedene thermische Ausfallmodelle beschrieben und auf ihre Anwendbarkeit untersucht. Zu diesem Zweck wurden die Modelleigenschaften der thermodynamischen Beschreibungen für flächen-, linien- und kugelförmigen Ausfallgeometrien mit thermischen RC-Ersatzschaltungen verglichen. Hierbei zeigte eine Modellierung mit thermischen RC-Ersatzelementen die beste Verwendbarkeit. Im Gegensatz zu den thermodynamischen, geometrischen Modellen ist die abstraktere Beschreibung mithilfe der thermischen RC-Ersatzelemente losgelöst von einer Ausfallgeometrie. Daher ist diese Beschreibung mit weniger Aufwand anwendbar. Basierend auf dieser Erkenntnis wurde ein thermisches Ausfallmodell entwickelt welches in das nichtlineare IC Eingangsmodell integriert werden kann. Die Anwendbarkeit der thermischen Ausfallmodelle wurde an mehreren Bauelementen verifiziert. Für die ersten sechs Eingänge zeigen die Simulationsergebnisse eine gute Korrelation zu den Messergebnissen. Bei einem Bauelement kam es zu Abweichungen. Für die überwiegende Mehrheit der Bauelemente ist es jedoch möglich, die Beeinträchtigung der Eingänge durch Pulsbelastung mittels Simulation vorherzusagen. Die erstellten Verhaltensmodelle für IC-Eingänge eignen sich daher zur Bestimmung der Grenze für energiebasierende Ausfälle mittels Simulation. Dies gilt sowohl für die Betrachtung von einzelnen Komponenten und Halbleiterbauelementen als auch im Zusammenspiel von unterschiedlichen Bauelementen innerhalb von Systemen.

Die Interaktion der einzelnen Modelle untereinander und somit die Anwendbarkeit der Simulationsmethode wurde an einem Systembeispiel verifiziert. Hierzu wurde in mehreren Simulationsläufen ein Geräteeingang mit unterschiedlichen Schutzelementen versehen. Bei diesem Systembeispiel wurde die Pulschette in einem Kfz-Elektroniksystem abgebildet und bewertet. Dies reicht von der Pulserzeugung im ESD-Generator über die Wirkung von diskreten Schutzelementen auf einer realistischen Platine für Kfz-Anwendungen bis zur Belastbarkeitsgrenze eines gängigen IC-Bauelementes. Die simulierten Pulsformen innerhalb des Systems

und die prognostizierten Ausfallwerte des IC-Bauelementes wurden anschließend mit realen Ausfallwerten und gemessenen Pulsformen verglichen, um die Leistungsfähigkeit der Simulationsmethode zu verifizieren. Hierbei zeigte sich eine ähnlich gute Genauigkeit wie bei der Bewertung der einzelnen Modelle. Die Qualität der untersuchten Modelle ist daher mehr als ausreichend um die Schutzwirkung von diskreten Bauelementen, die daraus resultierende Ausfallgrenze von IC-Eingängen und somit das Verhalten des betrachteten Systems unter transients Pulsbelastung mittels Simulation zu beurteilen.

Bei der Erstellung dieser Verfahren wurde darauf geachtet, dass sämtliche Modellparameter mithilfe von Messungen ermittelt werden können. Dies gilt sowohl für das nichtlineare Verhalten von diskreten Bauelementen, als auch für die Parameter zur Beschreibung des Verhaltens von IC-Eingängen unter Pulsbelastung und die darauf aufbauenden thermischen Ausfallmodelle. Dies eröffnet die Möglichkeit, unabhängig von Herstellerangaben Simulationsmodelle erstellen zu können. Dadurch kann eine gewisse Unabhängigkeit von Herstellerinformationen gewährleistet werden.

Aufgrund der einzelnen Modellverifikationen kann auf geprüfte Modelle zurückgegriffen werden, deren Aussagekraft bekannt ist. Die simulatorische Bewertung des ESD-Verhaltens erfolgt daher innerhalb eines Vertrauensbereiches. Mithilfe der erarbeiteten Simulationsmethode kann die ESD Festigkeit auf Systemebene bereits in einem frühen Stadium der Entwicklung erfolgen. Die Wirkungsweise von diskreten Schutzelementen kann Mithilfe von Simulationen gut wiedergegeben werden. Die Effekte, welche zu einem Ausfall führen, können analysiert werden und so das Wissen um Ausfallursachen und Effekte vergrößern. Die ESD-Simulation von Teilbereichen kann damit auf Kfz-Elektroniksysteme erweitert werden, so dass ESD Schutzkonzepte auf Systemebene optimierbar werden. Die dabei entstehenden Modelle können aufgrund ihrer Struktur in breit verfügbare Simulationsumgebungen eingegliedert werden und gewährleisten so eine hohe Kompatibilität und Anwendbarkeit der Modelle.

Weiterhin ist es mit dem hier vorgestellten Simulationskonzept möglich, das ESD Verhalten von Bauelementen zu vergleichen, auch wenn diese von unterschiedlichen Herstellern stammen. Dies geschieht ohne Offenlegung von schützenswerten Firmen- und Entwicklungsgeheimnissen der Hersteller. Es zeigt sich daher eine gute Anwendbarkeit der erarbeiteten Methode zur Bewertung von ESD Ereignissen innerhalb von Kfz-Elektroniksystemen.

8 Ausblick

Die erarbeitete Simulationsmethode hat Grenzen in ihrer Anwendbarkeit. Aufgrund der phänomenologischen Bauteilbeschreibung wird das Verhalten von Eingangsstrukturen vereinfacht dargestellt. So können beispielsweise flankengesteuerte Schutzschaltungen nicht vollständig beschrieben werden. Das grundlegende Verhalten wird jedoch wiedergegeben. Eine vollständige Abdeckung aller Fehlerfälle ist mit einem einzelnen, phänomenologischen Modellierungsansatz kaum möglich. In Halbleiterstrukturen sind diverse Ausfallursachen bekannt, die nicht auf thermische bzw. energiebasierende Fehlerursachen zurückgeführt werden können. Das thermische Ausfallmodell ist daher nicht allgemeingültig. Es deckt jedoch ein breites Spektrum von energiebasierenden Ausfällen ab, bevor es an seine Gültigkeitsgrenze stößt. Eine Ausweitung der phänomenologischen Ausfallmodelle in weiterführenden Arbeiten ist daher wünschenswert. Dies könnte durch eine weitergehende Betrachtung und Modellierung der Fehlermechanismen auf Halbleiterebene geschehen. So kann sich das Verhalten der IC-Eingänge im Betrieb deutlich vom unversorgten Zustand unterscheiden. Messverfahren, die dieses Verhalten berücksichtigen sind denkbar. Dies könnte in weiterführenden Arbeiten modelliert werden.

Eine erhebliche Erleichterung und damit eine größere Verbreitung der simulationsgestützten ESD Bewertung könnte eine normative Festlegung der zur Modellbildung notwendigen Parameter sein. Diese Parameter könnten dann in einer einheitlichen Form in Bauteil-datenblättern hinterlegt werden. Dies würde die Modellerstellung erheblich vereinfachen. Zusätzlich würden diese Parameter für eine bessere Vergleichbarkeit von Bauelementen unter Pulsbelastung sorgen. Dies würde bereits in frühen Entwicklungsstadien Aufschluss über die verwendeten Bauelemente geben, bevor reale ESD-Tests durchgeführt werden.

9 Anhang

9.1 Abkürzungsverzeichnis

Abkürzung	Bedeutung
CAD	Computer-Aided Design Computerunterstützter Entwurf
CAN	Controller Area Network Seriellles Bussystem
CANH	Controller Area Network High CAN High Pin
CANL	Controller Area Network Low CAN Low Pin
EMV	Elektromagnetische Verträglichkeit Störfreiheit elektronischer Systeme
FFT	Schnelle Fourier-Transformation Methode zur Berechnung der Werte einer Fourier-Transformation
HF	Hochfrequenz Frequenzbereich oberhalb einer bestimmten Frequenz
I/V	Strom / Spannung Diagramm Strom über Spannung
IBIS	Input Output Buffer Information Specification Methode zur Beschreibung des Verhaltens von elektronischen
IC	Integrierter Schaltkreis Elektronische Schaltung auf einem Halbleitersubstrat
IEC	International Electrotechnical Commission Normungsorganisation im Bereich Elektrotechnik
ISO	Internationale Organisation für Normung Vereinigung von Normungsorganisationen
Kfz	Kraftfahrzeug Straßenfahrzeug
LIN	Local Interconnect Network Seriellles Kommunikationssystem
MOS	Metal-Oxide-Semiconductor Metall-Oxid-Halbleiter
MOSFET	Metal-Oxide-Semiconductor Field-Effect Transistor Feldeffekttransistor
PCB	Printed Circuit Board Gedruckte Leiterplatte
PEEC	Partial-Element-Equivalent-Circuit Verfahren zur Berechnung elektromagnetischer Felder
RC Ersatzschaltung	Resistor -Capacitor Ersatzschaltung Ersatzschaltung aus Widerständen und Kondensatoren
RLC	Resistor-Inductor-Capacitor Ersatzschaltung aus Widerständen, Induktivitäten und Kondensatoren
Scope	Oszilloskop Messgerät zur Darstellung elektrischer Spannungen

SMD	Surface-Mounted Device Oberflächenmontierbares elektrisches Bauteil
S-Parameter	Streuparameter Beschreibung des Übertragungsverhaltens linearer Netzwerke
Spice	Simulation Program with Integrated Circuit Emphasis Methode zur Schaltungssimulation
TLP	Transmission-Line Pulse Leitungsentladung
TVS Dioden	Transient-Voltage Suppression Diode Bauelement zum Schutz elektronischer Schaltungen
VHDL-AMS	Very High Speed Integrated Circuit Hardware Description Language Hardwarebeschreibungssprache

Tabelle 32: Verzeichnis und Bedeutung der verwendeten Abkürzungen

9.2 Literaturverzeichnis

- [1] H. Berndt: „ESD-Schutz: Normen, Konzepte und Messtechnik in der Praxis“, 2. Auflage, Expert-Verlag, 2009, ISBN: 978-3816929420
- [2] D. Hageböling: „Taschenbuch Betrieblicher Brandschutz“, Vulkan Verlag, 1999, ISBN: 978-3802731488
- [3] J. Albers: „Grundlagen integrierter Schaltungen: Bauelemente und Mikrostrukturierung“, Carl Hanser Verlag, 2006, ISBN: 978-3446406865
- [4] DIN EN 61340-5-1: „Elektrostatik - Teil 5-1: Schutz von elektronischen Bauelementen gegen elektrostatische Phänomene“, Deutsche Fassung, EN 61340-5-1:2007
- [5] H. Morgenstern: „Simulation elektrostatischer Entladungen, Effiziente Verifikation der Robustheit integrierter Schaltungen beim Auftreten von elektrostatischen Entladungen“, Südwestdeutscher Verlag für Hochschulschriften AG Co. KG, 2011, ISBN: 978-3838125855
- [6] M. Streibl: „High Abstraction Level Permutational ESD Concept Analysis“, EOS/ESD Symposium, 2003
- [7] A. Amerasekera, C. Duvvury, W. Anderson, H. Gieser, S. Ramaswamy: „ESD in Silicon Integrated Circuits“, 2. Auflage, John Wiley & Sons, 2002, ISBN: 978-0471498711
- [8] H. Anzai, Y. Tosaka, K. Suzuki, T. Nomura, S. Satoh: „Equivalent Circuit Model of ESD-Protection Devices“, Seite 119-127, Fujitsu Sci. Tech, 2003
- [9] J. Lutz: „Zerstörungsmechanismen in Leistungsbau-elementen; Thermisches Ersatzschaltbild und thermische Simulation, Halbleiter-Leistungsbau-elemente: Physik, Eigenschaften, Zuverlässigkeit“, Springer, 2006, ISBN: 978-3800728107
- [10] A. Wallash, A. Tazzoli: „Application of 3-D Electromagnetic Modeling to ESD-Design and Control for Class 0 Devices“, EOS/ESD-Symposium 2009
- [11] Synopsis Inc.: „Star Hspice User's Manual Version 2002.2“, 2002
- [12] S. Beebe: „Characterization, modeling and design of ESD protection circuits“, 1998

- [13] Y. Zhou, J. Hajjar, A. Richter, K. Lisiak: „Modeling Snapback of LVTSCR Devices for ESD-Circuit Simulation Using Advanced BJT and MOS Models“, Seite 175-184, EOS/ESD-Symposium 2007
- [14] T. Giebel: „4.3 Ergänzung zum einfachen MOS-Modell, Grundlagen der CMOS-Technologie“, Teubner Verlag, 2002, ISBN: 978-3519003502
- [15] K. Hoffmann: „4.5 Effekte zweiter Ordnung; Systemintegration: Vom Transistor zur großintegrierten Schaltung“, Oldenbourg, 2006, ISBN: 978-3486578942
- [16] Infineon Technologies AG: Datenblatt zu den Silizium Schaltdioden BAL74/BAR74... , Ausgabe 2007-04-19, http://www.infineon.com/dgdl/Infineon-AL74_BAR74SERIES-DS-v01_01-en.pdf?fileId=db3a30431400ef6801141b598e6703eb, Abgerufen: September 2015
- [17] G. Zimmer: „Netzwerkanalysator, Hochfrequenztechnik. Lineare Modelle“, Seite 94-100, Springer, 2000, ISBN: 978-3540667162
- [18] M. Thumm, W. Wiesbeck, S. Kern: „Hochfrequenzmesstechnik: Verfahren und Messsysteme: Verfahren und Meßsysteme“, Teubner Verlag, 1998, ISBN: 978-3519163602
- [19] Y. Fukuda, T. Yamada, M. Sawada: „ESD-Parameter Extraction by TLP Measurement“, ESD-Association, EOS/ESD-Symposium, 2009, Anaheim, California, page 1A.5-1
- [20] <http://www.hppi.de/products.html>, Abgerufen: August 2010
- [21] A. Schwab, W. Kürner: „Elektromagnetische Verträglichkeit“, Springer, 2000, ISBN: 978-3642166099
- [22] F. zur Nieden, B. Arndt, J. Edenhofer, S. Frei: „Vergleich von ESD-System-Level Testmethoden für Packaging und Handling“, ESD-Forum 2009, Berlin, Germany, 2009
- [23] F. zur Nieden, Y. Cao, B. Arndt, S. Frei: „Vergleichbarkeit von ESD-Prüfungen auf IC- und Systemebene oder welchen Einfluss hat eine Reduzierung der IC-ESD-Festigkeit auf die Systemfestigkeit?“, EMV-Düsseldorf, Germany, 2010
- [24] M. Marinescu, J. Winter: „Grundlagenwissen Elektrotechnik, Gleich-, Wechsel- und Drehstrom“, Vieweg, 2011, ISBN 978-3-8348-0555-3

- [25] M Reisch: „Elektronische Bauelemente Funktion, Grundschtaltung, Modellierung mit SPICE“, Springer, Berlin, 1998, ISBN: 978-3540340140
- [26] W. Leonhard: „Wechselströme und Netzwerke: Studienbuch für Elektrotechniker ab 3. Semester“, Vieweg, 1972, ISBN: 978-3528130039
- [27] M. Thumm, W. Wiesbeck, S. Kern: „Hochfrequenzmesstechnik: Verfahren und Messsysteme: Verfahren und Meßsysteme“, Teubner Verlag, Auflage: 2, 1998, ISBN: 978-3519163602
- [28] M Werner: „Nachrichtentechnik: Eine Einführung für alle Studiengänge“, Vieweg, Auflage: 7, 2010, ISBN: 978-3834809056
- [29] U. Tietze, C. Schenk: „Halbleiter-Schaltungstechnik“, Springer, Auflage: 12, 2002, ISBN: 978-3540428497
- [30] G. Zimmer: „Hochfrequenztechnik: Lineare Modelle“, Springer, 2000, ISBN: 978-3540667162
- [31] E. Philippow: „Nichtlineare Elektrotechnik“, Geest u. Portig, Auflage: 2, 1971, ASIN: B0000BT0KG
- [32] R. Standler: “Protection of Electronic Circuits from Overvoltages”, Dover Pubn Inc, 2002, ISBN: 978-0486425528
- [33] R. Ose: „Elektrotechnik für Ingenieure: Bauelemente und Grundschtaltungen mit PSPICE“, Hanser Fachbuchverlag, 2006, ISBN: 978-3446406780
- [34] B. Seol, J. Lee, J. Lim, H. Lee, H. Park, A. Nandy, D. Pommerenke: „A Circuit Model for ESD-Performance Analysis of Printed Circuit Boards”, IEEE Electrical Design of Advanced Packageing and Systems Symposium, page 120-123, 2008
- [36] S. Frei, D. Pommerenke, B. Arndt: „Hochspannungsverkopplung in elektronischen Komponenten und Steuergeräten“, FAT-Schriftenreihe 249, Forschungsvereinigung Automobiltechnik (FAT), 2013
- [37] L. Siny: „Näherungsformel nach Hammerstad und Jensen, Handbuch passiver elektronischer Bauelemente: Aufbau, Funktion, Eigenschaften, Dimensionierung und Anwendung“, Franzis, 2007, ISBN: 978-3772354304

- [38] J. Passoke: „Bestimmung des frequenzabhängigen Wellenwiderstandes von Mikrostreifenleitungen“, Dissertation, Hannover, 1998
- [39] E. Hammerstad, O. Jensen: „Accurate Models for Microstrip Computer Aided-Design“, Seite 407-409, IEEE, MTT-S Internat. Symposium, Washington DC, 1980
- [40] O. Zinke, H. Brunswig: „Hochfrequenztechnik 1: Hochfrequenzfilter, Leitungen, Antennen“, Springer, Berlin, 1999, ISBN: 978-3540664055
- [41] A. Ruhli: „Equivalent circuit models for three dimensional multiconductor systems“, Seite 216 – 221, IEEE Transactions on Microwave Theory and Techniques, 1974
- [42] J. Nitsch, F. Gronwald, G. Wollenberg: „Radiating Nonuniform Transmission-Line Systems and the Partial Element Equivalent Circuit Method“, John Wiley & Sons, 2009, ISBN: 978-0470845363
- [43] CST: „PCBMod2010, <http://www.cst.com/Content/Products/SimLab/Overview.aspx>“, Abgerufen: September 2010
- [44] T. Wittig: „Zur Reduzierung der Modellordnung in elektromagnetischen Feldsimulationen“, 101-111, Cuvillier, 2004, ISBN: 978-3865372086
- [45] A. Bucur, H. Aichele, S. Dickmann: „Möglichkeiten und Grenzen der EMV-Simulation von 3D-Leiterstrukturen mit Beschaltung“, Seite 385-391, 12. Internationale Fachmesse und Kongress für Elektromagnetische Verträglichkeit, VDE VERLAG, Messe Düsseldorf, 2004, ISBN: 978-3800728107
- [46] S. Klupsch: „Entwurfsmethodik heterogener Systeme“, Technische Universität Darmstadt, Dissertation, 2004
- [47] S. Joshi, E. Rosenbaum: „Compact Modeling of Vertical ESD Protection NPN Transistors for RF Circuits“, EOS/ESD-Symposium 2002, USA, 2002
- [48] J. Willemen, A. Andreini, V. De Heyn, K. Esmark u.a.: „Characterization and Modeling of Transient Device Behavior under CDM ESD Stress“, EOS/ESD-Symposium 2003, USA, 2003
- [49] V. Vassilev, M. Lorenzini, P. Jansen u.a.: „Advanced modelling and parameter extraction of the MOSFET ESD breakdown triggering in the 90nm CMOS node technologies“, EOS/ESD-Symposium 2004, USA, 2004

- [50] F. Farbiz, E. Rosenbaum: „Analytical Modeling of External Latchup“, EOS/ESD-Symposium 2007, USA, 2007
- [51] J. Manouvrier, P. Fonteneau, C. Legrand u.a.: „A Physics-Based Compact Model for ESD Protection Diodes under Very Fast Transients“, EOS/ESD-Symposium 2008, USA, 2008
- [52] B. Aliaj, V. Vashchenko, Q. Cui u.a.: „2.5-Dimensional Simulation for Analyzing Power Arrays Subject to ESD Stresses“, EOS/ESD-Symposium 2009, USA, 2009
- [53] A. Wallash: „ESD SPICE Model and Measurements for a Hard Disk Drive“ EOS/ESD-Symposium 2003, USA, 2003
- [54] V. Vassilev , G. Groeseneken, S. Jenei u. a.: „Modelling and Extraction of RF Performance Parameters of CMOS Electrostatic Discharge Protection Devices“, EOS/ESD-Symposium 2002, USA, 2002
- [55] M. Stockinger, J. Miller: „Characterization and Modeling of Three CMOS Diode Structures in the CDM to HBM Timeframe“ EOS/ESD-Symposium 2006, USA, 2006
- [56] A. Griffoni, A. Tazzoli, S. Gerardin u.a.: „Electrostatic Discharge Effects in Fully Depleted SOI MOSFETs with Ultra-Thin Gate Oxide and Different Strain-Inducing Techniques“ EOS/ESD-Symposium 2008, USA, 2008
- [57] H. Hayashi, T. Kuroda, K. Kato, K. Fukuda, S. Baba, Y. Fukuda: „ESD Protection Design Using a Mixed-Mode Simulation for Advanced Devices“, EOS/ESD-Symposium 2004, USA, 2004
- [58] H. Hyatt, J. Harris, A. Alonzo, P. Bellew: „TLP Measurements for Verification of ESD-Protection Device Response“, IEEE Transactions on electronics packaging manufacturing, vol. 24, no. 2, Seite 90-98, 2001
- [59] <http://www.ic-emc.org/>, Abgerufen: Dezember 2010
- [60] M. Hiebel: „Grundlagen der vektoriiellen Netzwerkanalyse“, Rohde&Schwarz GmbH, München, 2006
- [61] M. Meyer: „Grundlagen der Informationstechnik: Signale, Systeme und Filter“, Vieweg, 2002, ISBN: 978-3528039318

- [62] A. Boyer: „Introduction to the modeling and simulation of electromagnetic compatibility of integrated circuits”, APEMC Beijing, 2010
- [63] M. Stockinger, S. Ruth, J. Miller, K. Nguyen, Y. Akrouf, M. Kearney, B. Drew, S. Ngo: „CDM Protection Design for CMOS Applications Using RC-Triggered Rail Clamps”, Eos-31: Electrical Overstress/Electrostatic Discharge Symposium Proceedings, 2009
- [64] Y. Cao, B. Arndt, F. zur Nieden, F. Kremer, M. Stecher, S. Frei: „Charakterisierung und systematische Bewertung von externen ESD-Schutzelementen“, EMV 2010, Düsseldorf, März 2010
- [65] Y. Cao, U. Glaser, J. Willemsen, F. Magrini, M. Mayerhofer, S. Frei, M. Stecher: „ESD-Simulation with Wunsch-Bell based Behavior Modeling Methodology“, EOS/ESD-Symposium 2011, USA, 2011
- [66] R. Patzelt, H. Schweinzer: “Elektrische Messtechnik“, Springer, 1996, ISBN: 3-211828737
- [67] A. Wang: “On-Chip ESD Protection for Integrated Circuits: An IC Design Perspective”, Springer, 2002, ISBN: 978-0792376477
- [68] H. Sarbishaei: “Electrostatic Discharge Protection Circuit for High-Speed Mixed-Signal Circuits”, University of Waterloo (Canada), 2007, ISBN: 978-0494345429
- [69] S. Voldman: „Electrostatic Discharge (ESD) and Failure Analysis: Models, Methodologies and Mechanisms for CMOS, Silicon On Insulator and Silicon Germanium Technologies“, Journal of semiconductor technology and science, vol.3, no. 3, 2003
- [70] J. Kopitz, W. Polifke: „Wärmeübertragung: Grundlagen, analytische und numerische Methoden“, Pearson Studium, 2009, ISBN:978-3827373496
- [71] V. Arkhipov, E. Astvatsaturyan, V. Godovosyn, A. Rudenko, „International Journal of Electronics 55, 1983, page 395
- [72] H. Herwig, A. Moschallski: „Wärmeübertragung: Physikalische Grundlagen“, Vieweg, 2009, ISBN: 978-3834807557
- [73] D. Wunsch, R. Bell: „Determination of threshold voltage levels of semiconductor diodes and transistors due to pulsed voltages“, IEEE Transactions on Nuclear Science, NS-15 (6), Seite 244–259, 1968

- [74] S. Voldman: „ESD: Physics and Devices“, John Wiley & Sons, Berlin, 2004, ISBN: 978-0470847534
- [75] R. Steinhoff, J. Huang, P. Hower, J. Brodsky: „Current Filament Movement and Silicon Melting in an ESD-Robust DENMOS Transistor“, ESD-Association, EOS/ESD-Symposium, 2003
- [76] M. Ferrara, G. Owen: „The addition of active electron beam probing techniques to an existing failure analysis process“, Technical Quality Papers, Analog Devices, 2002
- [77] H. Baehr, K. Stephan: „Wärme- und Stoffübertragung“, Seite 211-212 Springer, Berlin, 2010, ISBN: 978-3642055003
- [78] H. Carslaw, J. Jaeger: "Conduction of Heat in Solids", Oxford University Press, Amen House, London, England, Second Ed., 1959, pages 348-349.
- [79] D. Tasca: „Pulse Power Modes in Semiconductors“, IEEE Transactions on Nuclear Science, 1970
- [80] E. Amerasekera, C. Duvvury, W. Anderson, H. Gieser, S. Ramaswamy: „ESD-in Silicon Integrated Circuits“, John Wiley & Sons, 2. Auflage, ISBN: 978-0471498711, 2002
- [81] S. Sinha, H. Swaminathan, G. Kadamati and C. Duvvury: „An automated Tool for Detecting ESD-Design Errors“, in Proc. 20th EOS/ESD-Symposium, pp. 208–217, 1998
- [82] H. Baehr, K. Stephan: „Wärme- und Stoffübertragung“, Springer, Berlin, 2010, ISBN: 978-3642055003
- [83] D. Schröder: „Leistungselektronische Bauelemente“, Kapitel 10.2.1 Thermische Eigenschaften von Leistungskomponenten, Auflage: 2, Springer, Berlin, 2006, ISBN: 978-3540287285
- [84] S. Goßner: „Grundlagen der Elektronik. Halbleiter, Bauelemente und Schaltungen“, Shaker, 2011, ISBN: 978-3826588259
- [85] L. Manouvrier, P. Fonteneau, C. Legrand, C. Richier, H. Beckrich-Ros: „A Scalable Compact Model of Interconnects Self-Heating in CMOS Technology“, Seite A4.2-1 A4.2-6, EOS/ESD-Symposium, 2008

- [86] M. Stockinger, J. Miller: „Characterization and Modeling of Three CMOS Diode Structures in the CDM to HBM Timeframe“, Seite 46-53, EOS/ESD-Symposium, Tucson, Arizona, 2006
- [87] H. Binder: „Lexikon der chemischen Elemente“, Hirzel Verlag, Stuttgart, 1999, ISBN: 978-3777607368
- [88] S. Bychikhin, V. Dubec, M. Litzenberger, D. Pogany, E. Gornik, G. Groos, K. Esmark, M. Stecher, W. Stadler, H. Gieser, H. Wolf: „Investigation of ESD-Protection Elements Under High Current Stress in CDM-Like Time Domain Using Backside Laser Interferometry“, Seite 4B.63, ESDA, 24 EOS/ESD-Symposium, North Carolina, 2002
- [89] F. Oettinger, D. Blackburn, S. Rubin: “Thermal Characterization of Power Transistors” IEEE Trans. Electron Devices, ED-23, pp. 831-838, Aug. 1976
- [90] M. Ash: „Semiconductor Junction non-linear failure power thresholds: Wunsch-Bell revisited“, Seite 122-127, 5th EOS/ESD-Symposium, 1983
- [91] A. Christou: „RiAC, Reliability of High Temperatur Electronics“, 2006, USA, ISBN:0-9652669-4-X
- [92] J. Lutz, · H. Schlangenotto, U. Scheuermann, R. Doncker: „Semiconductor Power Devices, Physics, Characteristics, Reliability“, Springer, 2011, ISBN 978-3642111242
- [93] J. Ejury: „The SMD-Package Selection for MOSFETs Considering Thermal Issues“, Application Note, Infineon technologies, 2003
- [94] J. Reiner: „Latent gate oxide defects caused by CDM-ESD“, Seite 6.5-1 - 6.5-11, EOS/ESD-Symposium, 1995
- [95] E. Riedlberger: „Analyse und Modellierung des Alterungsverhaltens Lateraler DMOS-Transistoren bei Belastung durch heiße Ladungsträger“, Dissertation, Unterhaching, 2011