technische universität
dortmund

Lehrstuhl für
Mikro- und Nanoelektronik

Technische Universität Dortmund

Fakultät für Elektrotechnik und Informationstechnik

Lehrstuhl für Mikro- und Nanoelektronik

Design und Layout eines 2-Bit Flash ADCs für kryogene Anwendungen

Bachelorarbeit

zur Erlangung des akademischen Grades eines

Bachelor of Science (B. Sc.)

vorgelegt von

Samet Bugrahan Mutlu

1. Prüfer:	Prof. Dr. Stefan Tappertzhofen
2. Prüfer:	Prof. Dr. Martin Pfost
Betreuer:	Daniel Staudt, M. Sc.

Vorgelegt am: 24.06.2026

Danksagung

Ich sehe es als meine Pflicht an, meiner Mutter meinen unendlichen Dank auszusprechen. Sie hat mir ermöglicht, bis hierher zu kommen, mich nach jedem Rückschlag wieder aufgerichtet und mich die Schwierigkeiten, die sie selbst durchstehen musste, niemals spüren lassen. Seit meinem ersten Tag hat sie mich in jeder Hinsicht unterstützt und alles dafür getan, dass ich meinen Träumen folgen kann. Sie ist meine Heldin ohne Umhang. Was sie für mich getan hat, kann ich niemals zurückzahlen. Ich liebe dich sehr, Mama.

Inhaltsverzeichnis

Danksagung **3**

Akronymverzeichnis **III**

1 Einleitung **1**

2 Theoretische Grundlagen **3**

2.1 Physikalische Grundlagen des MOSFETs 3

2.1.1 Aufbau und Funktionsprinzip 3

2.1.2 Arbeitsbereiche 5

2.2 MOSFET bei kryogenen Temperaturen 7

2.2.1 Carrier Freeze-Out 7

2.2.2 Erhöhung der Ladungsträgerbeweglichkeit 8

2.2.3 Verschiebung der Schwellspannung 8

2.2.4 Subthreshold-Slope 9

2.2.5 Kink-Effekt 10

2.2.6 Schaltungsaufbau der Komparatorstufe 11

2.3 Schaltungsaufbau der CMOS-Inverterstufe 12

2.4 Grundlagen des Flash-ADCs 14

2.4.1 Funktionsprinzip 14

2.4.2 Einfluss von Tieftemperatureffekten auf den Flash-ADC . . 15

3 Durchführung und Auswertung **17**

3.1 Validierung der LTSpice-Simulationen 17

3.1.1 Simulationsaufbau der Validierung 18

3.1.2 Ausgangskennlinien der Modelle 19

3.1.3 Eingangskennlinien der Modelle 21

3.1.4 Subthreshold-Kennlinien der Modelle 24

3.2 Entwurf und Analyse des Komparators 25

3.2.1 Einfluss der Transistordimensionierung 25
3.2.2 DC-Analyse des Komparators über der Temperatur 27
3.2.3 Transientenanalyse des Komparators über der Temperatur . 29
3.3 Analyse der CMOS-Inverterstufe 34
3.3.1 Einfluss der Transistordimensionierung 34
3.3.2 DC-Analyse der CMOS-Inverterstufe über der Temperatur . 37
3.3.3 Transientenanalyse der CMOS-Inverterstufe über der Temperatur 39
3.4 Aufbau und Analyse des 2-Bit-Flash-ADCs 47
3.4.1 Schaltungsaufbau und Referenzerzeugung 48
3.4.2 DC-Analyse des 2-Bit-Flash-ADCs über der Temperatur . . . 49
3.4.3 Transientenanalyse des 2-Bit-Flash-ADCs über der Temperatur 53
3.5 Layoutentwurf und Verifikation des 2-Bit-Flash-ADCs 58
3.5.1 Layout der Komparatorstufe 58
3.5.2 Layout der Inverterstufe 60
3.5.3 Zusammenführung zum vollständigen ADC-Layout 60

4 Fazit und Ausblick **65**

Abbildungsverzeichnis **V**

Tabellenverzeichnis **IX**

Literaturverzeichnis **XI**

A Anhang **XIII**
A.1 Ergänzende Daten der Komparatorstufe XIII
A.2 Ergänzende Daten der CMOS-Inverterstufe XVI
A.3 Ergänzende Daten des 2-Bit-Flash-ADCs XIX

Eidesstattliche Versicherung **XXIII**

Akronymverzeichnis

ADC	Analog-to-Digital Converter
BSIM3v3	Berkeley Short-Channel IGFET Model Version 3.3
CMOS	Complementary Metal-Oxide-Semiconductor
DC	Direct Current
DNL	Differential Nonlinearity
DRC	Design Rule Check
GND	Ground
LVS	Layout Versus Schematic
MOSFET	Metalloxid-Halbleiter-Feldeffekttransistor
NMOS	n-Kanal-Metalloxid-Halbleiter-Feldeffekttransistor
PMOS	p-Kanal-Metalloxid-Halbleiter-Feldeffekttransistor
RC	Resistor-Capacitor

1 Einleitung

Der Einsatz elektronischer Schaltungen bei kryogenen Temperaturen gewinnt in technischen und wissenschaftlichen Anwendungen zunehmend an Bedeutung. Solche Betriebsbedingungen treten insbesondere im Quantencomputing und in hochsensitiven Sensorsystemen. Typische Arbeitstemperaturen liegen dabei zwischen 77 K und 4 K. In diesem Temperaturbereich weicht das elektrische Verhalten von Halbleiterbauelementen deutlich vom Verhalten bei Raumtemperatur ab. Ursachen sind unter anderem kryogene Effekte wie Carrier Freeze-Out, die Erhöhung der Ladungsträgerbeweglichkeit, die Verschiebung der Schwellspannung und die Veränderung des Subthreshold-Slopes. Diese Effekte beeinflussen die Kennlinien, Arbeitspunkte und Schalteigenschaften von MOSFETs. [1, 2]

Eine weitere Herausforderung ergibt sich aus der räumlichen Trennung zwischen den kryogenen Bauelementen und der zugehörigen Steuer- und Auswerteelektronik. Insbesondere in Quantencomputern werden die Qubits bei sehr niedrigen Temperaturen betrieben, während sich die klassische Steuerelektronik häufig bei Raumtemperatur befindet. Mit zunehmender Anzahl an Qubits steigt dadurch auch die Anzahl der erforderlichen Verbindungen zwischen den unterschiedlichen Temperaturstufen. Dies führt zu einem zusätzlichen Wärmeeintrag in das Kühlsystem und begrenzt die Skalierbarkeit des Gesamtsystems. Ein möglicher Lösungsansatz besteht darin, Teile der Steuer- und Auswerteelektronik in der Nähe der kryogenen Bauelemente zu betreiben. Die CMOS-Technologie bietet hierfür aufgrund ihrer Integrationsfähigkeit und ihrer Eignung zur Realisierung komplexer analoger, digitaler und analog-digitaler Schaltungen eine vielversprechende Grundlage. [1, 2]

Der Analog-Digital-Wandler übernimmt eine zentrale Funktion innerhalb solcher Auswertesysteme. Er bildet eine Schnittstelle zwischen einer analogen Signalquelle und der nachfolgenden digitalen Verarbeitung. Eine besonders schnelle Architektur stellt der Flash-ADC dar. Dabei wird die Eingangsspannung parallel mit mehreren Referenzspannungen verglichen. Ein 2-Bit-Flash-ADC benötigt drei Komparatoren und unterteilt den Eingangsspannungsbereich in vier Quantisierungsintervalle. Aufgrund seines überschaubaren Aufbaus wird er als Teststruktur verwendet. [3, 4]

Die Übertragung eines bei Raumtemperatur entwickelten Schaltungsentwurfs auf kryogene Betriebsbedingungen ist nicht ohne eine erneute Untersuchung möglich. Die Veränderungen der Transistorkennlinien wirken sich auch auf die Arbeitspunkte aus. Eine wesentliche Herausforderung stellt dabei die begrenzte Unterstützung kryogener Temperaturen durch konventionelle Schaltungsentwurfs- und Simulationsumgebungen dar. Von zentraler Bedeutung sind insbesondere die verwendeten Kompaktmodelle. Diese beschreiben das elektrische Verhalten der Bauelemente mithilfe vereinfachter mathematischer Gleichungen und bilden die Schnittstelle zwischen dem physikalischen Transistorverhalten und der Schaltungssimulation. Für eine zuverlässige Simulation kryogener Schaltungen müssen die temperaturabhängigen Effekte auf die MOSFETs daher im Kompaktmodell berücksichtigt werden. [1]

Da die Fertigung integrierter Schaltungen einen erheblichen zeitlichen und wirtschaftlichen Aufwand erfordert, ist eine simulationsbasierte Analyse im frühen Schaltungsentwurf essenziell für die Risikominimierung. Sie ermöglicht es, kritische Arbeitspunkte, ungeeignete Dimensionierungen und mögliche Funktionsgrenzen vor einer physikalischen Umsetzung zu identifizieren.

Ziel dieser Arbeit ist der Entwurf, die temperaturabhängige Analyse und die Layoutumsetzung eines 2-Bit-Flash-ADCs in einer 0,35 µm-CMOS-Technologie. Der untersuchte Temperaturbereich reicht von 27 °C bis −269 °C. Zunächst werden die Eingangs-, Ausgangs- und Subthreshold-Kennlinien der verwendeten NMOS- und PMOS-Modelle untersucht. Die Ergebnisse aus LTSpice werden mit Simulationen aus Cadence verglichen. Beide Simulationsumgebungen verwenden denselben AMS-Modellsatz auf Grundlage des BSIM3v3-Kompaktmodells. Dieser Vergleich untersucht die Übereinstimmung der Modellberechnung, stellt jedoch keine experimentelle Validierung für den kryogenen Temperaturbereich dar.

Anschließend werden die Komparatorstufe und die nachgeschaltete CMOS-Inverterstufe dimensioniert und mithilfe von DC- und Transientenanalysen untersucht. Danach werden die Schaltungsblöcke zum vollständigen 2-Bit-Flash-ADC zusammengeführt und hinsichtlich ihrer Umschaltpunkte, Ausgangscodes, Schaltzeiten und Leistungsaufnahme bewertet. Abschließend wird die Schaltung in Cadence Virtuoso als Layout umgesetzt und der erreichte Stand mithilfe von DRC- und LVS-Prüfungen bewertet.

2 Theoretische Grundlagen

In diesem Kapitel werden die theoretischen Grundlagen für den Entwurf und die Analyse des 2-Bit-Flash-Analog-Digital-Wandlers erläutert. Dazu gehören die physikalischen Grundlagen des MOSFETs, die relevanten kryogenen Effekte sowie der Aufbau der verwendeten Komparator- und CMOS-Inverterstufen. Abschließend wird das Funktionsprinzip des Flash-ADCs beschrieben.

2.1 Physikalische Grundlagen des MOSFETs

Der Metall-Oxid-Halbleiter-Feldeffekttransistor (MOSFET) ist das zentrale Bauelement integrierter Schaltungen. Sein Verhalten basiert auf der Steuerung eines leitfähigen Kanals zwischen Source und Drain durch ein elektrisches Feld, das über das Gate angelegt wird.

2.1.1 Aufbau und Funktionsprinzip

Der MOSFET besitzt vier Anschlüsse: Gate, Source, Drain und Bulk. Bei einem n-Kanal-MOSFET, wie in der Abbildung 2.1 dargestellt, liegen Source und Drain als stark n-dotierte Gebiete in einem p-dotierten Substrat. Zwischen Source und Drain befindet sich das Gate, das durch eine dünne Oxidschicht elektrisch von dem Halbleiter getrennt ist. Das Gate, das Oxid und der Halbleiter bilden eine MOS-Struktur, die elektrisch wie eine Kapazität wirkt.

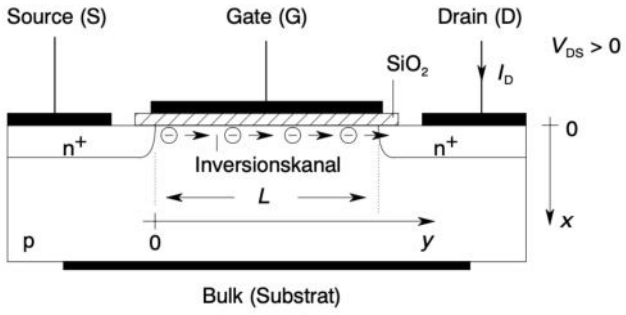


Abbildung 2.1.: Technologischer Querschnitt des n-Kanal-MOSFETs
[5]

Das Gate bildet die Elektrode, die Halbleiteroberfläche die zweite Elektrode und das Gateoxid das Dielektrikum. Die flächenspezifische Oxidkapazität ergibt sich somit zu

$$c'_{ox} = \frac{\varepsilon_{SiO_2}}{d_{ox}}. \tag{2.1}$$

Dabei bezeichnet ε_{SiO_2} die Permittivität des Gateoxids und d_{ox} die Oxiddicke. Eine am Gate angelegte Spannung führt zu einem elektrischen Feld im Oxid. Dieses Feld verändert das Oberflächenpotential ψ_s im Halbleiter. Im Banddiagramm äußert sich diese Änderung als Bandverbiegung der Leitungsbandkante W_C und der Valenzbandkante W_V im Silizium nahe der Grenzfläche zum Gateoxid. [5]

Der sogenannte Flachbandfall (siehe Abbildung 2.2) dient als Referenzzustand der MOS-Struktur. In diesem Fall ist das Oberflächenpotential ψ_s gleich null. Die Leitungsband- und Valenzbandkante verlaufen im Halbleiter näherungsweise flach. Die dafür erforderliche Gate-Spannung wird als Flachbandspannung V_{FB} bezeichnet. Im idealisierten Fall wird die Flachbandspannung durch die Austrittsarbeitsdifferenz zwischen Gate-Material und Halbleiter sowie durch die Dotierung des Halbleiters bestimmt. [5]

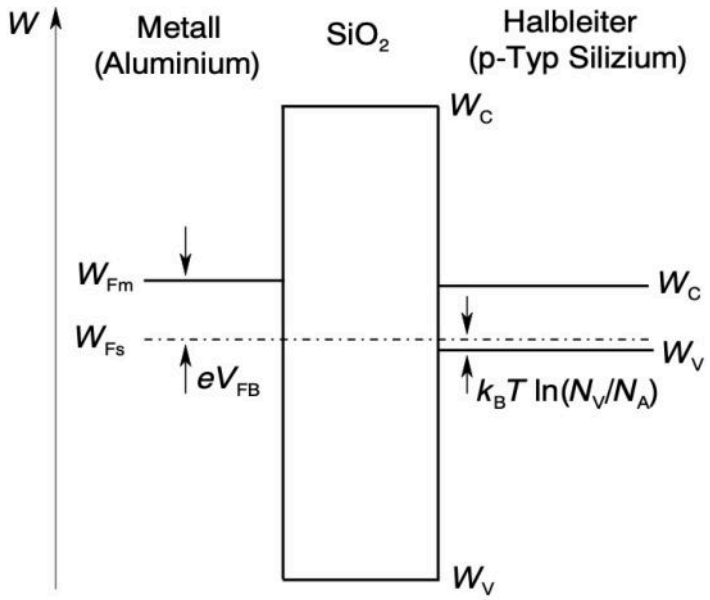


Abbildung 2.2.: Flachbandfall der MOS-Struktur
[5]

Ausgehend vom Flachbandfall lassen sich bei einem p-dotierten Substrat drei Zustände der MOS-Struktur unterscheiden. Liegt die Gatespannung unterhalb der Flachbandspannung, werden Löcher zur Gateoxid-Grenzfläche gezogen. Es entsteht eine Anreicherung von Majoritätsträgern an der Halbleiteroberfläche. Dieser Zustand wird als Akkumulation bezeichnet. [5]

Wird die Gatespannung leicht größer als die Flachbandspannung, werden die Löcher aus dem oberflächennahen Bereich verdrängt. Ortsfeste ionisierte Akzeptoratome bleiben zurück und es bildet sich eine Raumladungszone zum Bulk aus. Dieser Zustand wird als Verarmung beziehungsweise Depletion bezeichnet.

Bei weiterer Erhöhung der positiven Gatespannung steigt die Elektronendichte an der Gateoxid-Grenzfläche stark an. Zunächst liegt schwache Inversion vor. Ab einer ausreichend

hohen Gatespannung überwiegen die Elektronen an der Oberfläche gegenüber den Löchern. Es bildet sich eine dünne n-leitende Inversionsschicht im p-dotierten Substrat. Dieser Zustand wird als starke Inversion bezeichnet. Bei n-Kanal- und p-Kanal-MOSFETs bildet die jeweilige Inversionsschicht den leitfähigen Kanal zwischen Source und Drain. Die Spannung, die den Beginn starker Inversion auslöst, wird als Schwellspannung beziehungsweise Einsatzspannung bezeichnet. Die Abbildung 2.3 zeigt das zugehörige Bänderschema der MOS-Struktur. [5]

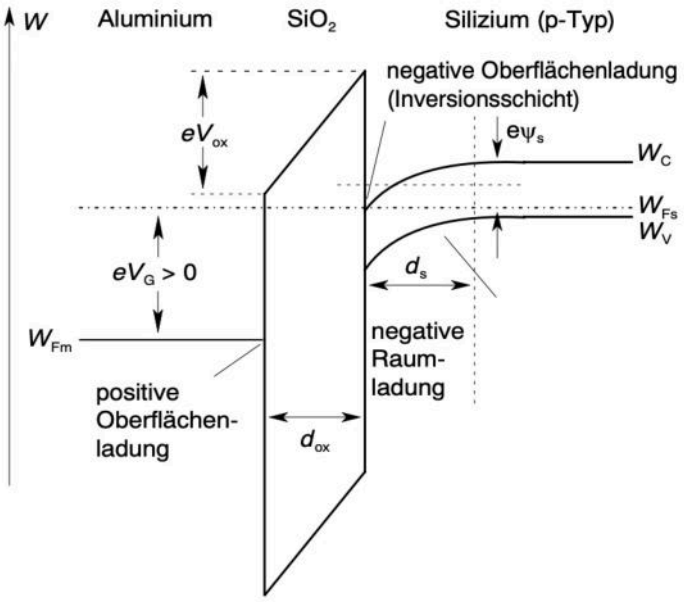


Abbildung 2.3.: Inversion der MOS-Struktur
[5]

Wenn eine zusätzliche Spannung zwischen Drain und Source V_{DS} angelegt wird, können durch den gebildeten Inversionskanal Ladungsträger transportiert werden. Der daraus resultierende Drainstrom I_D wird durch die Gate-Source-Spannung V_{GS} gesteuert. Die Gate-Source-Spannung bestimmt dabei die Ausbildung des Inversionskanals und damit die Leitfähigkeit zwischen Source und Drain. [5]

Für den p-Kanal-MOSFET gilt das gleiche Grundprinzip mit umgekehrten Dotierungen und umgekehrten Spannungspolaritäten. Aufgrund seiner elektrischen Eigenschaften wird der MOSFET in integrierten Schaltungen sowohl als Schaltelement als auch als Verstärkerelement eingesetzt. Für das Verhalten in elektronischen Schaltungen sind neben dem grundsätzlichen Aufbau auch parasitäre Effekte wie Kapazitäten zwischen den Anschlüssen sowie temperaturabhängige Änderungen der Halbleitereigenschaften relevant. Diese Einflüsse gewinnen insbesondere bei kryogenen Temperaturen an Bedeutung und müssen daher bei der Analyse kryogener Schaltungen berücksichtigt werden. [1, 5]

2.1.2 Arbeitsbereiche

Das Strom-Spannungs-Verhalten eines n-Kanal-MOSFETs lässt sich abhängig von der Gate-Source-Spannung V_{GS} und der Drain-Source-Spannung V_{DS} in drei grundlegende Arbeitsbe-

reiche einteilen. Diese Bereiche hängen davon ab, ob ein Inversionskanal existiert und wie die Spannung entlang des Kanals verteilt ist. Die Abbildung 2.4 zeigt die typische Ausgangskennlinie eines 40 nm-n-Kanal-MOSFETs mit Sperrbereich, linearem Bereich und Sättigungsbereich.

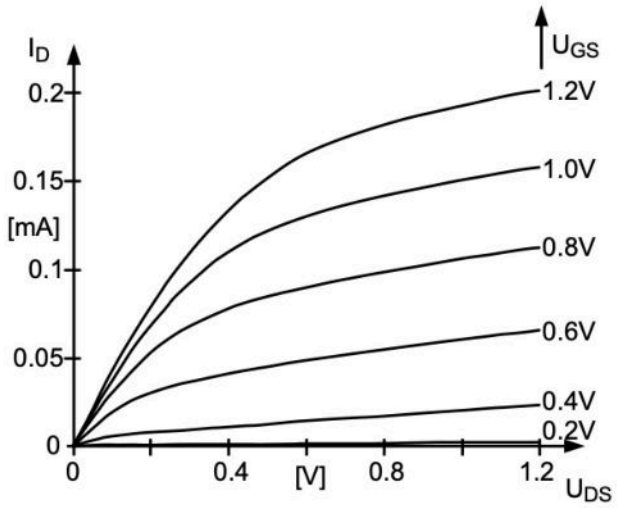


Abbildung 2.4.: Typische Ausgangskennlinien eines n-Kanal-MOSFETs mit linearem Bereich und Sättigungsbereich [6].

Liegt die Gate-Source-Spannung unterhalb der Schwellspannung,

$$V_{GS} < V_{th}, \tag{2.2}$$

befindet sich der MOSFET noch im Sperrbereich. In diesem Fall bildet sich kein stark leitfähiger Inversionskanal zwischen Source und Drain aus. Der Drainstrom ist im idealen Fall gleich null. In realen Transistoren treten unterhalb der Schwellspannung weiterhin Subthreshold-Ströme und Leckströme auf. Daher geht der Drainstrom im Sperrbereich nur näherungsweise gegen null.

Wird die Gate-Source-Spannung größer als die Schwellspannung,

$$V_{GS} > V_{th} \tag{2.3}$$

bildet sich ein leitfähiger Inversionskanal aus. Für kleine Drain-Source-Spannungen befindet sich der MOSFET im linearen Bereich, solange die Bedingung

$$V_{DS} < V_{GS} - V_{th} \tag{2.4}$$

gilt. In diesem Bereich ist der Kanal zwischen Source und Drain durchgehend ausgebildet. Der MOSFET verhält sich näherungsweise wie ein spannungsgesteuerter Widerstand. Der Drainstrom kann im idealen Transistormodell durch die Gleichung

$$I_D = \mu_n c'_{ox} \frac{W}{L} \left[(V_{GS} - V_{th})\, V_{DS} - \frac{V_{DS}^2}{2} \right] \tag{2.5}$$

beschrieben werden. Dabei bezeichnet μ_n die Elektronenbeweglichkeit im Inversionskanal, c'_{ox} die flächenspezifische Oxidkapazität, W die Kanalweite und L die Kanallänge [5]. Für kleine Werte von V_{DS} ist der quadratische Term $\frac{V_{DS}^2}{2}$ gegenüber dem linearen Term klein. Der Drainstrom steigt daher annähernd linear mit V_{DS} an.

Mit zunehmender Drain-Source-Spannung V_{DS} geht der MOSFET vom linearen Bereich in den Sättigungsbereich über, sobald

$$V_{DS,\text{sat}} = V_{GS} - V_{th} \tag{2.6}$$

gilt. Im Sättigungsbereich verhält sich der MOSFET näherungsweise wie eine von der Gate-Source-Spannung gesteuerte Stromquelle. Der Sättigungsstrom ergibt sich zu

$$I_{D,\text{sat}} = \frac{1}{2}\mu_n c'_{ox}\frac{W}{L}\left(V_{GS} - V_{th}\right)^2 . \tag{2.7}$$

Diese ideale Betrachtung wird in realen Transistoren durch Effekte wie Kanallängemodulation und bei tiefen Temperaturen durch den Kink-Effekt erweitert. [5]

2.2 MOSFET bei kryogenen Temperaturen

Der Betrieb von MOSFETs unter kryogenen Temperaturen führt zu grundlegenden Änderungen der physikalischen Eigenschaften des Halbleiters und damit zu einem deutlich veränderten elektrischen Verhalten des Bauelements. Diese Effekte bestimmen später die Schaltpunkte und Arbeitspunkte der CMOS-Grundschaltungen.

2.2.1 Carrier Freeze-Out

Ein wichtiger physikalischer Tieftemperatureffekt ist der sogenannte Carrier Freeze-Out. Bei sinkender Temperatur nimmt die thermische Energie der Ladungsträger ab. Dadurch werden Dotierstoffatome nicht mehr vollständig ionisiert. Ein Teil der Elektronen beziehungsweise Löcher bleibt an Donator- oder Akzeptorionen gebunden und steht nicht als freier Ladungsträger im Leitungs- beziehungsweise Valenzband zur Verfügung. Die Anzahl freier, für den Ladungstransport verfügbarer Ladungsträger nimmt somit ab. [1, 7]

Für MOSFETs bedeutet Carrier Freeze-Out nicht, dass der Transistor nicht mehr leiten kann. MOSFETs können auch unterhalb der Freeze-Out-Temperatur weiter funktionieren. Die Ladungsträger im Inversionskanal werden dabei aus den stark dotierten Source- und Drain-Gebieten bereitgestellt. [3]

Der Widerstand des Halbleiters hängt von der Ladungsträgerkonzentration und der Beweglichkeit ab. Sinkt die Konzentration freier Ladungsträger, kann der Widerstand dotierter Bereiche ansteigen. Dieser Effekt ist vor allem in den schwach dotierten Bereichen wie im Kanal-, Bulk- und Wannenbereich relevant. Dort kann der steigende Widerstand dazu führen, dass durch Stoßionisation erzeugte Ladungsträger nicht mehr ausreichend über den Bulk-Anschluss abgeführt werden. So kann sich das Bulk-Potential lokal verändern. Diese Selbstpolarisation des

Bulks beeinflusst die effektive Schwellspannung und kann zu Kennlinienanomalien wie dem Kink-Effekt führen. [3, 8, 9]

2.2.2 Erhöhung der Ladungsträgerbeweglichkeit

Neben dem Carrier Freeze-Out stellt die deutliche Zunahme der Ladungsträgerbeweglichkeit μ einen weiteren wesentlichen Effekt bei kryogenen Temperaturen dar. Die Beweglichkeit beschreibt den Einfluss eines elektrischen Feldes auf die Driftbewegung der Ladungsträger und ist damit eine wichtige Größe für den Drainstrom. [3, 6]

Mit sinkender Temperatur nehmen die thermischen Gitterschwingungen des Kristalls ab, wodurch die Streuung der Ladungsträger an Phononen reduziert wird. Die Abschwächung der Phononenstreuung unter kryogenen Bedingungen führt zu einer Zunahme der Ladungsträgerbeweglichkeit. [1, 6]

Die erhöhte Beweglichkeit verbessert die Leitfähigkeit des Inversionskanals und führt zu einem höheren Drainstrom. Dieser Zusammenhang folgt aus der Gleichung des Sättigungsstroms, da die Elektronenbeweglichkeit μ_n als proportionaler Faktor im Ausdruck für den Sättigungsstrom auftritt. Bei unveränderter Gate-Source-Spannung, Schwellspannung, Oxidkapazität und Transistorgeometrie führt eine höhere Beweglichkeit daher zu einem höheren Drainstrom. [5]

2.2.3 Verschiebung der Schwellspannung

Ein weiterer Effekt beim Betrieb von MOSFETs unter kryogenen Temperaturen ist die Verschiebung der Schwellspannung. Die Transferkennlinien verschieben sich bei sinkender Temperatur zu höheren Gate-Source-Spannungen. Für die Schwellspannung wird häufig eine lineare Temperaturabhängigkeit angenommen:

$$V_{\mathrm{th}}(T) = V_{\mathrm{th},0} + \alpha\,(T - T_0) \tag{2.8}$$

Dabei bezeichnet $V_{\mathrm{th},0}$ die Schwellspannung bei der Referenztemperatur T_0 und α den Temperaturkoeffizienten. Diese Näherung beschreibt den Temperaturverlauf oberhalb von 150 K, jedoch ist sie für die kryogenen Temperaturen nicht ausreichend. In der Regel wird der Beginn starker Inversion näherungsweise durch

$$\varphi_s = 2\varphi_F \tag{2.9}$$

beschrieben. Dabei wird für Bulk und die Halbleiteroberfläche dasselbe Fermi-Potential angesetzt. [1]

Bei kryogenen Temperaturen muss diese Bedingung angepasst werden. Im Bulk liegt aufgrund des Carrier-Freeze-Outs eine unvollständige Ionisation der Dotierstoffe vor. An der Halbleiteroberfläche wirkt zusätzlich das vertikale elektrische Feld des Gates. Dieses Feld stellt die für eine vollständige Ionisation an der Oberfläche erforderliche Energie bereit. Das

Fermi-Potential an der Halbleiteroberfläche unterscheidet sich daher vom Fermi-Potential im Bulk. [1]

Für den Beginn starker Inversion gilt daher unter kryogenen Bedingungen

$$\varphi_{s,\mathrm{th}} = \varphi_F^{\mathrm{CI}} + \varphi_F^{\mathrm{II}}. \tag{2.10}$$

Dabei beschreibt φ_F^{II} das Fermi-Potential bei unvollständiger Ionisation im Bulk und φ_F^{CI} das Fermi-Potential bei vollständiger Ionisation an der Halbleiteroberfläche. [1]

Die temperaturabhängige Verschiebung der Schwellspannung ergibt sich damit zu

$$V_{\mathrm{th}}(T) = V_{\mathrm{th}}(T_{\mathrm{RT}}) + \Delta V_{\mathrm{th}} \tag{2.11}$$

mit

$$\Delta V_{\mathrm{th}} = \Delta\varphi_F^{\mathrm{II}} + \theta\Delta\left(\sqrt{\varphi_F^{\mathrm{CI}} + \varphi_F^{\mathrm{II}}}\right) \tag{2.12}$$

wobei θ ein Anpassungsparameter ist und sich aus dem temperaturabhängigen Anteil der Verarmungsladung und der Oxidkapazität ergibt. Anhand der Gleichung lässt sich ebenfalls erkennen, dass die temperaturabhängige Verschiebung der Schwellspannung im kryogenen Bereich von den unterschiedlichen Fermi-Potentialen im Bulk und an der Halbleiteroberfläche abhängt. [1]

2.2.4 Subthreshold-Slope

Der Subthreshold-Slope ist eine Kenngröße zur Beschreibung des MOSFET-Verhaltens im Bereich unterhalb der Schwellspannung. Er beschreibt, welche Änderung der Gate-Source-Spannung V_{GS} erforderlich ist, um den Drainstrom I_D um eine Dekade zu verändern. Damit charakterisiert er den Übergang des Transistors vom Sperrbereich in den leitenden Zustand. Mathematisch kann der Subthreshold-Slope durch

$$S = \frac{\mathrm{d}V_{GS}}{\mathrm{d}\log_{10}(I_D)} \tag{2.13}$$

beschrieben werden. [1] Ein kleiner Subthreshold-Slope bedeutet einen steileren Übergang vom ausgeschalteten Zustand in den leitenden Bereich. Für den Subthreshold-Slope gilt näherungsweise

$$S = m\ln(10)\,\varphi_T \qquad \text{mit} \qquad \varphi_T = \frac{k_B T}{q} \tag{2.14}$$

Dabei bezeichnet k_B die Boltzmann-Konstante, T die absolute Temperatur, q die Elementarladung und m den Subthreshold-Faktor. Die Gleichung zeigt den direkten Einfluss der Temperatur auf den Subthreshold-Slope. Der Faktor $\ln(10)\frac{k_B T}{q}$ beschreibt den thermischen Anteil. Bei Raumtemperatur ergibt sich dieser Anteil näherungsweise 60 mV/dec. [1, 5]

Bei sinkender Temperatur sinkt auch der Subthreshold-Slope zunächst deutlich. Ursache dafür ist die reduzierte thermische Energie der Ladungsträger, da der thermische Anteil des Subthreshold-Slopes proportional zur Temperatur ist. Dadurch reagiert der Drainstrom im Subthreshold-Bereich stärker auf Änderungen der Gate-Source-Spannung. Der Übergang vom Sperrbereich in den leitenden Zustand wird steiler.

Elgabra [1] zeigt jedoch, dass die klassische Beschreibung des Subthreshold-Slopes im tiefkryogenen Bereich nicht mehr ausreicht. Nach dem einfachen Modell müsste der Subthreshold-Slope aufgrund der Temperaturabhängigkeit der thermischen Spannung mit sinkender Temperatur nahezu proportional abnehmen. Die Messdaten zeigen jedoch, dass sich der Subthreshold-Slope bei sehr tiefen Temperaturen nicht beliebig weiter verbessert, sondern eine Sättigung auftritt (siehe Abbildung 2.5). Diese Sättigung erklärt Elgabra mit Band-Tail-Zuständen beziehungsweise unscharfen Bandkanten. Zusätzlich beeinflussen Grenzflächenzustände den Offset und die Gate-Spannungsabhängigkeit des Subthreshold-Slopes. [1, 10]

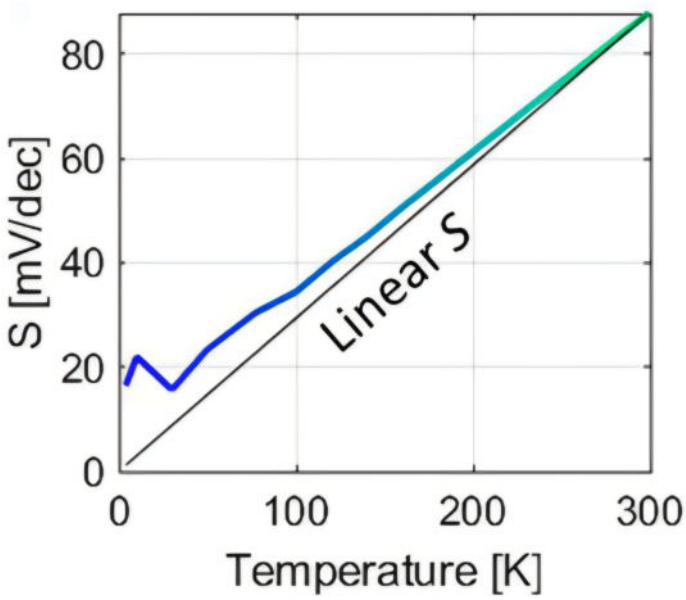


Abbildung 2.5.: Gemessener Subthreshold-Slope in Abhängigkeit von der Temperatur im Vergleich zum klassischen Modell nach [1]

2.2.5 Kink-Effekt

Der Kink-Effekt äußert sich in den Ausgangskennlinien durch einen sprunghaften Anstieg beziehungsweise einen charakteristischen „Knick“ des Drainstroms I_D bei zunehmender Drain-Source-Spannung V_{DS}. In Abbildung 2.6 ist zu erkennen, dass die Kennlinie in diesem Bereich nicht mehr dem erwarteten Sättigungsverhalten folgt, da der Drainstrom im Sättigungsbereich erneut deutlich zunimmt. [2]

Die Entstehung des Kink-Effekts ist auf das Zusammenwirken von Stoßionisation, Carrier Freeze-Out, verändertem Substratpotential und Body-Effekt zurückzuführen. Bei ausreichend

hoher Drain-Source-Spannung V_{DS} tritt im Pinch-Off-Bereich nahe am Drain Stoßionisation auf. Dabei erhalten Elektronen durch das hohe elektrische Feld genügend Energie, um durch Stoßionisation aus dem Kristallgitter zusätzliche Elektronen-Loch-Paare zu erzeugen. Die dabei erzeugten Elektronen werden in Richtung Drain angezogen, während die Löcher in den Bulk- beziehungsweise Substratbereich gelangen. [8]

Unter normalen Bedingungen können diese Löcher über das Substrat beziehungsweise den Body-Kontakt abfließen. Bei kryogenen Temperaturen ist dies aufgrund des eingefrorenen Bulk-Bereichs nur eingeschränkt möglich [3]. Dadurch steigt das lokale Bulk-Potential an, sodass die effektive Schwellspannung über den Body-Effekt abgesenkt wird. Infolgedessen nimmt der Drainstrom zusätzlich zu, was sich als Kink in der Ausgangskennlinie äußert.

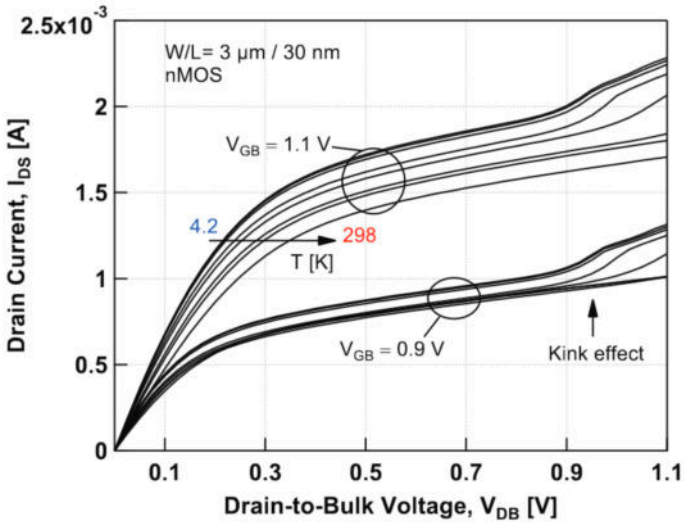


Abbildung 2.6.: Kink-Effekt in der Ausgangskennlinie eines MOSFETs bei kryogener Temperatur [11].

2.2.6 Schaltungsaufbau der Komparatorstufe

Die in Abbildung 2.7 dargestellte Komparatorstufe basiert auf einer MOS-Differenzstufe mit Stromspiegellast. Eine solche Schaltung besitzt einen differentiellen Eingang und einen einseitigen Ausgang [6]. In dieser Schaltung bilden die n-Kanal-MOSFETs M18 und M19 das differentielle Eingangspaar. Am Gate-Anschluss von M18 liegt die Eingangsspannung V_{in} und am Gate-Anschluss von M19 die Referenzspannung V_{ref} an.

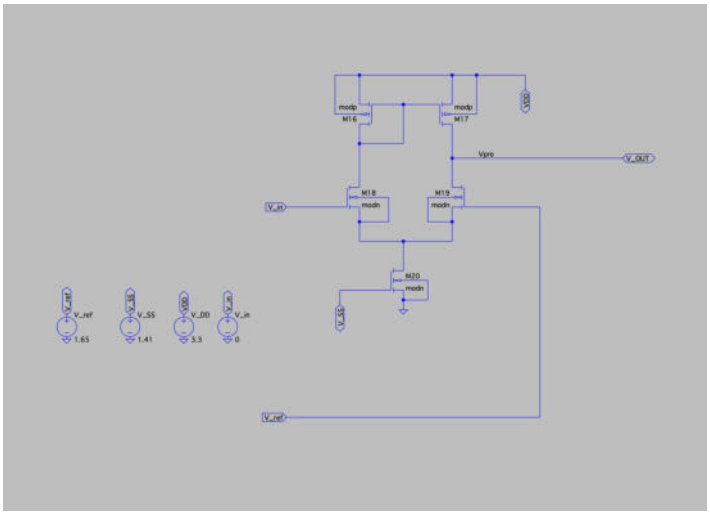


Abbildung 2.7.: LTSpice-Schaltung der Komparatorstufe
[6]

Der Transistor M20 bildet den Fußpunkttransistor (engl. Tail-Transistor) der Differenzstufe und bestimmt den Strom, der dem NMOS-Differenzpaar insgesamt zur Verfügung steht. Abhängig von der Eingangsdifferenz zwischen V_{in} und V_{ref} wird dieser Strom auf die beiden Zweige des differentiellen Eingangspaares aufgeteilt. [6]

Die p-Kanal-MOSFETs M16 und M17 bilden die Stromspiegellast der Differenzstufe. Bei M16 sind Gate und Drain miteinander verbunden. Diese Beschaltung wird als diode-connected bezeichnet. Das Gate von M16 ist mit dem Gate von M17 verbunden. Da außerdem die Source-Anschlüsse beider Transistoren am gleichen Versorgungspotential liegen, besitzen M16 und M17 dieselbe Gate-Source-Spannung. M16 bildet den Referenzzweig des Stromspiegels, während M17 den Ausgangszweig bildet. Die durch das NMOS-Differenzpaar erzeugte Stromdifferenz zwischen den beiden Zweigen wird mithilfe der Stromspiegellast am Knoten V_{pre} in eine einseitige Ausgangsspannung umgesetzt. [6]

Der Knoten V_{pre} ist der Ausgangsknoten der analogen Vergleichsstufe. Seine Spannung hängt von der Differenz zwischen V_{in} und V_{ref} ab. Zur Erzeugung eines digitalen Ausgangssignals wird dieses Signal durch die CMOS-Inverterstufe ausgewertet.

2.3 Schaltungsaufbau der CMOS-Inverterstufe

Der CMOS-Inverter in Abbildung 2.8 ist eine grundlegende digitale CMOS-Schaltung. Er besteht aus einem p-Kanal- und einem n-Kanal-MOSFET. Die Gate-Anschlüsse der Transistoren sind miteinander verbunden und bilden den Eingang des CMOS-Inverters. Die Drain-Anschlüsse beider Transistoren sind ebenfalls miteinander verbunden und bilden den Ausgang der Schaltung. Die Source des p-Kanal-MOSFETs ist mit der Versorgungsspannung V_{DD} verbunden und bildet den Pull-Up-Pfad, während der n-Kanal-MOSFET den Pull-Down-Pfad nach Masse bildet. [5, 6, 12]

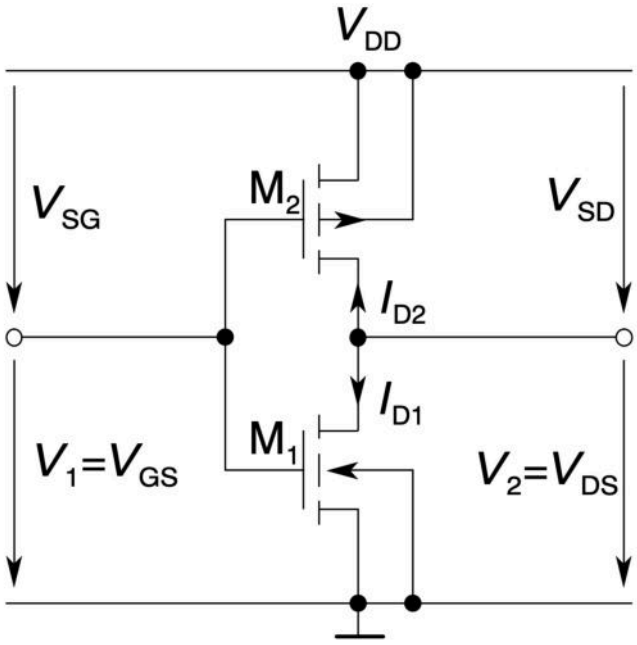


Abbildung 2.8.: CMOS-Inverter-Schaltung
[6]

Liegt am Eingang eine niedrige Spannung an, sperrt der n-Kanal-MOSFET, während der p-Kanal-MOSFET leitet. Der Ausgang wird dadurch auf die Versorgungsspannung gezogen. Der Inverter liefert in diesem Fall einen logischen High-Pegel V_{OH}. Liegt am Eingang eine hohe Spannung an, leitet der n-Kanal-MOSFET, während der p-Kanal-MOSFET sperrt. Der Ausgang wird dadurch auf Masse gezogen. Der CMOS-Inverter liefert nun einen logischen Low-Pegel V_{OL}. Somit besitzt er eine invertierende Übertragungscharakteristik.

Im Übergangsbereich leiten beide Transistoren vorübergehend gleichzeitig, sodass die Ausgangsspannung stark von der Eingangsspannung abhängt. Bei einer punktsymmetrischen Übertragungskennlinie liegt die Schaltschwelle V_M bei der halben Versorgungsspannung. In diesem Bereich befinden sich sowohl der n-Kanal- als auch der p-Kanal-MOSFET im Sättigungsbereich. [5, 6, 12]

Für die Herstellung der Symmetrie kann die Strombilanz zwischen einem n-Kanal-MOSFET und einem p-Kanal-MOSFET betrachtet werden. Klar und Noll [6] leiten für den Fall einer Schaltschwelle bei $V_{DD}/2$ die Bedingung

$$\beta_n = \beta_p \tag{2.15}$$

ab. Dabei beschreiben β_n und β_p die Transistorkonstanten aus der Drainstromgleichung. Diese Konstanten hängen von der Ladungsträgerbeweglichkeit, der Oxidkapazität und dem Geometrieverhältnis W/L ab. Da die Elektronenbeweglichkeit größer ist als die Löcherbeweglichkeit, muss der p-Kanal-MOSFET bei gleicher Kanallänge breiter ausgelegt werden als der n-Kanal-

MOSFET. Klar und Noll geben hierfür

$$\frac{W_p}{W_n} \approx 2 \ldots 3 \tag{2.16}$$

an. [6]

2.4 Grundlagen des Flash-ADCs

Der Flash-Analog-Digital-Wandler (Flash-ADC) ist die schnellste Architektur zur Umwandlung analoger Signale in digitale Signale. [13]

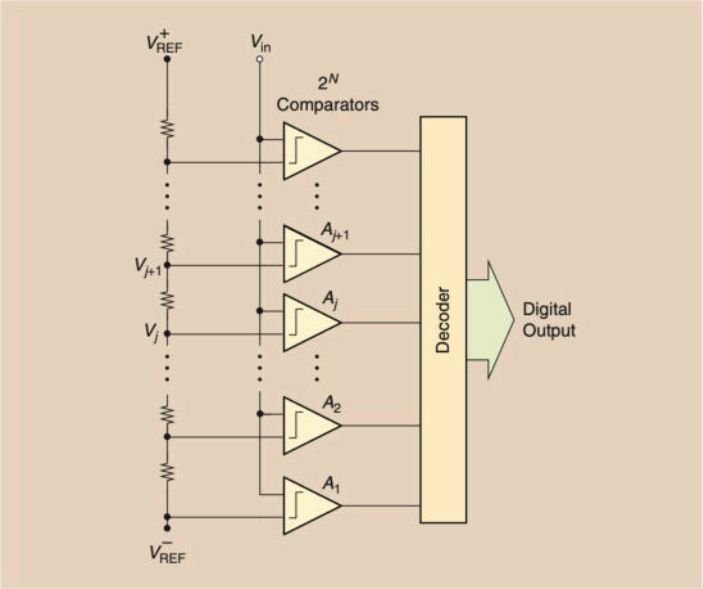


Abbildung 2.9.: Prinzipieller Aufbau eines 2-Bit-Flash-ADCs [14]

2.4.1 Funktionsprinzip

Das Eingangssignal V_{in} wird bei einem Flash-ADC gleichzeitig mit mehreren Referenzspannungen V_{ref} verglichen. Diese Referenzspannungen werden durch eine sogenannte Widerstandsleiter erzeugt und stellen diskrete Spannungsniveaus innerhalb des Eingangsbereichs dar. Jeder Komparator vergleicht die Eingangsspannung mit einer bestimmten Referenzspannung und liefert abhängig vom Vergleichsergebnis ein binäres Ausgangssignal [14]. Liegt die Eingangsspannung oberhalb einer Referenzspannung, so nimmt der Ausgang des entsprechenden Komparators den logischen Zustand 1 an. Liegt die Eingangsspannung darunter, so liefert der Komparator den logischen Zustand 0 [15]. Auf diese Weise entsteht über alle Komparatorausgänge ein Thermometer-Code, der die Lage der Eingangsspannung innerhalb der Referenzstufen beschreibt. Der Thermometer-Code zeigt somit, wie viele Referenzspannungen von der Eingangsspannung überschritten werden. [13]

Für einen n-Bit-Flash-ADC werden $2^n - 1$ Komparatoren benötigt. Ein 2-Bit-Flash-ADC besitzt vier mögliche digitale Ausgangscodes und unterteilt den Eingangsbereich daher in vier Quantisierungsintervalle. Für die Anzahl der erforderlichen Komparatoren ergibt sich

$$2^2 - 1 = 3 \tag{2.17}$$

Der betrachtete 2-Bit-Flash-ADC benötigt somit drei Komparatoren.

Dieser Thermometer-Code wird anschließend durch einen Encoder in ein n-Bit-Binärwort umgewandelt [14]. Das digitale Ausgangssignal repräsentiert damit den quantisierten Wert der analogen Eingangsspannung. Aufgrund der parallelen Architektur besitzt der Flash-ADC eine sehr hohe Wandlungsgeschwindigkeit, allerdings steigt mit zunehmender Auflösung auch der Hardwareaufwand an, da die Anzahl der benötigten Komparatoren exponentiell wächst. [13, 14]

2.4.2 Einfluss von Tieftemperatureffekten auf den Flash-ADC

Der Komparator ist das zentrale Funktionselement des Flash-ADCs. Die Gesamtheit der Vergleichsergebnisse bildet die Grundlage für die nachfolgende digitale Codierung. [14, 15]

Da die Komparatoren auf MOSFETs basieren, wirken sich die temperaturabhängigen Effekte wie die Verschiebung der Schwellspannung, die Veränderung der Ladungsträgerbeweglichkeit und der Kink-Effekt direkt auf das Umschaltverhalten aus. Dadurch können sich die effektiven Schaltpunkte der Komparatoren verschieben [3]. Bei einem 2-Bit-Flash-ADC sind nur drei Vergleichsschwellen vorhanden. Jede dieser Schwellen legt fest, ab welcher Eingangsspannung ein Komparator seinen Ausgangszustand ändert. Verschiebt sich eine dieser Schwellen durch die temperaturabhängigen Effekte, verändert sich auch die Einordnung der Eingangsspannung. Dadurch kann der Thermometer-Code vom idealen Verlauf abweichen, sodass der ADC einen falschen digitalen Ausgangswert liefert.

Die Temperaturabhängigkeit der MOSFETs erschwert zusätzlich die Bewertung der Gesamtschaltung. Eine Änderung der MOSFET-Parameter beeinflusst nicht nur den einzelnen Transistor, sondern auch den Arbeitspunkt, die Schaltgrenze und das Ausgangsverhalten der Komparatoren. Deshalb reicht es nicht aus, nur den digitalen Ausgang des ADCs zu betrachten. Für eine belastbare Bewertung muss die Schaltung zusätzlich auf Transistorebene untersucht werden.

3 Durchführung und Auswertung

Dieses Kapitel behandelt den Entwurf und die Analyse des 2-Bit-Flash-Analog-Digital-Wandlers. Ausgangspunkt ist der Vergleich zwischen LTSpice und Cadence, da die weiteren Temperatur- und Parametervariationen hauptsächlich in LTSpice durchgeführt werden. Anschließend werden die Schaltungsblöcke getrennt betrachtet. Dazu zählen die CMOS-Inverterstufe, der Komparator sowie die Zusammenschaltung zum vollständigen 2-Bit-Flash-ADC.

3.1 Validierung der LTSpice-Simulationen

LTSpice wird in dieser Arbeit für umfangreiche Parameter- und Temperatursimulationen verwendet. Der praktische Vorteil liegt in der einfachen Anpassung von Simulationsparametern, Modellkarten, Sweep-Einstellungen und Temperaturpunkten ohne lange Rechenzeiten. Besonders für die Untersuchungen über einen großen Temperaturbereich ist LTSpice sehr gut geeignet.

Um die Aussagekraft der in LTSpice berechneten Simulationsergebnisse zu überprüfen, werden sie mit Referenzsimulationen aus Cadence verglichen. Beide Simulationsumgebungen verwenden denselben von AMS bereitgestellten Prozessmodellsatz auf Basis eines BSIM3v3-Kompaktmodells. Cadence dient in dieser Arbeit als zentrale Referenz- und Entwurfsumgebung. Neben dem Vergleich der Transistorkennlinien wird Cadence im weiteren Verlauf auch für den Layoutentwurf, die Extraktion parasitärer Elemente und die Erzeugung der Post-Layout-Schaltung verwendet.

Eine Validierung der physikalischen Gültigkeit des verwendeten Kompaktmodells ist ausschließlich anhand realer Messdaten möglich. Solche Messdaten stehen im Rahmen dieser Arbeit nicht zur Verfügung. Der Vergleich mit Cadence bewertet daher nicht, ob das BSIM3v3-Modell das reale Transistorverhalten bei kryogenen Temperaturen korrekt abbildet. Stattdessen wird überprüft, ob LTSpice bei Verwendung derselben Modellgrundlage ähnliche Kennlinienverläufe wie Cadence liefert.

Der Vergleich entscheidet, ob die in LTSpice berechneten MOSFET-Kennlinien als Grundlage für die nachfolgenden Schaltungssimulationen verwendet werden können. Eine ausreichende Übereinstimmung mit Cadence ist erforderlich, weil Inverter, Komparator und vollständiger 2-Bit-Flash-ADC auf denselben Transistormodellen basieren.

Neben der Modellbibliothek werden in beiden Simulationsumgebungen auch dieselben elektrischen Randbedingungen verwendet. Unterschiede zwischen den Kennlinien können somit nicht aus abweichenden Arbeitspunkten oder Bauteilparametern entstehen. Zur Validierung

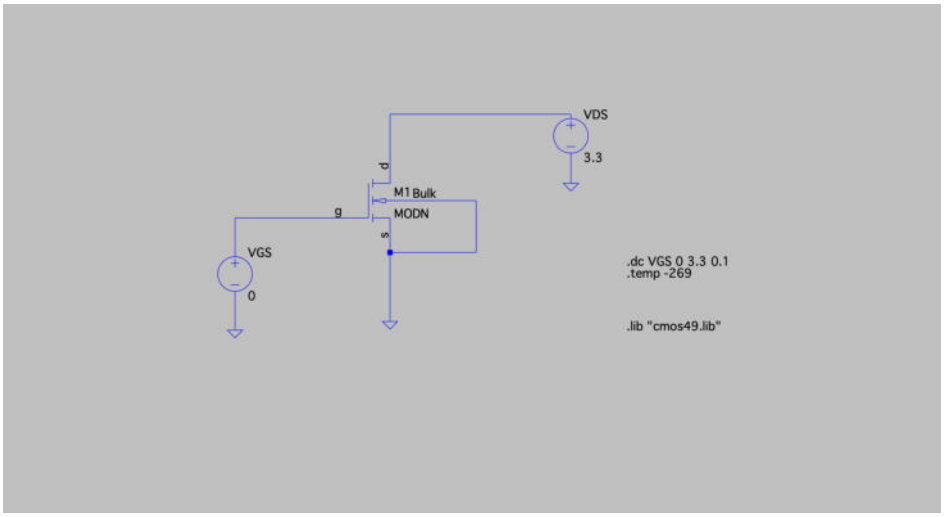


Abbildung 3.1.: LTSpice-Testschaltung zur Aufnahme der Eingangs- und Subthreshold-Kennlinie eines n-Kanal-MOSFETs

werden die Eingangskennlinie, die Subthreshold-Kennlinie und die Ausgangskennlinie einzelner n- und p-Kanal-MOSFETs bei mehreren Temperaturpunkten verwendet.

3.1.1 Simulationsaufbau der Validierung

Für die Validierung werden einfache MOSFET-Testschaltungen verwendet, um das Verhalten der einzelnen Transistoren isoliert von komplexen Schaltungseinflüssen zu untersuchen. Der Aufbau wird sowohl für n- als auch für p-Kanal-Bauelemente durchgeführt. Als gemeinsame Modellgrundlage dient die aus Cadence übernommene Modellbibliothek `cmos49.lib`, die anschließend in LTSpice eingebunden wird. Dadurch wird sichergestellt, dass die Simulationen in beiden Umgebungen auf identischen Modellparametern beruhen.

Beim n-Kanal-MOSFET sind Source und Bulk mit Masse verbunden, sodass keine zusätzliche Bulk-Source-Spannung anliegt. Eine äußere Verschiebung der Kennlinien durch den Body-Effekt wird somit vermieden. Die Drain-Source-Spannung V_{DS} und die Gate-Source-Spannung V_{GS} werden über ideale Gleichspannungsquellen eingestellt.

Für die Eingangskennlinie und die Subthreshold-Kennlinie wird die Drain-Source-Spannung konstant gehalten, während die Gate-Source-Spannung V_{GS} von 0 V bis 3,3 V variiert wird. Dadurch kann der Drainstrom in Abhängigkeit von der Gate-Source-Spannung bestimmt werden.

Für die Ausgangskennlinie wird die Drain-Source-Spannung V_{DS} von 0 bis 3,3 V variiert. Die Gate-Source-Spannung V_{GS} bleibt während dieser Simulation konstant bei 3.3 V. Damit wird der Strom I_D bei maximaler Gate-Ansteuerung in Abhängigkeit von V_{DS} untersucht. Die resultierende Kennlinie in Abbildung 3.2 ermöglicht die Auswertung des linearen Bereichs und des Sättigungsbereichs.

Beim p-Kanal-MOSFET wird die Testschaltung entsprechend polaritätsrichtig aufgebaut. Auch hier wird der Bulk-Anschluss mit der Source verbunden. Die Spannungen werden mit negativer Polarität gewählt, sodass das Schaltverhalten des p-Kanal-MOSFETs korrekt abgebildet wird. Für die Ausgangskennlinie werden die Drain-Source- und Gate-Source-Spannungen im negativen Spannungsbereich variiert. Dadurch kann das Verhalten des p-Kanal-MOSFETs mit derselben Auswertelogik wie beim n-Kanal-MOSFET untersucht werden. Für die Eingangskennlinie wird die Gate-Source-Spannung variiert, während die Drain-Source-Spannung konstant gehalten wird.

Die Simulationen werden für mehrere Temperaturpunkte

$$27\,^{\circ}\mathrm{C}, \quad -100\,^{\circ}\mathrm{C}, \quad -200\,^{\circ}\mathrm{C}, \quad -250\,^{\circ}\mathrm{C}$$

durchgeführt. Dadurch wird überprüft, ob LTSpice und Cadence nicht nur bei Raumtemperatur, sondern auch bei tiefen Temperaturen vergleichbare Kennlinien liefern. Die gewählten Temperaturpunkte entsprechen den für diese Arbeit relevanten Bedingungen und dienen der späteren Bewertung kryogener Effekte auf Transistor- und Schaltungsebene.

Zusätzlich wird in LTSpice der Temperaturpunkt $-269\,^{\circ}\mathrm{C}$, der nahe 4 K liegt, betrachtet. In Cadence lässt sich der verwendete BSIM3v3-Parametersatz nur bis $-250\,^{\circ}\mathrm{C}$ simulieren. Der zusätzliche Temperaturpunkt $-269\,^{\circ}\mathrm{C}$ wird deshalb ausschließlich in LTSpice ausgewertet.

3.1.2 Ausgangskennlinien der Modelle

Die Ausgangskennlinien werden im Hinblick auf die in den theoretischen Grundlagen beschriebenen Arbeitsbereiche des MOSFETs ausgewertet. Bei kleinen Drain-Source-Spannungen wird ein näherungsweise linearer Verlauf erwartet. Mit zunehmender Drain-Source-Spannung geht der MOSFET in den Sättigungsbereich über. Daher wird untersucht, ob LTSpice und Cadence den linearen Bereich und den Übergang in den Sättigungsbereich vergleichbar abbilden.

Die Abbildung 3.2 zeigt bei $27\,^{\circ}\mathrm{C}$ eine nahezu deckungsgleiche Ausgangskennlinie zwischen LTSpice und Cadence. Der Anstieg im linearen Bereich und der Übergang in den Sättigungsbereich werden in beiden Simulationsumgebungen fast identisch dargestellt. Damit zeigt sich, dass LTSpice das statische Ausgangsverhalten des n-Kanal-MOSFETs bei Raumtemperatur und identischer Modellbibliothek konsistent zu Cadence berechnet.

Desweiteren ergibt sich aus der temperaturabhängigen Auswertung in der Abbildung 3.3, dass der Drainstrom mit sinkender Temperatur deutlich zunimmt. Dieser Trend ist auf die im theoretischen Teil beschriebene Erhöhung der Ladungsträgerbeweglichkeit zurückzuführen. Durch die höhere Beweglichkeit sinkt der effektive Kanalwiderstand, sodass bei gleicher Gate-Source- und Drain-Source-Spannung ein größerer Drainstrom fließt. Dieser Effekt zeigt sich sowohl in LTSpice- als auch in Cadence-Kennlinien.

Bei tiefen Temperaturen zeigt sich im Sättigungsbereich außerdem eine zusätzliche Aufwärtskrümmung der n-Kanal-Kennlinien. Der Drainstrom bleibt mit zunehmender Drain-

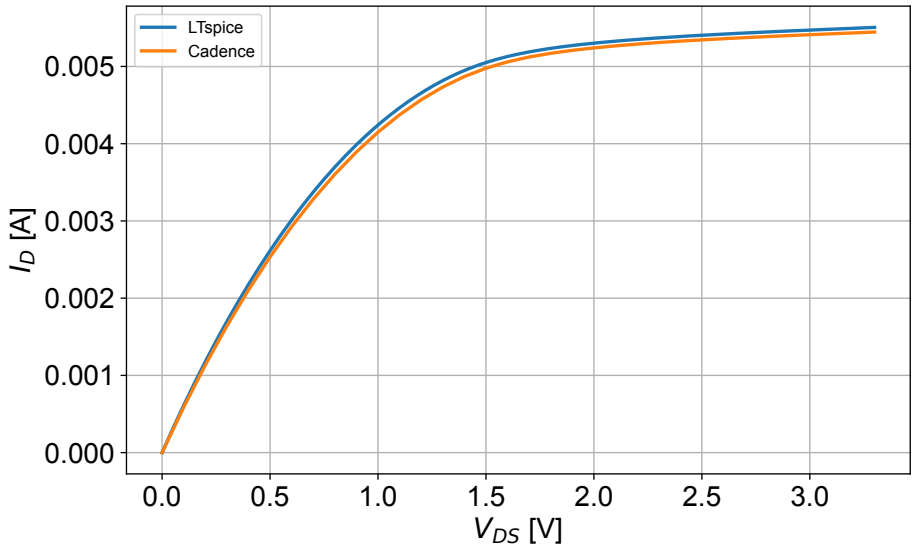


Abbildung 3.2.: Vergleich der Ausgangskennlinie des n-Kanal-MOSFETs zwischen LTSpice und Cadence bei 27 °C und $V_{GS} = 3{,}3\,\mathrm{V}$

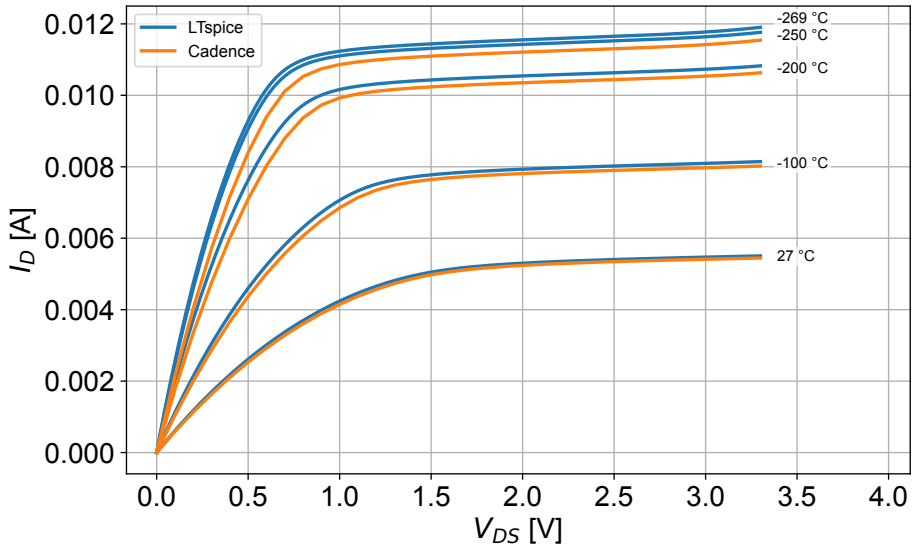


Abbildung 3.3.: Vergleich der Ausgangskennlinie des n-Kanal-MOSFETs zwischen LTSpice und Cadence über der Temperatur

Source-Spannung nicht näherungsweise konstant, sondern steigt weiter an. Der Verlauf weist eine Ähnlichkeit mit dem in den theoretischen Grundlagen beschriebenen Kink-Effekt auf. Wobei eine physikalische Validierung dieses Effekts nicht anhand des vorliegenden Simulationsvergleichs möglich ist.

Die gute Übereinstimmung von LTSpice und Cadence in der Abbildung 3.4 zeigt, dass das statische Ausgangsverhalten des p-Kanal-MOSFETs in LTSpice für die gemeinsamen Tem-

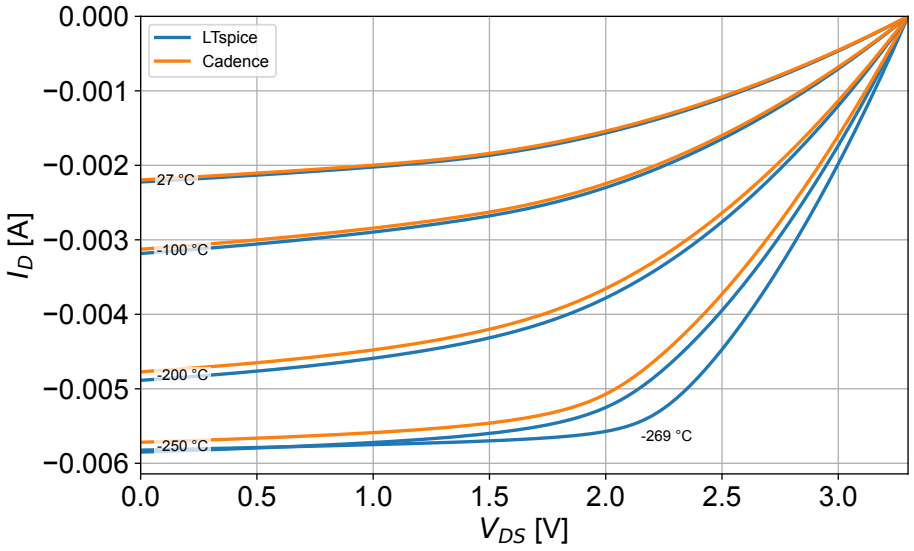


Abbildung 3.4.: Vergleich der Ausgangskennlinien des p-Kanal-MOSFETs zwischen LTSpice und Cadence über der Temperatur

peraturpunkte konsistent zu Cadence abgebildet wird. Der kryogene Effekt der erhöhten Ladungsträgerbeweglichkeit kann anhand der Zunahme des Drainstroms beobachtet werden. Ein ausgeprägter kinkartiger Verlauf ist jedoch in den dargestellten p-Kanal-Kennlinien nicht erkennbar. Eine mögliche Ursache liegt in den unterschiedlichen Transporteigenschaften der Ladungsträger. Während der Kanalstrom beim n-Kanal-MOSFET durch Elektronen getragen wird, bilden beim p-Kanal-MOSFET Löcher die beweglichen Ladungsträger. In der Literatur wird beschrieben, dass der Kink-Effekt bei p-Kanal-MOSFETs typischerweise bei höheren Drain-Source-Spannungen auftritt und weniger stark ausgeprägt ist. [8]

Die Ausgangskennlinien zeigen damit eine gute Übereinstimmung der Gleichstromeigenschaften der untersuchten n- und p-Kanal-MOSFETs zwischen LTSpice und Cadence. Der Drainstrom steigt mit sinkender Temperatur bei beiden Transistortypen. Ein ausgeprägter Kink-Effekt wird jedoch aus den dargestellten Kennlinien nur beim n-Kanal-MOSFET beobachtet. Dies könnte jedoch später zu einer erhöhten Stromaufnahme des Komparators und des Inverters führen, was auch den thermischen Haushalt der Gesamtschaltung stärker belasten kann.

3.1.3 Eingangskennlinien der Modelle

Die Eingangskennlinien werden zur Bewertung des Transferverhaltens der MOSFETs herangezogen. Im Vordergrund stehen die Lage des Einschaltbereichs und der Stromanstieg mit zunehmender Gate-Source-Spannung.

Aus der Abbildung 3.5 ergibt sich eine gute qualitative Übereinstimmung zwischen den in LTSpice und Cadence berechneten Eingangskennlinien des n-Kanal-MOSFETs. Mit sinkender Temperatur verschiebt sich die Schwellspannung zu höheren Gate-Source-Spannungen.

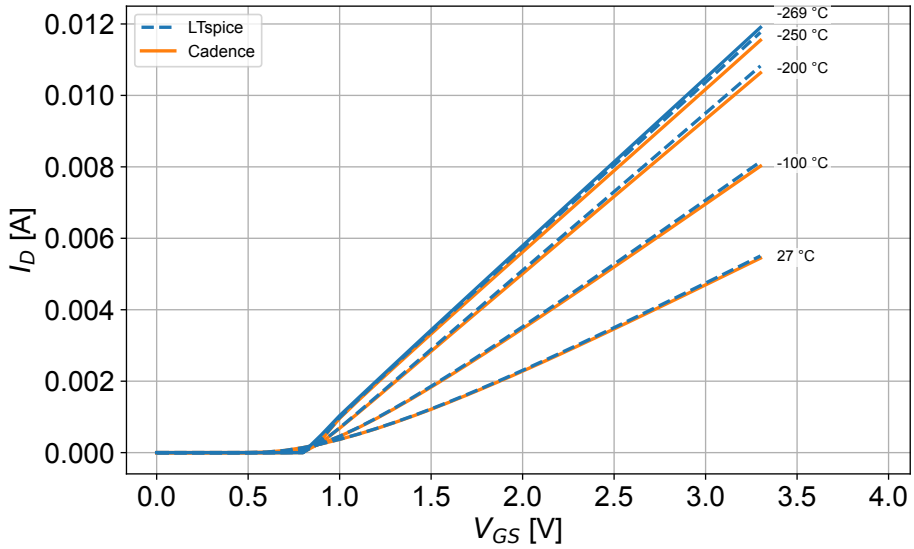


Abbildung 3.5.: Eingangskennlinien des n-Kanal-MOSFETs über der Temperatur

Gleichzeitig steigt der Drainstrom im leitenden Bereich deutlich an. Im Theorieteil Unterabschnitt 2.2.3 wird erläutert, dass die Schwellspannung nicht der einfachen linearen Temperaturabhängigkeit folgt, sondern über das Oberflächenpotential und das Fermi-Potential des Substrats mit der Inversionsbedingung verknüpft ist. Da sich das Fermi-Potential bei tiefen Temperaturen deutlich ändert, verändert sich auch die Gate-Source-Spannung zur Ausbildung eines Inversionskanals, damit der Transistor leitet [1]. Im leitenden Bereich steigt der Drainstrom bei tiefen Temperaturen stärker an. Dieser Verlauf wird durch die erhöhte Ladungsträgerbeweglichkeit im Kanal begünstigt.

Der Übergang im Einschaltbereich bei feiner Schrittweite von 1 mV in der Abbildung 3.6 und Abbildung 3.7 zeigt jedoch einen auffälligen Kennlinienverlauf insbesondere bei −250 °C und −269 °C.

Bei einer gröberen Schrittweite wird der Übergangsbereich durch weniger Simulationspunkte erfasst, somit kann der Kurvenverlauf verfälscht dargestellt werden. Die feinere Schrittweite ermöglicht daher eine genauere Auflösung des steilen Anstiegs. Der abrupte Verlauf kann mit der bei tiefen Temperaturen steiler werdenden Subthreshold-Slope zusammenhängen. In diesem Bereich führt eine kleine Änderung der Gate-Source-Spannung zu einer starken Änderung des Drainstroms, dadurch kann der Übergang in der Simulation numerisch sprunghaft erscheinen.

Anhand der Simulationsergebnisse allein lässt sich nicht eindeutig beurteilen, ob der abrupte Übergang das reale Transistorverhalten im kryogenen Bereich korrekt beschreibt oder durch die Modellformulierung beziehungsweise die numerische Auswertung verstärkt wird. Da für den Bereich nahe 4 K keine eigenen Messdaten vorliegen, kann der abrupte Übergang nicht abschließend physikalisch eingeordnet werden. Er wird daher bei der weiteren Auswertung als

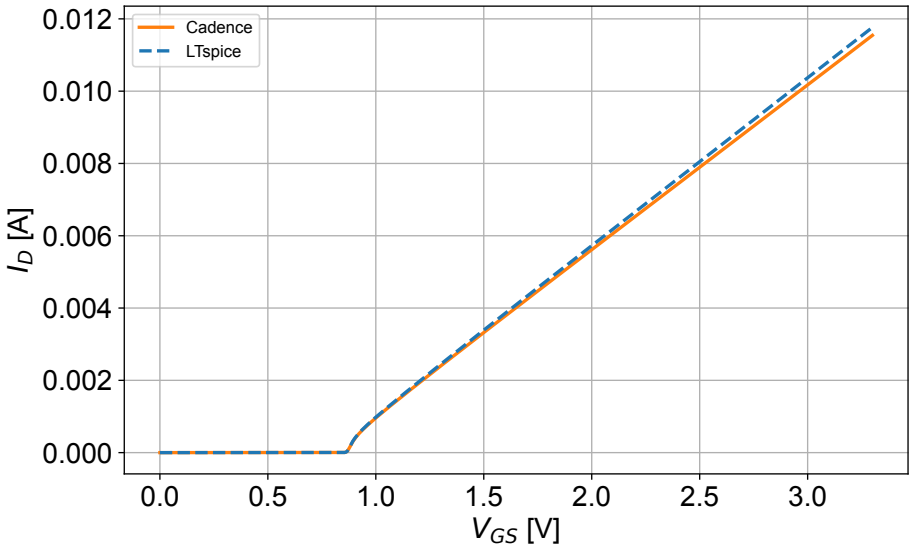


Abbildung 3.6.: Eingangskennlinie des n-Kanal-MOSFETs bei feiner Schrittweite bei −250 °C

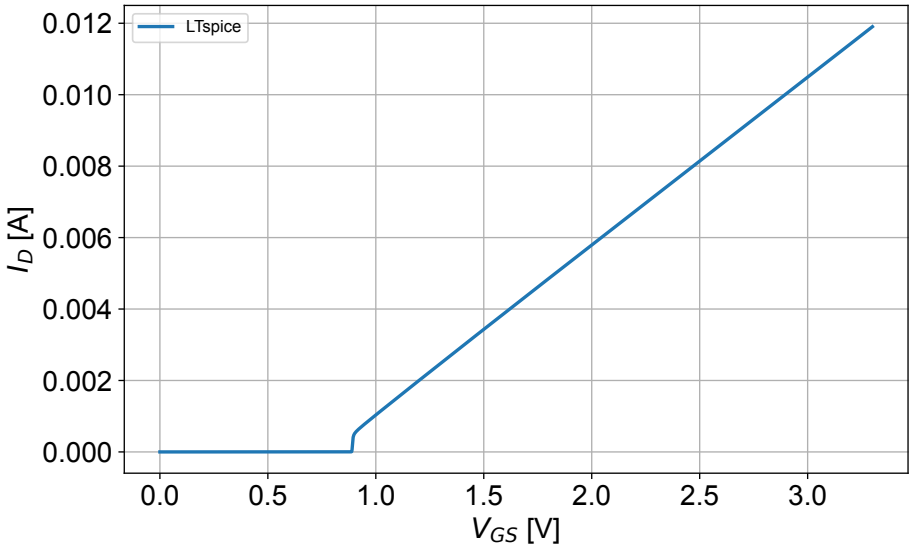


Abbildung 3.7.: Eingangskennlinie des n-Kanal-MOSFETs bei feiner Schrittweite bei −269 °C

mögliche Modellgrenze berücksichtigt. Beim p-Kanal-MOSFET wird das Transferverhalten mit umgekehrter Spannungspolarität ausgewertet.

Aus Abbildung 3.8 folgt, dass LTSpice und Cadence auch beim p-Kanal-MOSFET einen konsistenten Verlauf der Eingangskennlinien liefern. Die Kennlinien der betrachteten Temperaturpunkte verlaufen nahe beieinander und bei sinkender Temperatur verschiebt sich der Einschaltbereich entsprechend der umgekehrten Polarität in Richtung der negativen Gate-Source-Spannungen. Außerdem nimmt der Drainstrom ebenfalls zu. Dies entspricht dem

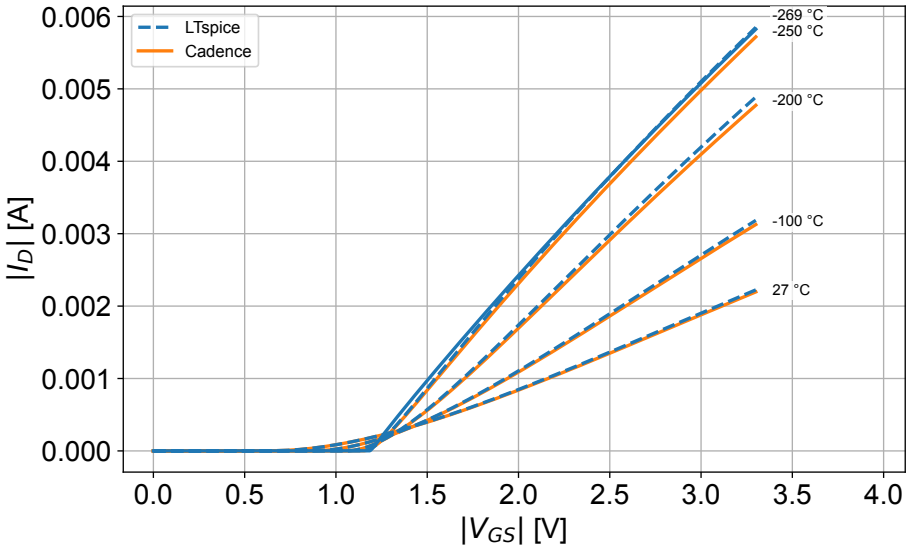


Abbildung 3.8.: Eingangskennlinien des p-Kanal-MOSFETs über der Temperatur

bereits beim n-Kanal-MOSFET beobachteten Einfluss der erhöhten Ladungsträgerbeweglichkeit.

Die Lage des Einschaltbereichs und der Verlauf des Drainstroms im leitenden Bereich stimmen in LTSpice und Cadence gut überein. Die Abweichungen bleiben gering genug, um LTSpice für die nachfolgenden Untersuchungen auf Schaltungsebene zu verwenden. Der abrupte Übergang bei kryogenen Temperaturen sollte jedoch in weiterführenden Untersuchungen genauer analysiert werden. Eine vertiefte Bewertung und Einordnung überschreitet den Rahmen dieser Arbeit.

3.1.4 Subthreshold-Kennlinien der Modelle

Die Subthreshold-Kennlinie wird zur Auswertung des Drainstroms im Unterschwellenbereich verwendet. Da die Ströme in diesem Bereich sehr klein sind und sich über mehrere Größenordnungen ändern, wird I_D logarithmisch dargestellt. Somit lassen sich der Einschaltbereich und mögliche Abweichungen zwischen LTSpice und Cadence besser darstellen.

Beim n-Kanal-MOSFET zeigt sich im Unterschwellenbereich der erwartete Verlauf. Der Drainstrom ist zunächst sehr klein, steigt jedoch mit zunehmender Gate-Source-Spannung deutlich an, bevor der Transistor in den stark leitenden Bereich übergeht.

Mit sinkender Temperatur wird der Übergang vom sehr kleinen Drainstrom in den leitenden Bereich deutlich steiler, da der thermische Anteil der Subthreshold-Slope mit der Temperatur abnimmt. Dies entspricht der theoretischen Erwartung (siehe Unterabschnitt 2.2.4). Gleichzeitig zeigt die Kennlinie bei sehr tiefen Temperaturen, insbesondere bei −250 °C und −269 °C, einen abrupten Übergang.

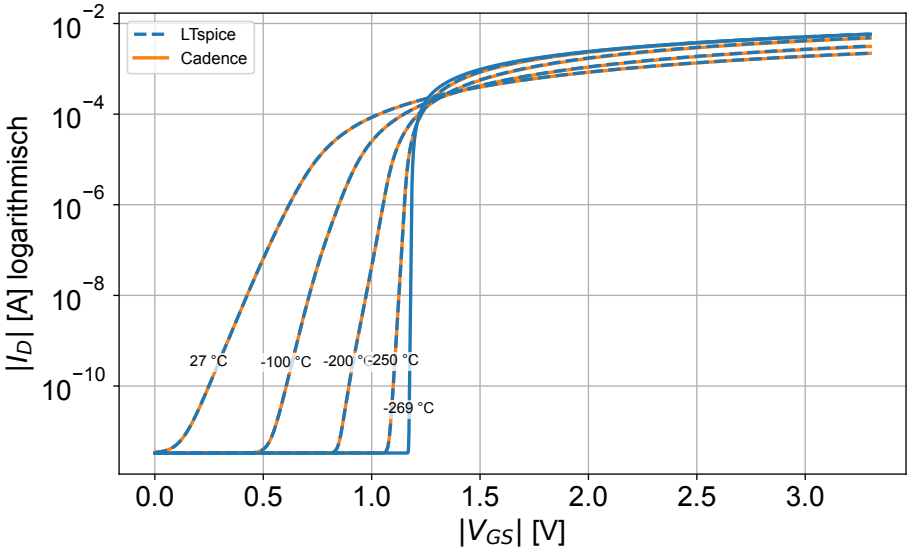


Abbildung 3.9.: Subthreshold-Kennlinien des p-Kanal-MOSFETs über der Temperatur

Auch beim p-Kanal-MOSFET zeigt die Abbildung 3.9 eine gute Übereinstimmung zwischen den in LTSpice und Cadence berechneten Kennlinien. Der Einschaltpunkt verschiebt sich mit sinkender Temperatur zu stärker negativen Gate-Source-Spannungen, während der Übergang in den leitenden Bereich steiler wird.

Die Subthreshold-Kennlinien bestätigen die Konsistenz zwischen LTSpice und Cadence auch im Unterschwellenbereich. Der steilere Übergang bei sinkender Temperatur entspricht der abnehmenden thermischen Spannung und damit der theoretischen Erwartung. Die abrupten Übergänge bei −250 °C und −269 °C können auf eine Grenze des verwendeten BSIM3v3-Parametersatzes hindeuten. Eine eindeutige Abgrenzung zwischen einem physikalischen Effekt und einer modellbedingten Abweichung ist ohne experimentelle Messdaten jedoch nicht möglich.

3.2 Entwurf und Analyse des Komparators

Nach der Validierung der einzelnen MOSFET-Grundkennlinien wird das zentrale Element des Flash-ADCs, die Komparatorstufe, analysiert.

3.2.1 Einfluss der Transistordimensionierung

Die verwendete Komparatorstufe wurde bereits in Unterabschnitt 2.2.6 beschrieben. Für das NMOS-Differenzpaar M_{18} und M_{19} sowie für die PMOS-Stromspiegellast M_{16} und M_{17} werden die aus Cadence übernommenen Transistorabmessungen W=10 µm und L=0,35 µm verwendet.

Der Fußpunkttransistor M_{20} wird getrennt betrachtet. Eine größere Kanallänge reduziert den Einfluss der Kanallängemodulation, sodass der Drainstrom im Sättigungsbereich weniger stark von der Drain-Source-Spannung abhängt und sich der Fußpunkttransistor wie eine Stromquelle verhält [6]. Gleichzeitig verringert eine größere Kanallänge bei unveränderter Kanalweite den bereitgestellten Tail-Strom, da der Drainstrom im idealen Sättigungsbereich proportional zum Verhältnis W/L ist (siehe Unterabschnitt 2.1.2). Dieser Einfluss kann durch eine größere Kanalweite ausgeglichen werden.

Zur Bestimmung eines geeigneten Arbeitspunktes werden die Kanallänge, die Kanalweite und die Gate-Bias-Spannung des Fußpunkttransistors variiert. Für die Kanallänge werden die Werte von L_{20} im Bereich von 0,35 µm bis 1,4 µm und die Kanalweite W_{20} von 10 µm bis 40 µm schrittweise variiert. Für die Variation werden die LTSpice-Direktiven

```
.param Ltail=0.35u
.step param Ltail list 0.35u 0.7u 1.05u 1.4u

.param Wtail=10u
.step param Wtail list 10u 20u 30u 40u
```

verwendet.

Zusätzlich wird die Gate-Bias-Spannung des Fußpunkttransistors untersucht. Hierzu wird die Spannungsquelle V_{Bias}, die am Gate von M_{20} angeschlossen ist, in einem DC-Sweep variiert: `.dc V_in 0 3.3 0.001 V_SS 1.0 1.8 0.2` Für jede Eingangsspannung werden damit mehrere Übertragungskennlinien bei den Bias-Spannungen V_{SS} = 1,0 V, 1,2 V, 1,4 V, 1,6 V und 1,8 V berechnet.

Während der Untersuchung der unterschiedlichen Werte von W_{20}, L_{20} und V_{Bias} werden die Übertragungskennlinien des Komparators aufgenommen. Das Hauptziel der Untersuchung besteht darin, den Komparator so zu dimensionieren, dass der Umschaltpunkt der Übertragungskennlinie bei 27 °C möglichst symmetrisch liegt. Die Abweichung von der idealen Referenzspannung 1,65 V wird durch

$$\Delta V_M = |V_M - 1{,}65\,\text{V}| \tag{3.1}$$

mit LTSpice berechnet und anschließend aus dem SPICE-Log entnommen (siehe Abschnitt A.1 für die Tabellen mit den Ergebnissen).

Für die weiteren Simulationen werden die Parameter W_{20}=30 µm, L_{20}=1,4 µm, V_{BIAS}=1,41 V verwendet, da diese Kombination der Parameter eine sehr kleine Abweichung von 0,116 mV bei Raumtemperatur aufweist. Wie in Tabelle 3.1 zu sehen, nimmt die Abweichung bei dieser Kombination mit sinkender Temperatur zu, bleibt jedoch auf wenige zehn Millivolt begrenzt.

Damit ergibt sich für die Komparatorstufe die in Tabelle 3.2 zusammengefasste Dimensionierung.

Temperatur	Abweichung in mV
−269 °C	22,522
−250 °C	22,325
−200 °C	23,574
−100 °C	13,035
27 °C	0,116

Tabelle 3.1.: Abweichung des Umschaltpunkts vom Symmetriepunkt bei verschiedenen Temperaturen

Transistoren	Funktion	Kanalweite W	Kanallänge L
M_{16}, M_{17}	PMOS-Stromspiegellast	10 µm	0,35 µm
M_{18}, M_{19}	NMOS-Differenzpaar	10 µm	0,35 µm
M_{20}	NMOS-Fußpunkttransistor	30 µm	1,4 µm

Tabelle 3.2.: Verwendete Transistordimensionierung der Komparatorstufe

3.2.2 DC-Analyse des Komparators über der Temperatur

Für die DC-Analyse wird die Verschiebung des Umschaltpunkts über der Temperatur untersucht. Hierzu wird die Eingangsspannung V_{in} in einem DC-Sweep variiert und die Ausgangsspannung V_{OUT} der Komparatorstufe ausgewertet. Die Referenzspannung wird während der gesamten Analyse konstant bei V_{ref}=1,65 V gehalten. Bei einer Versorgungsspannung von 3,3 V ergibt sich für eine symmetrische Schaltung der Bezugspunkt $V_{DD}/2$=1,65 V. Der Umschaltpunkt V_M entspricht der Eingangsspannung, bei der der Komparator seinen Ausgangszustand ändert. Die Offsetspannung wird als Abweichung des Umschaltpunkts von der Referenzspannung definiert:

$$V_{OS} = V_M - V_{ref}. \tag{3.2}$$

Ein ideal symmetrischer Komparator würde bei $V_{in} = V_{ref}$ umschalten und damit eine Offsetspannung von V_{OS} = 0 V aufweisen.

Aus der Abbildung 3.10 ergibt sich bei Raumtemperatur ein klarer Übergang der Ausgangsspannung im Bereich der Referenzspannung. Die Komparatorstufe erfüllt damit ihre Grundfunktion.

In Abbildung 3.11 ist der Umschaltpunkt V_M über der Temperatur dargestellt. Bei Raumtemperatur liegt der Umschaltpunkt nahezu auf der Referenzspannung von 1,65 V. Mit sinkender Temperatur verschiebt sich der Umschaltpunkt zu höheren Eingangsspannungen. Besonders bei −250 °C und −269 °C ist diese Verschiebung zu erkennen.

Die Verschiebung bedeutet, dass der Komparator nicht mehr exakt bei der vorgegebenen Referenzspannung umschaltet. Durch die positive Offsetspannung, die bei Tieftemperaturen auftritt, benötigt der Komparator höhere Eingangsspannungen, bis der Ausgang den Umschaltbereich erreicht. Als eine mögliche Ursache lässt sich diskutieren, dass der Arbeitspunkt der Komparatorstufe verschoben wird. Der Umschaltpunkt ergibt sich aus der Strombilanz zwischen dem NMOS-Differenzpaar, der PMOS-Stromspiegellast und dem Fuß-

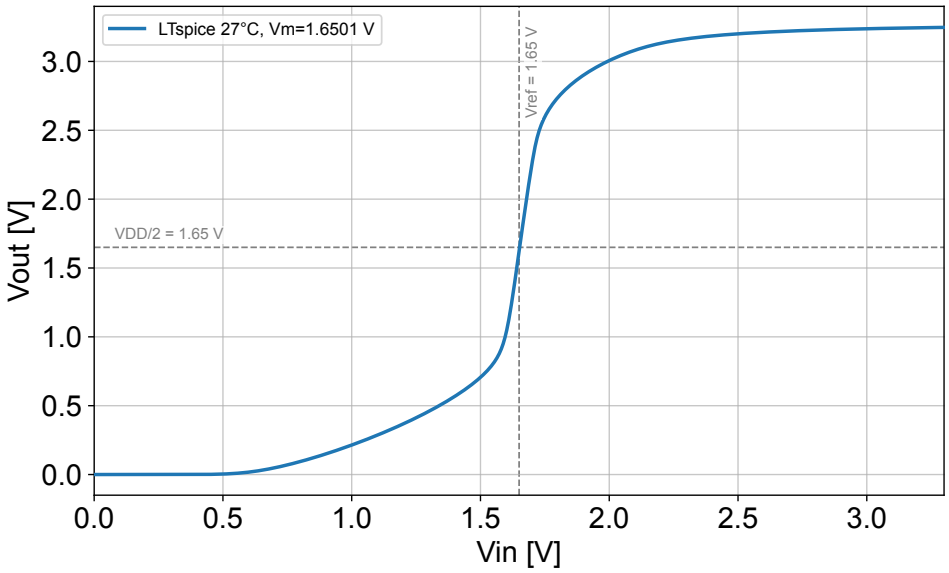


Abbildung 3.10.: DC-Sweep des Komparators bei 27 °C in LTSpice

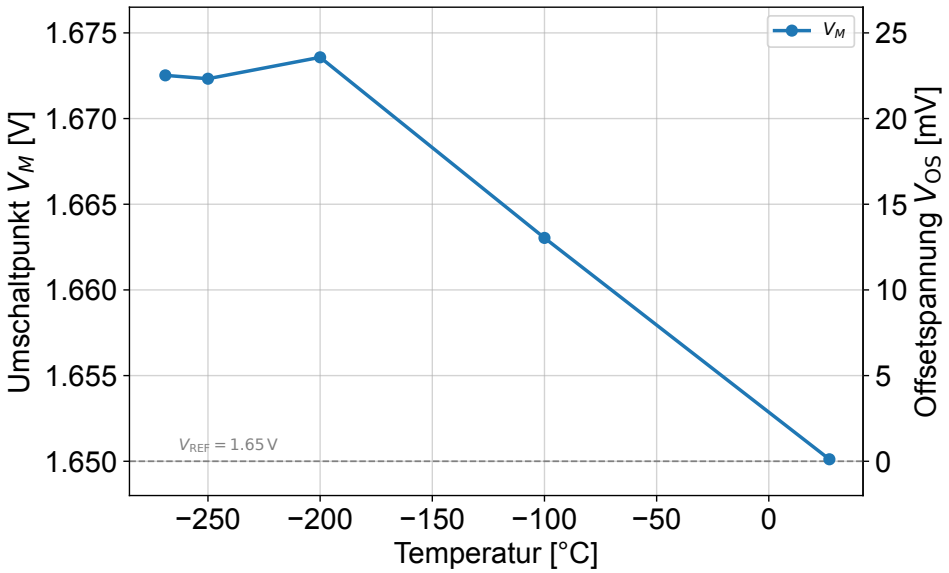


Abbildung 3.11.: Umschaltpunkte und Offsetspannungen des Komparators über der Temperatur

punkttransistor. Bei $V_{in} = V_{ref}$ sollten sich die Drainströme des symmetrisch dimensionierten NMOS-Differenzpaares gleichmäßig auf beide Zweige aufteilen. Eine gleichartige temperaturabhängige Veränderung der beiden Eingangstransistoren reicht für die Erklärung der Verschiebung des Umschaltpunkts daher nicht. Eine mögliche Ursache ist die temperaturabhängige Verschiebung des Arbeitspunkts des Fußpunkttransistors M_{20}, da seine Gate-Bias-Spannung konstant bleibt, während sich seine Schwellspannung mit der Temperatur verändert. Dadurch kann sich der bereitgestellte Tail-Strom verschieben. Demzufolge verschiebt der veränderte Tail-Strom den gemeinsamen Source-Knoten des Differenzpaares und damit den Arbeitspunkt der gesamten Komparatorstufe.

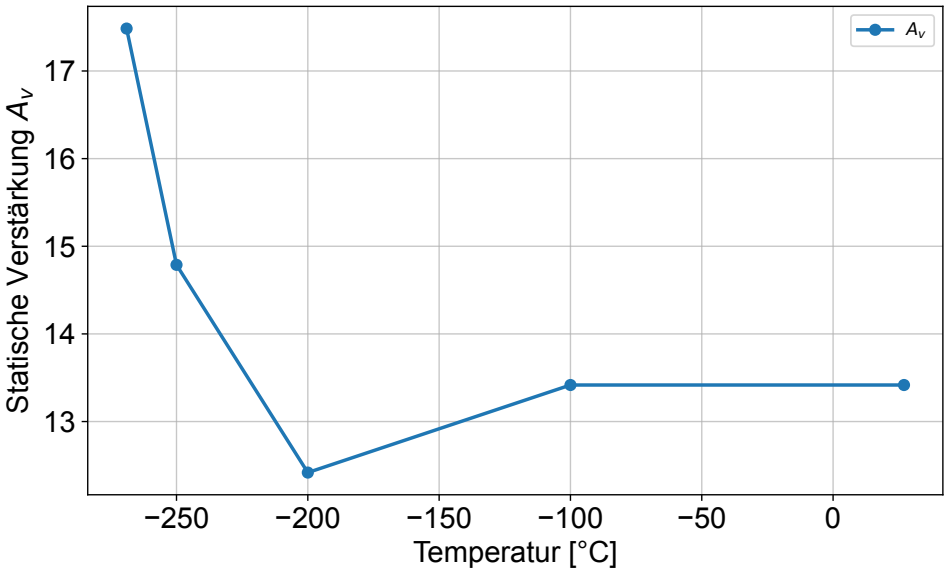


Abbildung 3.12.: Statische Verstärkung des Komparators über der Temperatur

Die in Abbildung 3.12 dargestellte statische Verstärkung weist keinen streng monotonen Verlauf auf. Mit sinkender Temperatur nimmt sie zunächst leicht ab und erreicht bei —200 °C ihren kleinsten Wert. Bei weiter sinkender Temperatur steigt sie wieder an. Bei —269 °C wird der größte Wert im betrachteten Temperaturbereich erreicht.

Die statische Verstärkung wird als Betrag der Steigung der Übertragungskennlinie bestimmt [5]. Da diskrete Simulationswerte vorliegen, erfolgt die Berechnung näherungsweise über den Differenzquotienten

$$A_v \approx \left| \frac{\Delta V_{\text{pre}}}{\Delta V_{\text{in}}} \right|. \tag{3.3}$$

Der nicht monotone Verlauf der Kennlinie in Abbildung 3.12 kann als Folge des Zusammenwirkens mehrerer temperaturabhängiger Effekte bei diesem Temperaturpunkt interpretiert werden. Bei weiter sinkender Temperatur steigt die Verstärkung wieder an, sodass bei —250 °C und —269 °C wieder günstigere Kombinationen der kryogenen Effekte vorliegen.

Eine eindeutige Zuordnung des Verlaufs zu einzelnen Transistorparametern ist anhand der vorliegenden Simulationsergebnisse nicht möglich. Eine genaue Ursachenanalyse würde eine ergänzende Arbeitspunkt- und Kleinsignalanalyse der in der Komparatorstufe vorliegenden Transistoren erfordern. Eine solche Detailuntersuchung überschreitet den Rahmen der vorliegenden Arbeit.

3.2.3 Transientenanalyse des Komparators über der Temperatur

Im Anschluss an die DC-Analyse wird das dynamische Schaltverhalten des Komparators im gleichen Temperaturbereich analysiert. Hierzu wird am Eingang V_{in} ein zeitlich veränderliches Signal angelegt, während die Referenzspannung V_{ref} konstant bei $V_{DD}/2$ bleibt. Für die Tran-

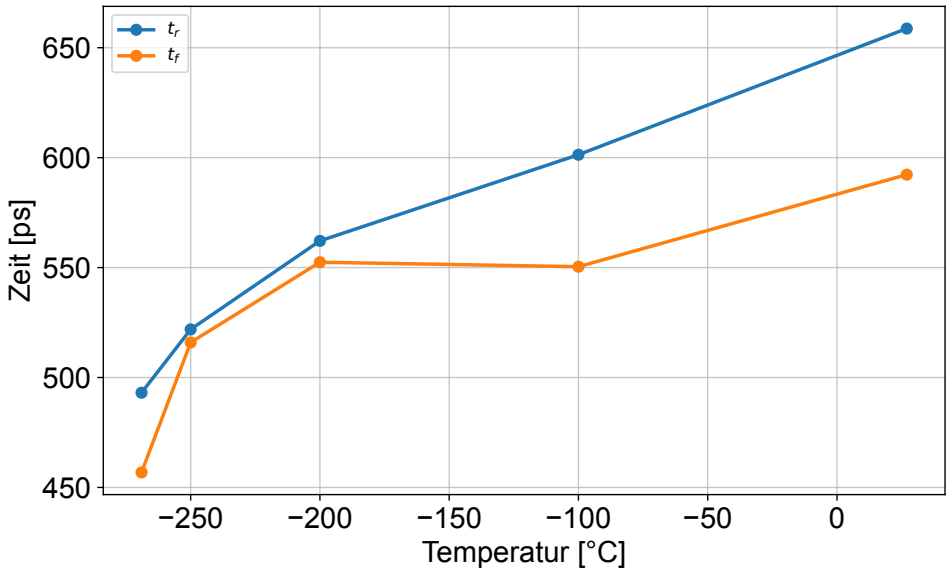


Abbildung 3.13.: Anstiegs- und Abfallzeiten des Komparators über der Temperatur

sientenanalyse wird am Eingang V_{in} eine Pulsspannung angelegt. Diese wird in LTSpice durch eine PULSE-Quelle beschrieben:

```
PULSE(1.5 1.8 10n 100p 100p 30n 70n)
```

Die Eingangsspannung wechselt zwischen 1,5 V und 1,8 V. Damit liegt sie jeweils um 150 mV unterhalb beziehungsweise oberhalb der Referenzspannung. Der Komparator wird dadurch eindeutig zwischen seinen beiden Ausgangszuständen umgeschaltet. Der erste Spannungssprung erfolgt nach einer Verzögerungszeit von 10 ns. Die Anstiegs- und Abfallzeit des Eingangssignals betragen jeweils 100 ps, die Pulsbreite 30 ns und die Periodendauer 70 ns.

Die Transientenanalyse wird über einen Zeitraum von 150 ns mit folgender LTSpice-Direktive durchgeführt:

```
.tran 0 150n 0 1p
```

Die maximale Zeitschrittweite wird auf 1 ps begrenzt, um die Schaltflanken des Komparators präzise darzustellen.

Für die Auswertung werden die Anstiegszeit t_r, Abfallzeit t_f, Ausgangspegel V_{OH} und V_{OL}, die Slew Rate sowie der mittlere Versorgungsstrom I_{DD} und die daraus resultierende Leistungsaufnahme betrachtet. Die Anstiegs- und Abfallzeiten kennzeichnen die Geschwindigkeit des Ausgangsübergangs zwischen Low- und High-Pegel. Die Slew Rate gibt die maximale zeitliche Spannungsänderung des Ausgangssignals an.

Die Auswertung der Schaltzeiten in Abbildung 3.13 zeigt, dass sowohl die Anstiegszeit t_r als auch die Abfallzeit t_f mit sinkender Temperatur abnehmen. Die Anstiegszeit reduziert sich von 659 ps bei 27 °C auf etwa 493 ps bei −269 °C. Die Abfallzeit sinkt im gleichen Temperaturbe-

reich von etwa 593 ps auf etwa 457 ps. Dies entspricht einer Verringerung um ungefähr 25 % für die Anstiegszeit und ungefähr 23 % für die Abfallzeit.

Dieses Verhalten resultiert aus den temperaturabhängigen Änderungen der MOSFET-Eigenschaften. Bei sinkender Temperatur nimmt die Ladungsträgerbeweglichkeit zu. Dadurch erhöht sich die effektive Leitfähigkeit des Kanals, sodass der Ausgangsknoten schneller geladen beziehungsweise entladen werden kann. Die Ausgangsflanken des Komparators werden dadurch steiler und die Schaltzeiten kürzer.

Auffällig ist außerdem, dass die Abfallzeit über den gesamten Temperaturbereich kleiner bleibt als die Anstiegszeit. Die fallende Ausgangsflanke verläuft somit schneller als die steigende Ausgangsflanke. Dies weist darauf hin, dass das Entladen des Ausgangsknotens dynamisch schneller erfolgt als das Aufladen.

Es ist erkennbar, dass die Komparatorstufe bei niedrigeren Temperaturen eine kürzere Reaktionszeit aufweist. So wird die Vergleichsentscheidung des Komparators am Ausgangsknoten V_{OUT} schneller sichtbar. Die unterschiedlichen Zeiten für steigende und fallende Ausgangsflanken sind wichtig, da unterschiedliche Verzögerungen das dynamische Verhalten der im Anschluss geschalteten Inverterstufe beeinflussen können.

Die Slew Rate wird neben der Anstiegs- und der Abfallzeit ebenfalls zur Beurteilung des Umschaltverhaltens des Komparators herangezogen. Sie beschreibt die maximale zeitliche Änderung der Ausgangsspannung während eines Umschaltvorgangs. Tietze et al. [12] definieren sie als maximale Anstiegsgeschwindigkeit der Ausgangsspannung eines Verstärkers [12]. Für den Komparatorausgang wird diese Definition entsprechend auf die Ausgangsspannung V_{OUT} übertragen:

$$SR = \left| \frac{dV_{OUT}}{dt} \right|_{\max} . \tag{3.4}$$

Eine größere Slew Rate bedeutet, dass der Ausgangsknoten schneller zwischen den Ausgangspegeln wechselt.

Die kürzeren Anstiegs- und Abfallzeiten spiegeln sich auch in der Slew Rate wider (siehe Abbildung 3.14). Mit sinkender Temperatur steigt sowohl die Slew Rate der steigenden Ausgangsflanke als auch der fallenden Ausgangsflanke. Bei 27 °C liegt die Slew Rate der steigenden Ausgangsflanke bei etwa 3,20 V ns^{-1}, während die fallende Ausgangsflanke ungefähr 3,71 V ns^{-1} erreicht. Bei −269 °C steigen diese Werte auf etwa 4,94 V ns^{-1} beziehungsweise 5,11 V ns^{-1}.

Auch die Ausgangspegel weisen eine deutliche Temperaturabhängigkeit auf. Wie in Tabelle 3.3 zu sehen, nimmt der Low-Pegel V_{OL} mit sinkender Temperatur ab, sodass sich der Ausgang dem Massepotential annähert. Während V_{OL} bei 27 °C noch ungefähr 0,71 V beträgt, sinkt der Wert bei −269 °C auf etwa 0,27 V. Der High-Pegel V_{OH} verhält sich dagegen nicht streng monoton. Bei Raumtemperatur liegt er ungefähr bei 2,74 V, fällt bei −200 °C auf etwa 2,51 V ab und steigt bei tieferen Temperaturen wieder an.

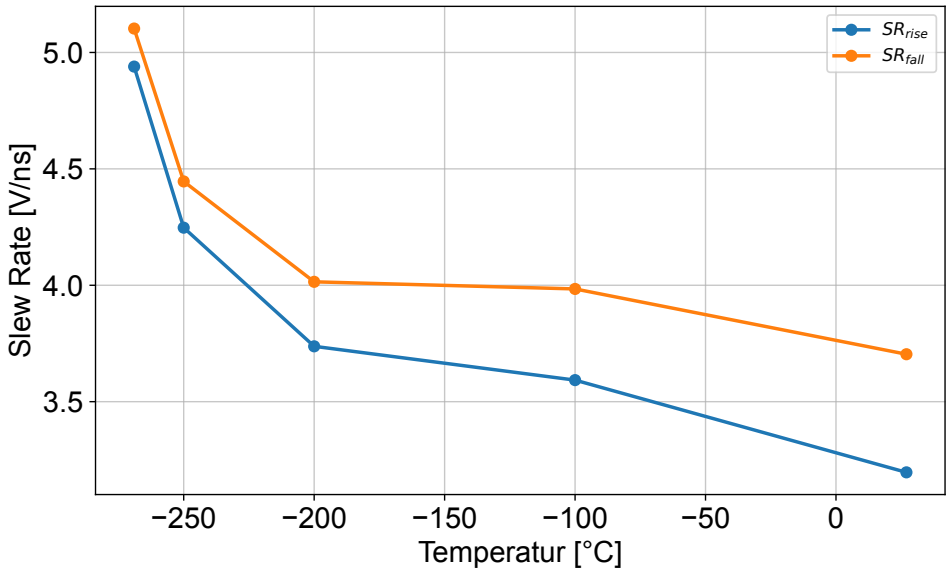


Abbildung 3.14.: Slew Rate des Komparators über der Temperatur

Temperatur	V_{OL}	V_{OH}
27 °C	0,71 V	2,74 V
−100 °C	0,57 V	2,71 V
−200 °C	0,42 V	2,51 V
−250 °C	0,3 V	2,53 V
−269 °C	0,27 V	2,7 V

Tabelle 3.3.: Ausgangspegel über der Temperatur

Zusätzlich zu den Ausgangspegeln wird der mittlere Versorgungsstrom I_{DD} analysiert. Dieser Wert beschreibt den zeitlich gemittelten Strom, der während der Transientensimulation aus der Versorgung entnommen wird. Aus dem mittleren Versorgungsstrom wird anschließend die mittlere Leistungsaufnahme bestimmt. Die Versorgungsquelle liefert einen konstanten Wert von 3,3 V. Für die mittlere Leistungsaufnahme dieser Schaltung gilt also

$$P_{\text{avg}} = V_{\text{DD}} \cdot I_{\text{DD,avg}} \tag{3.5}$$

Die Simulationsergebnisse aus der Abbildung 3.15 zeigen, dass der mittlere Versorgungsstrom mit sinkenden Temperaturen deutlich ansteigt. Bei 27 °C beträgt der mittlere Versorgungsstrom etwa 0,91 mA. Bei −100 °C steigt er auf rund 1,53 mA, bei −200 °C auf etwa 3,44 mA. Bei −250 °C und −269 °C werden Werte von ungefähr 5,52 mA beziehungsweise 5,93 mA erreicht.

Dieser Verlauf verdeutlicht, dass die schnellere dynamische Reaktion des Komparators bei tiefen Temperaturen mit einer deutlich höheren Stromaufnahme verbunden ist. Durch die erhöhte Ladungsträgerbeweglichkeit steigt die Kanalleitfähigkeit der leitenden Transistoren. Dies ist auf die Formel in Unterabschnitt 2.1.2 zurückzuführen. [5]

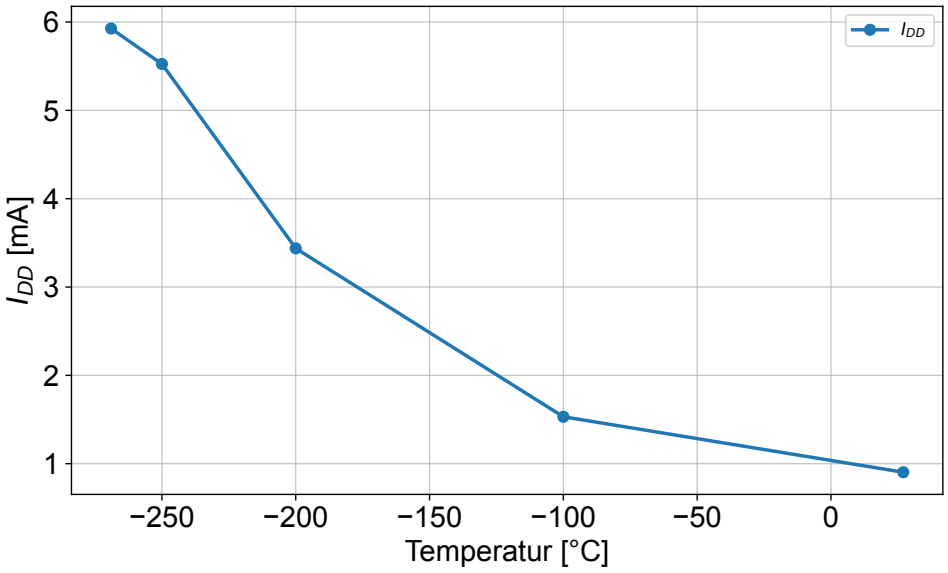


Abbildung 3.15.: Mittlerer Versorgungsstrom des Komparators über der Temperatur

Gleichzeitig verschieben sich die Schwellspannungen, wodurch sich die Gate-Übersteuerungen der einzelnen Transistoren ändern. Für den Fußpunkttransistor M_{20} bedeutet dies, dass sich der eingestellte Biasstrom mit der Temperatur ändern kann, obwohl die angelegte Vorspannung konstant bleibt. Auch die beiden Transistoren des Differenzpaares und die PMOS-Stromspiegellast arbeiten dadurch bei jeder Temperatur in einem leicht veränderten Arbeitspunkt.

Der mittlere Versorgungsstrom steigt daher, weil die Strompfade der Komparatorstufe bei tiefen Temperaturen eine höhere effektive Leitfähigkeit aufweisen und die statischen Zweigströme größer werden. Zusätzlich treten während der Umschaltvorgänge Umladeströme am Ausgang auf. Diese dynamischen Stromanteile überlagern sich mit dem statischen Biasstrom. Das in Abbildung 3.15 dargestellte Simulationsergebnis enthält somit sowohl den kontinuierlichen Arbeitspunktstrom der Komparatorstufe als auch die dynamischen Umladeströme während der Ausgangsflanken.

Aus dem steigenden Versorgungsstrom ergibt sich eine steigende mittlere Leistungsaufnahme. Diese erhebliche Zunahme der Leistung ist für die Komparatorstufe besonders problematisch, weil sie das Argument des Vorteils der schnelleren Schaltvorgänge bei sinkenden Temperaturen deutlich abschwächt. Die vorherigen Auswertungen zeigen, dass der Komparator das Vergleichsergebnis durch kürzer werdende Anstiegs- und Abfallzeiten und die zunehmende Slew Rate schneller liefert. Gleichzeitig steigt jedoch der Energiebedarf deutlich an.

Zusätzlich wird die elektrische Verlustleistung in Wärme umgesetzt. In kryogenen Systemen kann dieser Wärmeeintrag kritisch sein, da die Kühlleistung parallel zur Verlustleistung zunehmen müsste. Eine Schaltung, die elektrisch schneller arbeitet, kann aus diesem Grund trotzdem ungünstig sein, wenn sie den Energiebedarf und die daraus resultierende thermische Belastung des Gesamtsystems erhöhen.

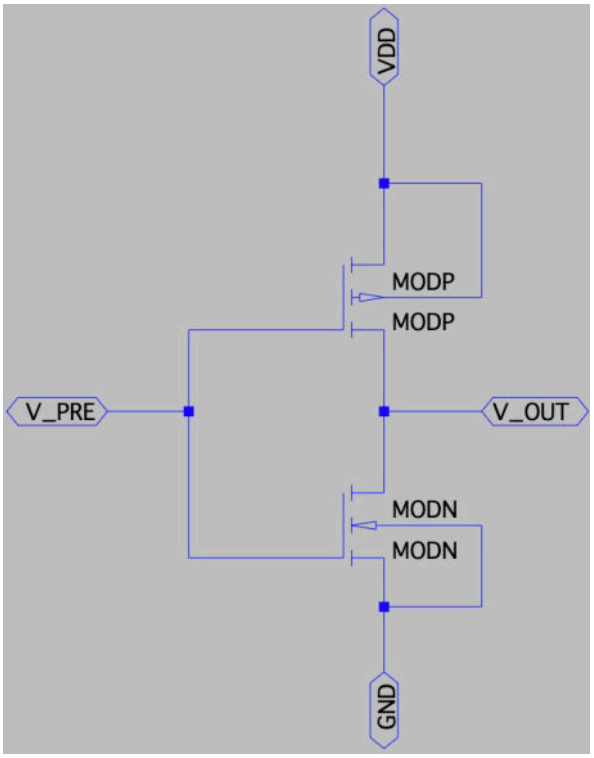


Abbildung 3.16.: CMOS-Inverter-Schaltung in LTSpice

3.3 Analyse der CMOS-Inverterstufe

Die CMOS-Inverterstufe wird in dieser Arbeit als nachgeschaltete Ausgangsstufe des Komparators verwendet. Sie dient dazu, das analoge beziehungsweise verstärkte Ausgangssignal der Komparatorschaltung in einen definierten Pegel zu überführen. Für den 2-Bit-Flash-ADC ist dies erforderlich, da die Ausgänge der Komparatoren eindeutig als logische Zustände, 0 oder 1, interpretiert werden müssen.

3.3.1 Einfluss der Transistordimensionierung

Zur ersten Bewertung der CMOS-Inverterstufe wird die in Cadence verwendete Transistordimensionierung übernommen. Dabei besitzen NMOS und PMOS jeweils eine Kanalweite von $W_n = W_p = 10\,\mu m$ und eine Kanallänge von $L_n = L_p = 0{,}35\,\mu m$. Die daraus resultierenden Transferkennlinien werden sowohl in LTSpice (siehe Abbildung 3.16) als auch in Cadence simuliert und bei denselben zuvor genannten Temperaturpunkten verglichen.

Die Umschaltpunkte der Inverterstufe in der Abbildung 3.17 unterscheiden sich zwischen LTSpice und Cadence nur im Millivoltbereich. Bei 27 °C ergibt sich in beiden Simulationsumgebungen ein Schaltpunkt von etwa 1,280 V. Auch bei tieferen Temperaturen bleiben die Unterschiede gering. Für −100 °C liegt der Umschaltpunkt bei etwa 1,255 V in LTSpice und 1,256 V in Cadence. Bei −200 °C ergeben sich 1,264 V in LTSpice und 1,266 V in Cadence. Für −250 °C liegen die Werte bei etwa 1,315 V in Cadence und 1,312 V in LTSpice. Damit bestä-

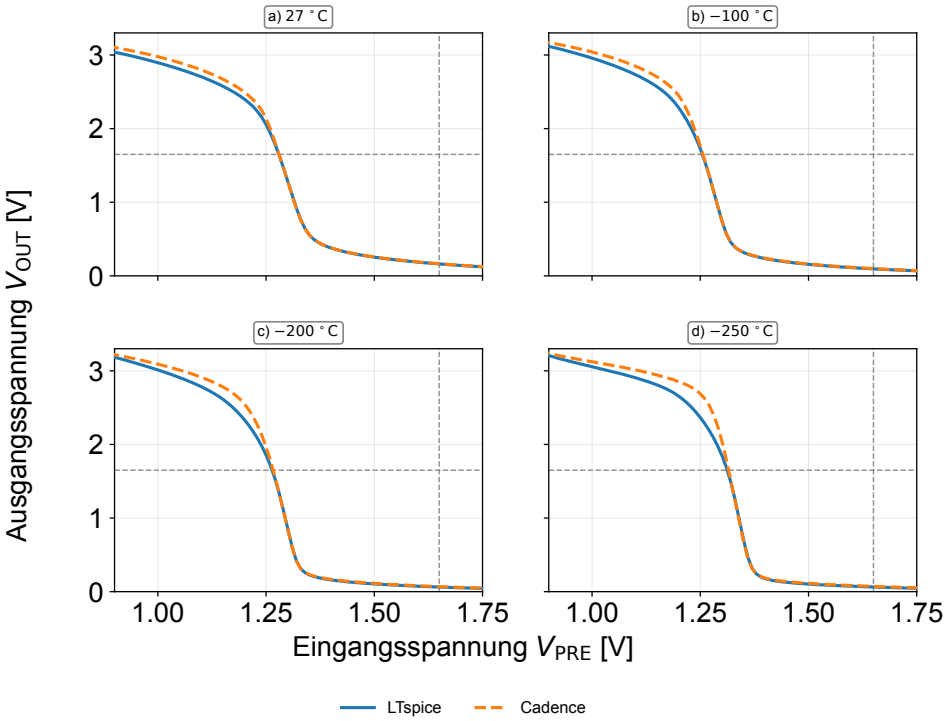


Abbildung 3.17.: Vergleich der simulierten Übertragungskennlinien der CMOS-Inverterstufe in LTSpice und Cadence bei a) 27 °C, b) —100 °C, c) —200 °C und d) —250 °C

tigt der Vergleich, dass LTSpice das Transferverhalten der CMOS-Inverterstufe bei gleichen Modellabmessungen konsistent zu Cadence simuliert.

Gleichzeitig zeigen die Kennlinien, dass die untersuchte Inverterstufe nicht symmetrisch um die halbe Versorgungsspannung schaltet. Bei einer Versorgungsspannung von 3,3 V liegt der ideale Umschaltpunkt für eine symmetrische Transferkennlinie bei $V_{DD}/2 = 1{,}65\,\text{V}$.

Die simulierten Schaltungen zeigen jedoch, dass ihre Umschaltpunkte deutlich unter diesem Wert liegen. Die CMOS-Inverterstufe schaltet bereits bei einer Eingangsspannung von ungefähr 1,255 V bis 1,32 V. Daher müssen die Kanalweiten der Transistoren angepasst werden. Obwohl beide Transistoren mit $W = 10\,\mu\text{m}$ und $L = 0{,}35\,\mu\text{m}$ dimensioniert werden, ist der n-Kanal-MOSFET aufgrund der höheren Beweglichkeit der Elektronen bei gleicher Kanalgeometrie leitfähiger als der p-Kanal-MOSFET. Dadurch dominiert der Pull-Down-Pfad gegenüber dem Pull-Up-Pfad, sodass der Umschaltpunkt zu niedrig liegt.

Zur Bestimmung einer geeigneten Transistordimensionierung wird zunächst ein Parameter-Sweep in LTSpice durchgeführt. Ausgangspunkt sind die zuvor genannten, ursprünglichen Transistorabmessungen. Zunächst werden die Kanalweiten und die Kanallängen von NMOS und PMOS variiert. Für jede Parameterkombination wird eine DC-Transferkennlinie berechnet. Der Umschaltpunkt V_M wird mit den `.meas`-Direktiven bestimmt:

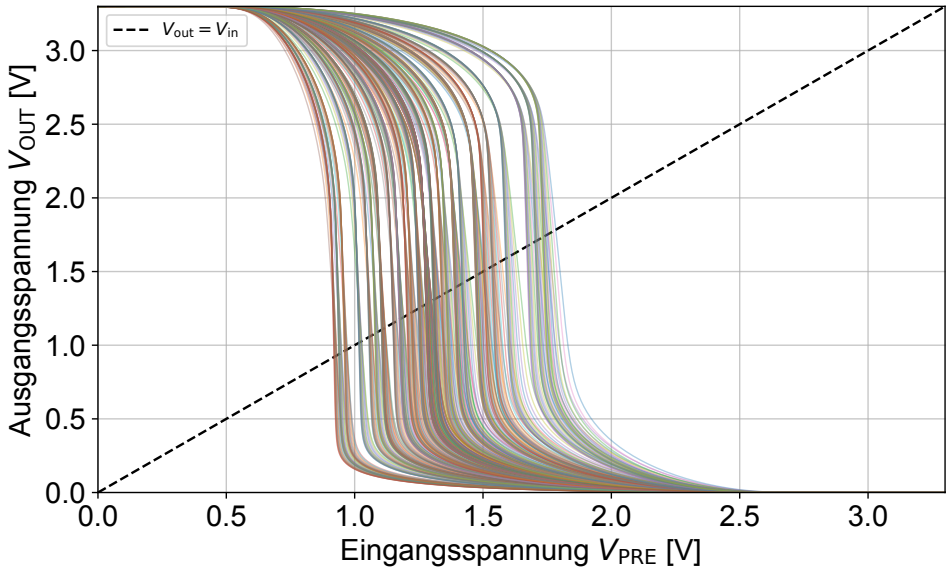


Abbildung 3.18.: Übertragungskennlinien des CMOS-Inverters beim W/L-Sweep

```
.meas dc VM FIND V(v_pre) WHEN V(v_out)=V(v_pre)
.meas dc OFFSET PARAM VM-1.65
.meas dc ABS_OFFSET PARAM abs(VM-1.65)
```

Die erste Direktive berechnet den Eingangsspannungswert, bei dem Eingangs- und Ausgangsspannung der Inverterstufe gleich groß sind. Mit `OFFSET` wird die Abweichung vom Zielwert 1,65 V berechnet. Mit `ABS_OFFSET` wird der Betrag dieser Abweichung bestimmt. Die Ergebnisse werden anschließend aus dem LTSpice-Error-Log ausgewertet.

In einem ersten groben Sweep werden die Kanalweiten W_n=10 µm, 12,5 µm und 15 µm, W_p=10 µm, 20 µm, 30 µm, 40 µm, 45 µm und 50 µm und Kanallängen zwischen 0,35 µm und 1,0 µm untersucht. Aus diesem groben Sweep ergibt sich zunächst die Kombination

$$W_n = 10\,\mu\text{m}, \qquad W_p = 30\,\mu\text{m}, \qquad L = 0{,}8\,\mu\text{m}$$

als beste Variante, da für diese Kombination die Abweichung vom Zielwert $|OFFSET|$=24,726 mV berechnet wird. Dies entspricht bezogen auf den Zielwert von 1,65 V einer relativen Abweichung von etwa

$$\frac{24{,}726\,\text{mV}}{1{,}65\,\text{V}} \cdot 100 \approx 1{,}5\,\%. \tag{3.6}$$

Diese Abweichung ist im Vergleich zu den ursprünglichen Transistorabmessungen deutlich kleiner. Da der grobe Sweep nur eine begrenzte Anzahl diskreter Parameterkombinationen untersucht, werden um diesen Bereich noch feinere Sweeps durchgeführt, um zu überprüfen, ob der Umschaltpunkt noch näher an den Symmetriepunkt verschoben werden kann.

Aus diesen feineren Sweeps ergibt sich als geeignete Dimensionierung W_p=45 µm, L_p=0,8 µm für den p-Kanal-MOSFET und W_n=12,5 µm, L_n=0,8 µm für den n-Kanal-MOSFET. Für diese Dimensionierung beträgt die Abweichung vom idealen Umschaltpunkt nur noch etwa $|OFFSET|$

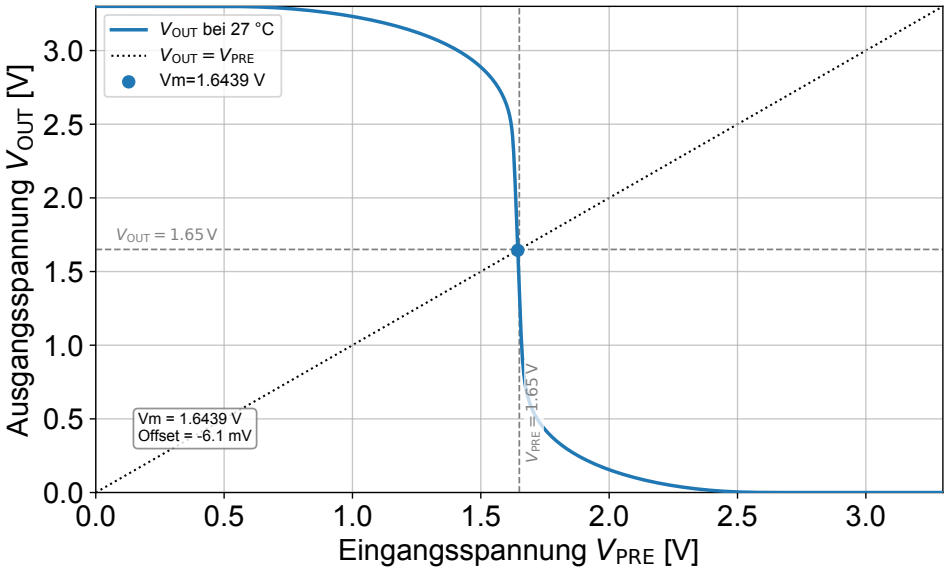


Abbildung 3.19.: Übertragungskennlinie des CMOS-Inverters nach dem W/L-Sweep bei Raumtemperatur 27 °C

=6,1 mV. Dies entspricht einer relativen Abweichung von etwa

$$\frac{6{,}1\,\text{mV}}{1{,}65\,\text{V}} \cdot 100 \approx 0{,}37\,\%. \tag{3.7}$$

Daraus ergibt sich ein Breitenverhältnis von

$$\frac{W_p}{W_n} = \frac{45}{12.5} \approx 3.6 \tag{3.8}$$

Das Verhältnis liegt über dem aus der Literatur bekannten Weitenverhältnis von W_p/W_n. [6]

3.3.2 DC-Analyse der CMOS-Inverterstufe über der Temperatur

Zur Analyse des Gleichspannungsverhaltens über die Temperatur wird die Eingangsspannung V_{PRE} von 0 V bis 3,3 V variiert und die Ausgangsspannung V_{OUT} ausgewertet.[1] Der zentrale Auswerteparameter ist der Umschaltpunkt V_M.

Bei kryogenen Temperaturen verschiebt sich die Invertersymmetrie, da die elektrischen Parameter von NMOS und PMOS unterschiedliche Temperaturkoeffizienten aufweisen. Die simulierten DC-Kennlinien zeigen genau dieses Verhalten.

Mit sinkender Temperatur verschiebt sich der Umschaltpunkt zunächst zu kleineren Eingangsspannungen. Bei —100 °C ergibt sich V_M=1,5476 V. Dies entspricht einem Offset von —102,4 mV.

[1] Die Eingangsspannung der Inverterstufe wird als V_{PRE} bezeichnet, weil dieses Signal dem vorgelagerten Ausgangssignal der Komparatorschaltung entspricht und anschließend durch die Inverterstufe in einen digitalen Pegel überführt wird.

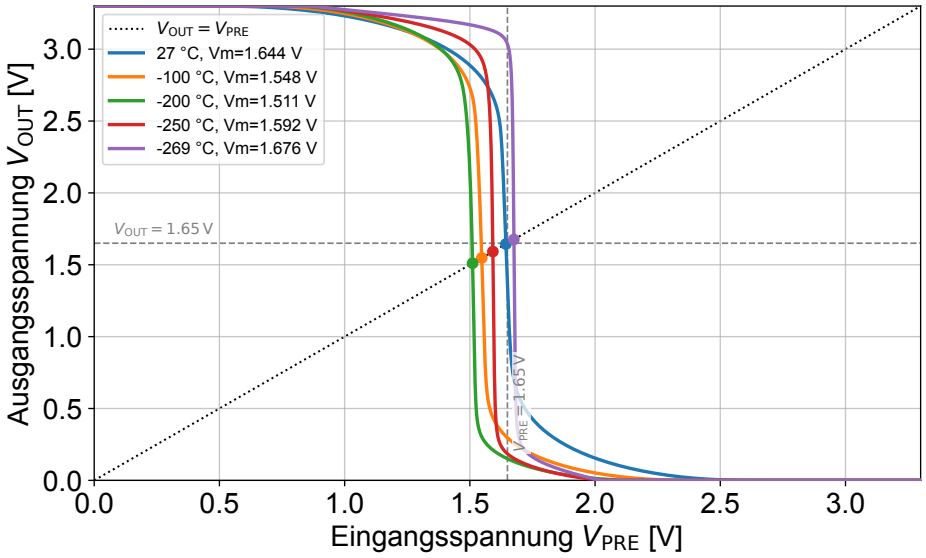


Abbildung 3.20.: Übertragungskennlinie des CMOS-Inverters nach der W/L-Dimensionierung

Bei −200 °C sinkt der Umschaltpunkt weiter auf V_M=1,5109 V, mit einem Offset von −139,1 mV. Diese Verschiebung zu kleineren Eingangsspannungen zeigt, dass der Pull-Down-Pfad im Vergleich zum Pull-Up-Pfad stärker wirksam wird. Der n-Kanal-MOSFET kann den Ausgang bereits bei einer niedrigeren Eingangsspannung V_{PRE} nach Masse ziehen. Eine Ursache ist die temperaturabhängige Änderung der Ladungsträgerbeweglichkeit. Da der Übertragungsleitwertfaktor eines MOSFETs näherungsweise durch

$$\beta = \mu C'_{ox} \frac{W}{L} \tag{3.9}$$

beschrieben werden kann (siehe Unterabschnitt 2.1.2), beeinflusst eine temperaturabhängige Beweglichkeit auch das Verhältnis der wirksamen Übertragungsleitwertfaktoren von NMOS und PMOS [5]. Dabei beschreibt μ die Beweglichkeit der Ladungsträger im Inversionskanal, C'_{ox} die flächenbezogene Oxidkapazität, W die Kanalweite und L die Kanallänge. Dadurch verschiebt sich das Gleichgewicht zwischen Pull-Up- und Pull-Down-Pfad im Umschaltbereich. Desweiteren beeinflussen die temperaturabhängigen Schwellspannungen die Gate-Übersteuerungen beider Transistoren.

Bei weiter sinkender Temperatur kehrt sich der Trend teilweise um. Bei −250 °C liegt der Umschaltpunkt wieder bei V_M=1,5919 V,

mit einem Offset von −58,1 mV. Bei −269 °C verschiebt sich der Umschaltpunkt sogar leicht oberhalb der halben Versorgungsspannung auf V_M=1,6756 V. Der Offset beträgt hier 25,6 mV.

Der Temperaturverlauf ist damit nicht streng monoton. Der Umschaltpunkt verschiebt sich erst deutlich zu kleineren Eingangsspannungen und nähert sich bei tieferen Temperaturen wieder dem Symmetriepunkt an und liegt bei −269 °C leicht oberhalb der halben Versorgungsspannung 1,65 V.

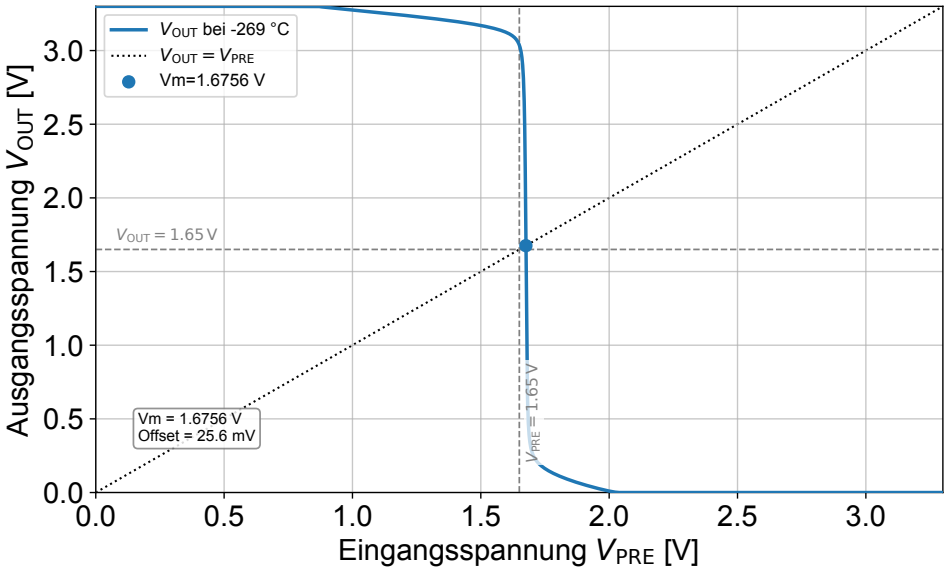


Abbildung 3.21.: Übertragungskennlinie des CMOS-Inverters bei −269 °C

Die kryogenen Effekte beeinflussen den n-Kanal- und den p-Kanal-MOSFET nicht identisch. Ändern sich die Parameter $\beta_n, \beta_p, V_{th,n}$ und $V_{th,p}$ unterschiedlich stark, verschiebt sich das Verhältnis zwischen Pull-Down- und Pull-Up-Pfad. Die erste Verschiebung zu kleineren Eingangsspannungen zeigt eine stärkere Wirkung des Pull-Down-Pfades, weil der n-Kanal-MOSFET im Umschaltbereich zum p-Kanal-MOSFET eine stärkere Kanalleitfähigkeit besitzt und den Ausgangsknoten dadurch schon bei kleinerem V_{PRE} nach Masse entladen kann.

Die spätere Rückverschiebung bei tieferen Temperaturen deutet darauf hin, dass der Pull-Down-Pfad nicht mehr so stark dominiert. Die weiter ansteigende Schwellspannung reduziert die effektive Gate-Übersteuerung des n-Kanal-MOSFETs und begrenzt dadurch seine Entladefähigkeit am Ausgangsknoten. Außerdem verschiebt sich der Arbeitspunkt des p-Kanal-MOSFETs, sodass der Pull-Up-Pfad stärker wirkt. Somit nähert sich das Verhältnis der Pull-Up- und Pull-Down-Ströme wieder einem ausgeglichenen Zustand, sodass der Umschaltpunkt zurück in Richtung der halben Versorgungsspannung verschoben wird.

3.3.3 Transientenanalyse der CMOS-Inverterstufe über der Temperatur

Für die Transientenanalyse bleibt die Anordnung der Anschlüsse erhalten. Am Eingang der Schaltung V_{PRE} wird eine Pulsspannungsquelle angelegt. Diese wird in LTSpice durch folgende PULSE-Quelle beschrieben:

```
PULSE(0 3.3 1n 100p 100p 50n 120n)
```

Der niedrige Eingangswert entspricht einem logischen Low-Pegel, der hohe Eingangswert einem logischen High-Pegel. Aufgrund der invertierenden Eigenschaft der CMOS-Inverterstufe führt ein niedriger Eingangspegel zu einem hohen Ausgangspegel und ein hoher Eingangspegel zu einem niedrigen Ausgangspegel. Der erste Spannungssprung von 0 V auf 3,3 V erfolgt

nach einer Zeitverzögerung von 1 ns. Die Anstiegs- und die Abfallzeit des Eingangssignals liegen jeweils bei 100 ps. Außerdem beträgt die Pulsbreite 50 ns und die Periodendauer 120 ns.

Im Gegensatz zur Transientenanalyse des Komparators wird die Inverterstufe mit einem vollständigen Spannungshub zwischen 0 V und 3,3 V angesteuert. Die unterschiedlichen Eingangssignale ergeben sich aus den jeweiligen Aufgaben der beiden Schaltungsblöcke. Beim Komparator wird die Eingangsspannung gezielt unterhalb und oberhalb der Referenzspannung variiert, um das dynamische Verhalten im Bereich der Vergleichsschwelle zu untersuchen. Die Inverterstufe verarbeitet dagegen logische Eingangszustände. Daher werden für ihre getrennte Charakterisierung ideale Low- und High-Pegel entsprechend den Versorgungsspannungsgrenzen verwendet. Dadurch kann das dynamische Schaltverhalten der Inverterstufe unabhängig vom Ausgangssignal des vorgeschalteten Komparators bewertet werden.

Außerdem wird die Transientensimulation mit der LTSpice-Direktive

```
.tran 0 150n 0 1p
```

durchgeführt. Die Simulation umfasst einen Zeitraum von 150 ns und die maximale Zeitschrittweite wird auf 1 ps begrenzt, damit die schnellen Schaltflanken ausreichend genau aufgelöst werden.

Das dynamische Verhalten der Inverterstufe wird durch die Leitfähigkeit beider Transistoren und durch die am Ausgangsknoten vorhandene Kapazität bestimmt. Beim Ausgangsübergang von Low nach High wird diese Kapazität über den Pull-Up-Pfad geladen und von High nach Low wird sie über den Pull-Down-Pfad entladen.

Die Simulationsergebnisse Abbildung A.5 und Abbildung A.9 zeigen, dass die Ausgangsflanken der Inverterstufe bei sinkender Temperatur steiler werden. Dies ist ein erster Hinweis auf eine beschleunigte Umladung des Ausgangsknotens. Eine genauere Bewertung erfolgt durch die Anstiegs- und Abfallzeiten.

Die Schaltzeiten in der Abbildung 3.22 zeigen deutlich sinkende Antwortzeiten der Inverterstufe mit sinkender Temperatur. Die Anstiegszeit sinkt von 878,24 ps bei 27 °C auf 135,21 ps bei −269 °C. Die Abfallzeit reduziert sich im gleichen Temperaturbereich von 852,49 ps auf 199,60 ps. Bei tiefen Temperaturen wird das Umladen des Ausgangsknotens somit wesentlich schneller.

Die kürzeren Flankenzeiten sind auf die temperaturabhängige Veränderung der Lade- und Entladepfade zurückzuführen. Der Ausgangsknoten enthält parasitäre Kapazitäten, die beim Umschalten entweder über den p-Kanal-MOSFET geladen oder über den n-Kanal-MOSFET entladen werden. In einer vereinfachten Betrachtung kann der leitende MOSFET als Einschaltwiderstand und der Ausgangsknoten als kapazitive Last betrachtet werden. Klar und Noll beschreiben diesen Vorgang durch ein RC-Ersatzmodell, bei dem der leitende Transistor durch einen Einschaltwiderstand R_{on} ersetzt wird. Für die Gatterlaufzeit bis zum halben Ausgangsspan-

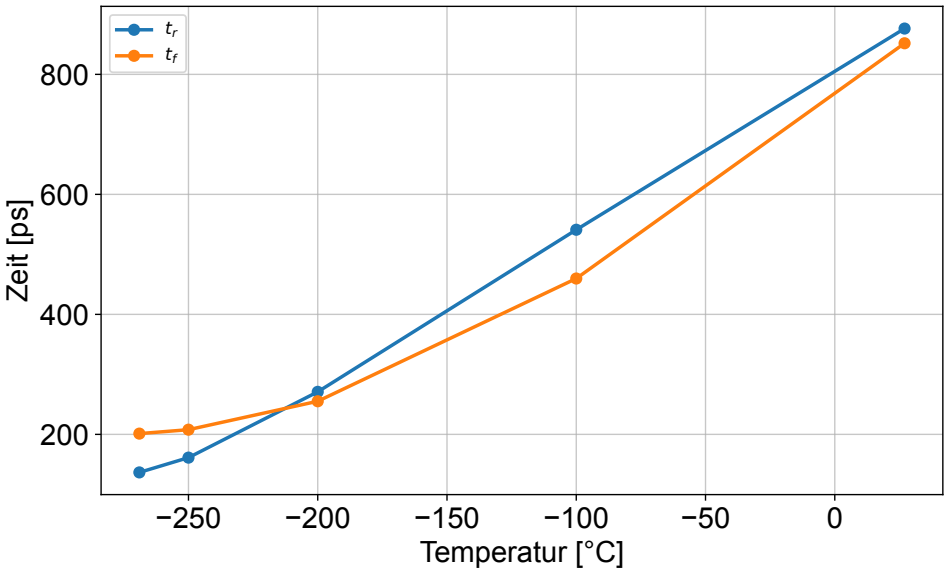


Abbildung 3.22.: Anstiegs- und Abfallzeiten der CMOS-Inverterstufe über der Temperatur

nungswert ergibt sich

$$t_p = R_{on} C_L \ln 2. \tag{3.10}$$

Der Faktor ln 2 entsteht aus der Betrachtung des 50-%-Schaltpunktes der RC-Lade- beziehungsweise Entladekurve [6]. Sinkt die Temperatur, verändert sich die Leitfähigkeit des leitenden MOSFETs. Eine höhere Leitfähigkeit entspricht laut dieser Formel einem kleineren R_{on}. Dadurch wird die Ausgangskapazität schneller umgeladen, sodass die Anstiegs- und Abfallzeiten kleiner werden.

Außerdem wird bei tiefen Temperaturen die steigende Ausgangsflanke stärker beschleunigt als die fallende Ausgangsflanke. Das zeigt, dass Pull-Up- und Pull-Down-Pfad unterschiedlich auf die Temperaturänderung reagieren. Der Pull-Up-Pfad wird durch den p-Kanal-MOSFET und der Pull-Down-Pfad durch den n-Kanal-MOSFET bestimmt. Da die Elektronen- und Löcherbeweglichkeit und die Schwellspannungen unterschiedlich temperaturabhängig sind, verändern sich Lade- und Entladevorgang des Ausgangsknotens nicht im gleichen Verhältnis.

Aus Abbildung 3.23 und Tabelle 3.4 ergibt sich eine deutliche Zunahme der Flankensteilheit bei sinkender Temperatur. Bei 27 °C liegen die Werte für die steigende und die fallende Ausgangsflanke mit 3,12 V ns^{-1} beziehungsweise 3,22 V ns^{-1} nahezu gleich. Die Inverterstufe zeigt bei Raumtemperatur damit ein annähernd symmetrisches dynamisches Verhalten.

Bis −200 °C steigen beide Slew Rates deutlich an. Für die steigende Ausgangsflanke ergibt sich 9,91 V ns^{-1}, für die fallende Ausgangsflanke 10,52 V ns^{-1}. Der Ausgangsknoten wird in diesem Temperaturbereich somit viel schneller umgeladen als bei Raumtemperatur.

Bei weiter sinkender Temperatur entsteht eine deutliche Flankenasymmetrie. Bei −250 °C steigt SR_{rise} auf 16,55 V ns^{-1}, während SR_{fall} nur 12,84 V ns^{-1} erreicht. Bei −269 °C wird dieser

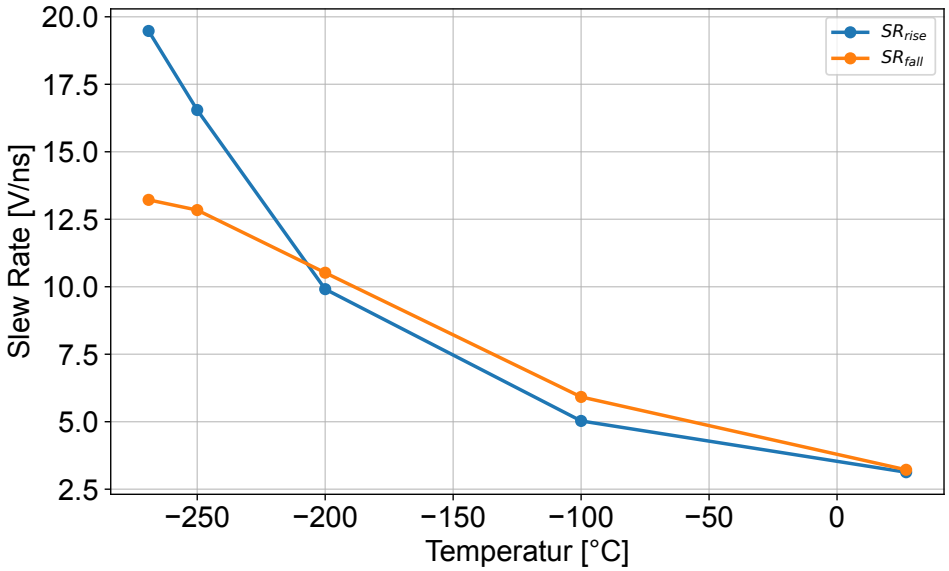


Abbildung 3.23.: Slew Rate der CMOS-Inverterstufe über der Temperatur

Temperatur	SR_{rise}	SR_{fall}
27 °C	3,12 V ns^{-1}	3,22 V ns^{-1}
−100 °C	5,03 V ns^{-1}	5,92 V ns^{-1}
−200 °C	9,91 V ns^{-1}	10,52 V ns^{-1}
−250 °C	16,55 V ns^{-1}	12,84 V ns^{-1}
−269 °C	19,48 V ns^{-1}	13,22 V ns^{-1}

Tabelle 3.4.: Slew Rate der CMOS-Inverterstufe über der Temperatur

Unterschied noch größer. Die steigende Ausgangsflanke erreicht 19,48 V ns^{-1}, die fallende Ausgangsflanke dagegen 13,22 V ns^{-1}.

Die zunehmenden Slew Rates zeigen, dass der Ausgangsknoten bei sinkender Temperatur schneller geladen und entladen wird. Dieses Verhalten kann im Zusammenhang mit der Erhöhung der Ladungsträgerbeweglichkeit stehen, sodass die leitenden Transistoren einen größeren Strom liefern können. Damit ist zu erwarten, dass sich die schnelleren Umschaltvorgänge auch in der Stromaufnahme der CMOS-Inverterstufe widerspiegeln.

Der CMOS-Inverter besitzt im idealen statischen Zustand keinen dauerhaft leitenden Strompfad zwischen V_{DD} und Masse, da jeweils einer der beiden Transistoren sperrt. Die wesentliche Stromaufnahme des Inverters entsteht während der Schaltvorgänge [2]. In diesen Zeitbereichen wird der Ausgangsknoten kapazitiv umgeladen. Zusätzlich können kurzzeitig Querströme auftreten, da NMOS und PMOS während der Übergangsphase gleichzeitig leitend sein können.

[2] Diese Aussage bezieht sich auf den betrachteten CMOS-Inverter ohne ohmsche Ausgangslast. Bei einer zusätzlichen ohmschen Last kann auch im statischen Zustand ein Laststrom auftreten

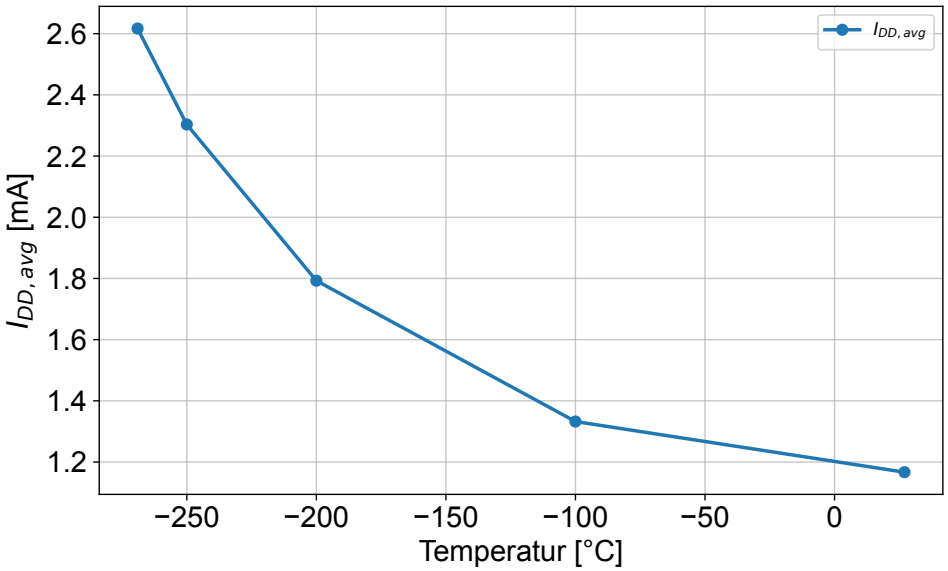


Abbildung 3.24.: Mittlerer Versorgungsstrom der CMOS-Inverterstufe über der Temperatur

Temperatur	$I_{DD,avg}$
27 °C	1,167 mA
−100 °C	1,332 mA
−200 °C	1,793 mA
−250 °C	2,303 mA
−269 °C	2,617 mA

Tabelle 3.5.: Mittlerer Versorgungsstrom der CMOS-Inverterstufe über der Temperatur

Aus Abbildung 3.24 und Tabelle 3.5 ergibt sich eine deutliche Zunahme des mittleren Versorgungsstroms bei sinkender Temperatur. Bei 27 °C beträgt er etwa 1,167 mA. Bei −269 °C steigt der Wert auf 2,617 mA. Damit nimmt der mittlere Versorgungsstrom bei kryogener Temperatur −269 °C um ungefähr den Faktor

$$\frac{2{,}617\,\text{mA}}{1{,}167\,\text{mA}} \approx 2.24 \tag{3.11}$$

zu. Die Zunahme des mittleren Versorgungsstroms zeigt, dass die schnelleren Schaltvorgänge bei tiefen Temperaturen mit einem erhöhten Strombedarf verbunden sind.

Die mittlere Leistungsaufnahme wird aus dem zeitlich gemittelten Versorgungsstrom bestimmt. Da die Versorgungsspannung während der Simulation konstant V_{DD}=3,3 V beträgt, wird die mittlere Leistungsaufnahme nach Gleichung 3.5 berechnet.

Aus Abbildung 3.25 wird ersichtlich, dass die Leistungsaufnahme dem Verlauf des mittleren Versorgungsstroms folgt. Dieser Zusammenhang ist in diesem Fall besonders klar, weil die Versorgungsspannung V_{DD} konstant bleibt. Die höhere Schaltgeschwindigkeit bei tiefen Temperaturen kostet somit einen höheren dynamischen Energiebedarf.

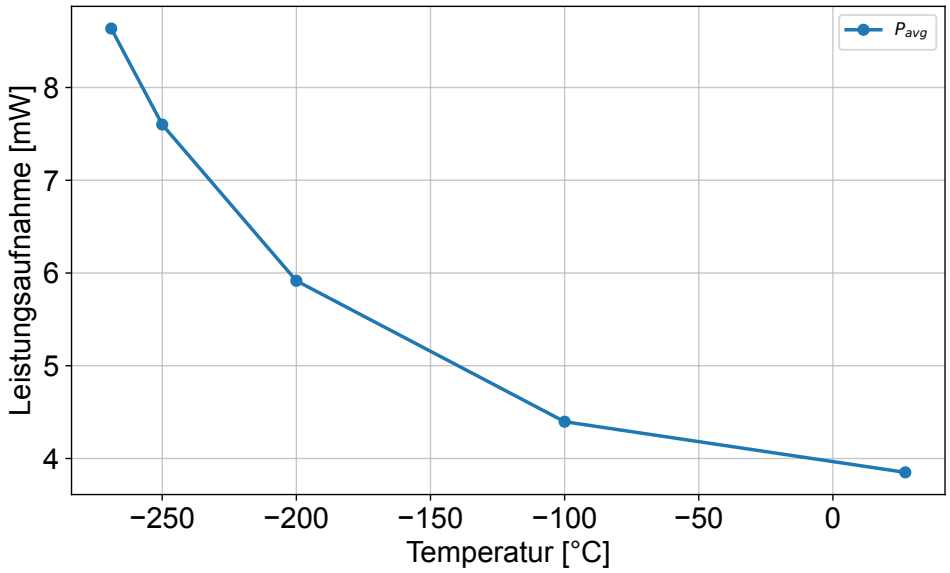


Abbildung 3.25.: Mittlere Leistungsaufnahme der CMOS-Inverterstufe über der Temperatur

Zur tieferen Analyse der Schaltvorgänge werden zusätzlich die Drainströme der beiden MOSFETs sowie der Strom durch die Ausgangskapazität beobachtet. Dadurch wird untersucht, ob die größere Stromstärke bei sinkender Temperatur auf dynamische Verluste während des Umschaltvorgangs zurückzuführen ist. Dazu zählen einerseits die Lade- und Entladeströme der Ausgangskapazität und andererseits kurzzeitige Querströme zwischen V_{DD} und GND. Für die Analyse dieser Stromverläufe werden die Startverzögerung, die Anstiegszeit und die Abfallzeit der Pulsquelle angepasst. Die Startverzögerung wird gegenüber der vorherigen Pulsquelle von 1 ns auf 20 ns angepasst, damit sich die Schaltung vor dem ersten Eingangssprung zunächst in einem stabilen Anfangszustand befindet. Dadurch werden Stromspitzen zu Beginn der Simulation nicht mit möglichen Einschwing- oder Initialisierungseffekten überlagert. Die Anstiegs- und Abfallzeiten betragen jeweils t_r=t_f=100 ps.

So entstehen steile, aber nicht ideal sprunghafte Eingangsflanken, sodass kurzzeitige Stromimpulse während der Umschaltvorgänge gezielt untersucht werden können. Die angepasste Pulsquelle PULSE(0 3.3 20n 100p 100p 50n 120n) wird für die folgende Analyse verwendet.

Während der Übergangsphase existiert ein kurzer Bereich, in dem beide Transistoren gleichzeitig leitend sind. In diesem Fall fließt zusätzlich zum Entladestrom der Ausgangskapazität ein Querleitungsstrom zwischen V_{DD} und Masse.

Die in Abbildung 3.26 dargestellten Stromverläufe zeigen den Entladevorgang des Ausgangsknotens bei einem Eingangssprung von Low nach High. Durch die steigende Eingangsspannung nimmt die Gate-Source-Spannung des n-Kanal-MOSFETs zu. Der n-Kanal-MOSFET wird leitend und bildet den Pull-Down-Pfad nach Masse. Gleichzeitig verringert sich beim p-Kanal-MOSFET die Source-Gate-Spannung, sodass der Pull-Up-Pfad zunehmend sperrt. Der Ausgangsknoten V_{OUT} wird somit von High nach Low entladen.

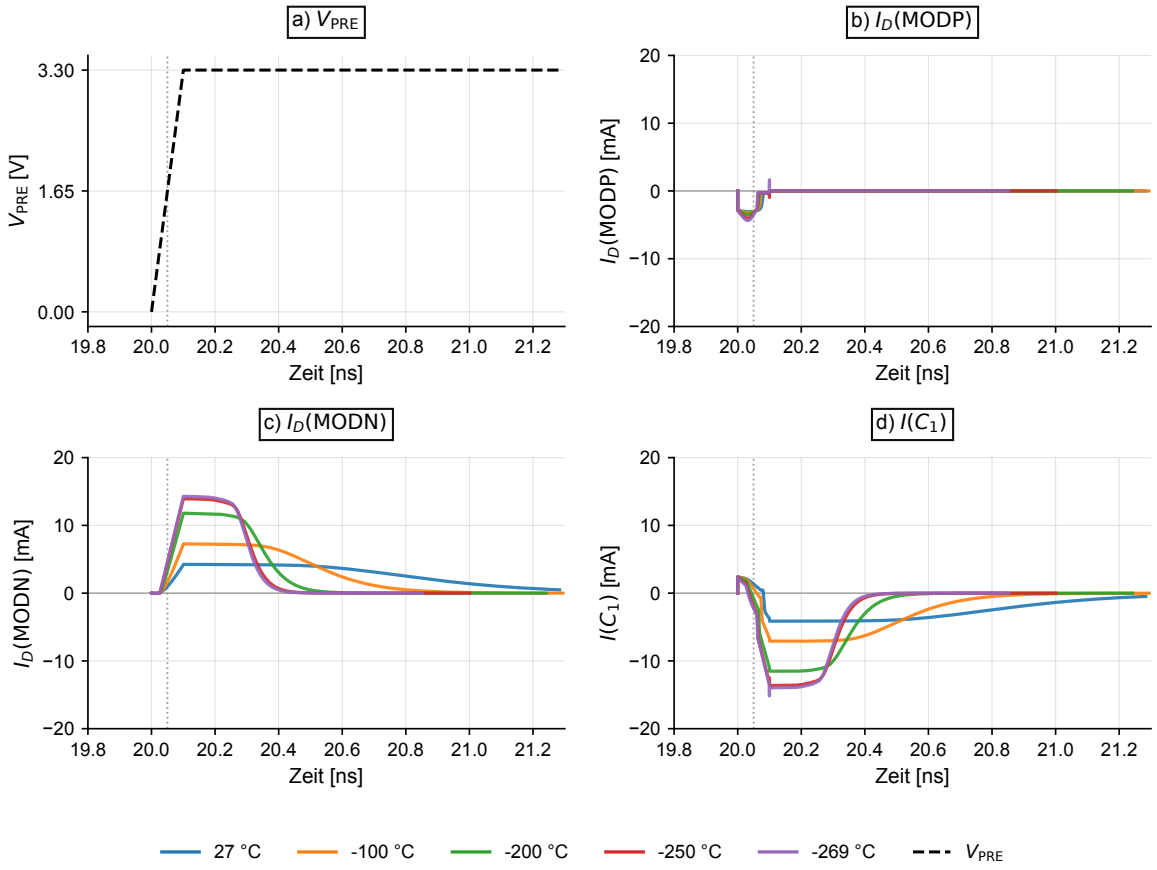


Abbildung 3.26.: Temperaturabhängige Stromverläufe der CMOS-Inverterstufe beim Eingangssprung von Low nach High: a) Verlauf der Eingangsspannung V_{PRE}, b) Drainstrom I_{MODP} des p-Kanal-MOSFETs, c) Drainstrom I_{MODN} des n-Kanal-MOSFETs und d) Strom I_{C1} durch die Ausgangskapazität.

Der mittlere Teilplot zeigt, dass der n-Kanal-MOSFET während der Schaltflanke den dominierenden Stromanteil liefert. Dieser Strom entspricht dem Entladestrom des Ausgangsknotens. Mit sinkender Temperatur steigt der maximale Entladestrom an. Bei Raumtemperatur liegt die Stromspitze deutlich niedriger als bei den kryogenen Temperaturen. Bei —250 °C und —269 °C werden die größten Stromamplituden erreicht. Das kann durch die zuvor beobachtete Verringerung der Abfallzeit und die Zunahme der Slew Rate der fallenden Ausgangsflanke erklärt werden.

Der Strom durch die Ausgangskapazität C_1 zeigt denselben Umladevorgang mit entgegengesetzter Richtung. Die positiven Peaks, beispielsweise ungefähr 2,5 mA bei Raumtemperatur, entstehen durch kapazitive Kopplung während der schnellen Eingangsspannungsänderung. Beim Eingangssprung von Low nach High steigt die Gate-Spannung der MOSFETs steil an. Über die parasitäre Gate-Drain-Kapazität C_{gd} des n-Kanal-MOSFETs wird diese Spannungsänderung auf den Ausgangsknoten übertragen. Sobald der n-Kanal-MOSFET leitend wird, dominiert der Entladepfad nach Masse. Der Kapazitätsstrom wechselt dann das Vorzeichen und zeigt den eigentlichen Entladestrom des Ausgangsknotens.

Im oberen Stromverlauf sind zusätzlich kurzzeitige Stromimpulse im p-Kanal-MOSFET zu erkennen. Diese Stromanteile entstehen während des Umschaltvorgangs und sind als dynamische Umlade- beziehungsweise Verlustanteile einzuordnen. Beim Eingangssprung von Low nach High geht der p-Kanal-MOSFET zunehmend in den sperrenden Zustand, jedoch erfolgt der Abschaltvorgang nicht ideal sprunghaft. Für einen kurzen Zeitraum kann daher noch ein Strom über den p-Kanal-MOSFET fließen.

Zusätzlich speichern die parasitären Kapazitäten Ladungen und halten das Ausgangspotential zunächst auf seinem vorherigen Zustand. Diese Ladung muss während des Umschaltvorgangs über die leitenden Kanäle der MOSFETs umgeladen beziehungsweise entladen werden. Dazu tragen die Gate-Drain- und Drain-Bulk-Kapazitäten bei. Da sich sowohl die Gate-Spannung als auch die Drainspannung während der Schaltflanke schnell ändern, entstehen kapazitive Umladeströme, die die momentane Stromaufnahme erhöhen und damit zur dynamischen Verlustleistung der Inverterstufe beitragen.

Beim Übergang des Eingangssignals von High nach Low kehrt sich die Funktion der Strompfade um. Die Gate-Source-Spannung des n-Kanal-MOSFETs sinkt, sodass der Pull-Down-Pfad zunehmend sperrt. Währenddessen steigt die Source-Gate-Spannung des p-Kanal-MOSFETs an. Der p-Kanal-MOSFET wird leitend und lädt den Ausgangsknoten über den Pull-Up-Pfad in Richtung V_{DD} auf.

Die Stromverläufe in Abbildung 3.27 zeigen den Ladeprozess des Ausgangsknotens. Der Hauptstrom fließt durch den p-Kanal-MOSFET und lädt die Kapazität am Ausgang auf V_{DD} auf. Die kurzen Stromimpulse zu Beginn der Schaltflanke entsprechen den bereits beschriebenen dynamischen Umladeanteilen.

Die Temperaturabhängigkeit zeigt sich in der zunehmenden Stromamplitude. Bei sinkenden Temperaturen kann der leitende p-Kanal-MOSFET den Ausgangsknoten mit einem größeren Ladestrom versorgen. Dadurch verkürzt sich die Ladezeit der Ausgangskapazität und die Slew Rate der steigenden Ausgangsflanke nimmt zu. Besonders bei —250 °C und —269 °C wird dieser Effekt deutlicher.

Gleichzeitig bedeutet der größere Ladestrom, dass die Versorgung während des Umschaltintervalls stärker belastet wird. Der Ladeprozess über den p-Kanal ist daher direkt mit der zuvor beobachteten Zunahme des mittleren Versorgungsstroms und der Leistungsaufnahme verbunden.

Der Vergleich beider Stromrichtungen zeigt, dass die Inverterstufe bei tiefen Temperaturen schneller schaltet, jedoch die Symmetrie nicht erhalten bleibt. Außerdem tragen parasitäre Kapazitäten und kurzzeitige Überlappungsströme während der Schaltflanken zu den beobachteten Stromimpulsen bei. Die zuvor ausgewerteten zeitlichen Kenngrößen wie die kleineren Anstiegs- und Abfallzeiten sowie die höheren Slew Rates lassen sich durch stärkere Lade- und Entladeströme erklären. Gleichzeitig führen diese höheren momentanen Ströme zu einem höheren zeitlich gemittelten Versorgungsstrom.

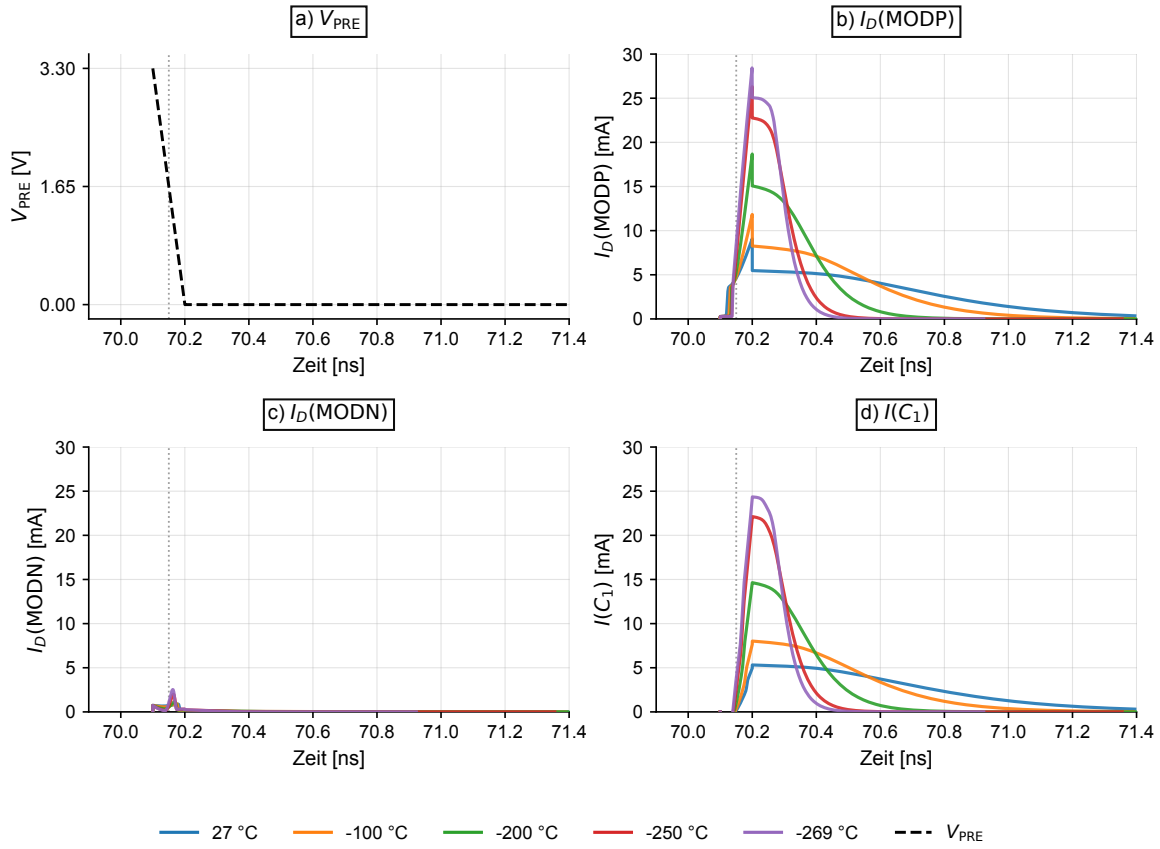


Abbildung 3.27.: Temperaturabhängige Stromverläufe der CMOS-Inverterstufe beim Eingangssprung von High nach Low: a) Verlauf der Eingangsspannung V_{PRE}, b) Drainstrom I_{MODP} des p-Kanal-MOSFETs, c) Drainstrom I_{MODN} des n-Kanal-MOSFETs und d) Strom I_{C1} durch die Ausgangskapazität.

Mit sinkender Temperatur werden die Ausgangsflanken deutlich steiler und die Schaltzeiten kleiner. Die Stromanalyse zeigt jedoch, dass diese Verbesserung durch größere dynamische Stromspitzen während der Umschaltvorgänge erreicht wird. Dies ist problematisch, weil die höheren Stromspitzen den mittleren Versorgungsstrom und damit auch die Leistungsaufnahme erhöhen, sodass der thermische Haushalt der späteren Gesamtschaltung belastet wird.

3.4 Aufbau und Analyse des 2-Bit-Flash-ADCs

Nach der getrennten Analyse der Komparator- und CMOS-Inverterstufe wird im nächsten Schritt die vollständige 2-Bit-Flash-ADC-Struktur untersucht. Dabei wird betrachtet, wie die Widerstandsleiter, die drei Komparatoren und die nachgeschalteten Inverterstufen als Gesamtschaltung zusammenwirken.

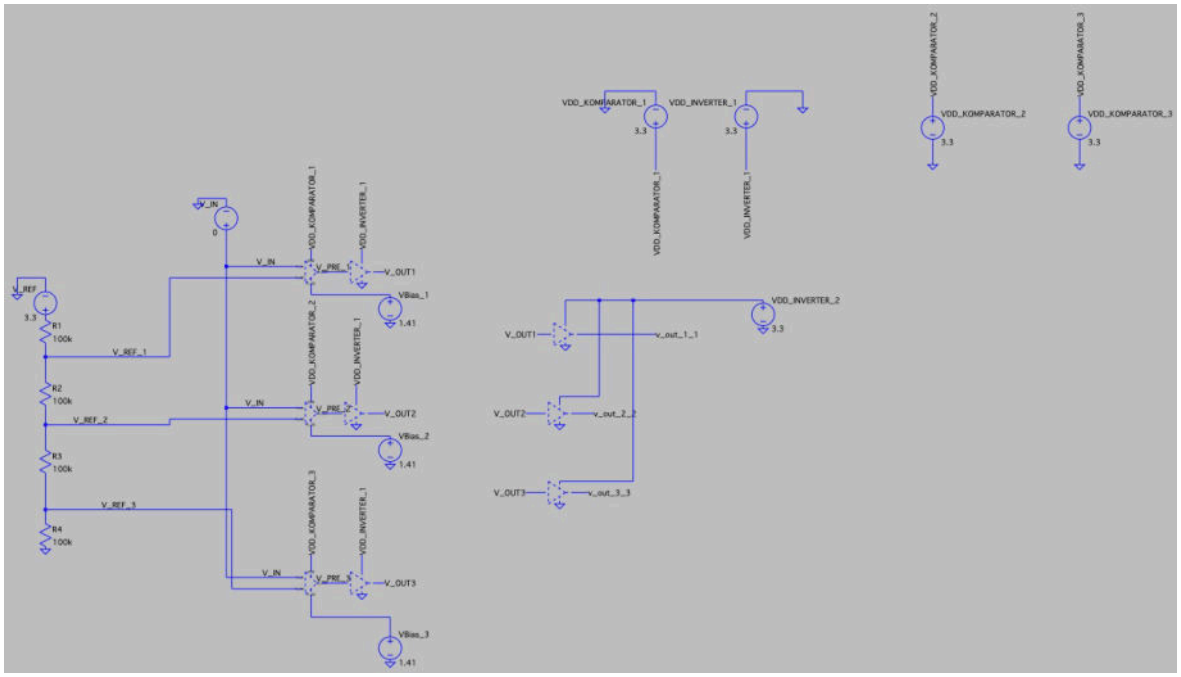


Abbildung 3.28.: Schaltungsaufbau des vollständigen 2-Bit-Flash-ADCs in LTSpice

3.4.1 Schaltungsaufbau und Referenzerzeugung

Der vollständige 2-Bit-Flash-ADC ist in Abbildung 3.28 dargestellt. Die Schaltung besteht aus einer Widerstandsleiter zur Erzeugung der Referenzspannungen, drei parallel angeordneten Komparatoren und zwei nachgeschalteten CMOS-Inverterstufen. Die Eingangsspannung V_{in} liegt an allen Komparatoren an. Jeder Komparator vergleicht diese Eingangsspannung mit einer eigenen Referenzspannung.

Die Referenzspannungen werden durch eine Widerstandsleiter aus vier gleich großen Widerständen erzeugt. Jeder Widerstand besitzt den Wert R=100 kΩ. Die Widerstandsleiter wird mit einer Referenzspannung V_{REF}=3,3 V versorgt. Da alle vier Widerstände gleich groß sind, wird die Spannung in vier gleich große Intervalle aufgeteilt. Für die drei Knoten aus der Widerstandsleiter ergibt sich somit

$$V_{\mathrm{REF},1} = \frac{3}{4} V_{\mathrm{REF}} = 2{,}475\,\mathrm{V},$$
$$V_{\mathrm{REF},2} = \frac{2}{4} V_{\mathrm{REF}} = 1{,}65\,\mathrm{V},$$
$$V_{\mathrm{REF},3} = \frac{1}{4} V_{\mathrm{REF}} = 0{,}825\,\mathrm{V}.$$

Jeder Komparatorzweig erzeugt aus dem Vergleich zwischen V_{in} und der jeweiligen Referenzspannung ein analoges Signal V_{PRE}. Dieses Signal wird durch die erste CMOS-Inverterstufe in einen definierten digitalen Pegel umgewandelt. Die zweite Inverterstufe dient der Pegelregeneration. Da zwei Inverterstufen hintereinander geschaltet sind, bleibt die Polarität am Ausgang des Komparators gleich.

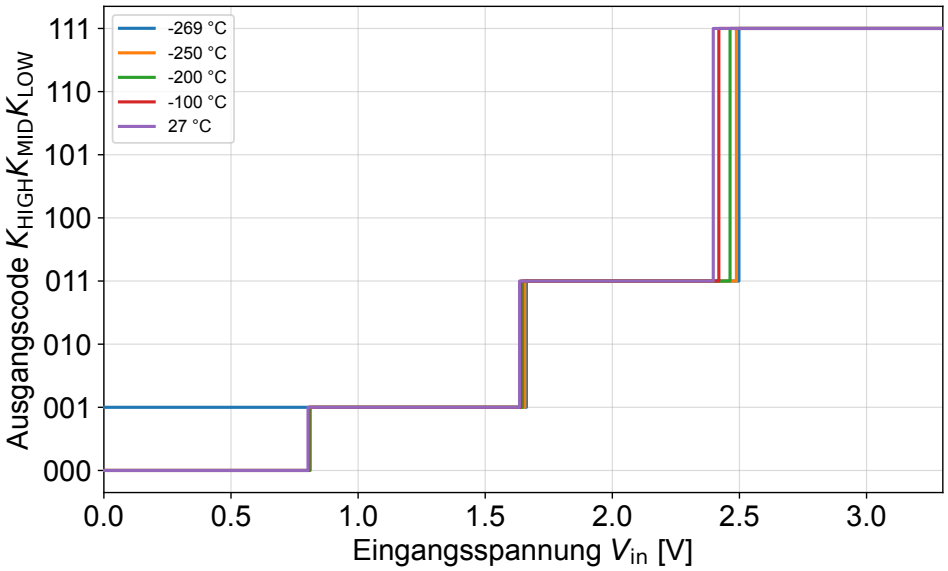


Abbildung 3.29.: Thermometer-Code des 2-Bit-Flash-ADCs über der Eingangsspannung und der Temperatur

Für die Komparatoren und die beiden Inverterstufen werden getrennte Versorgungsspannungen verwendet, damit die Strom- und Leistungsanteile der einzelnen Funktionsblöcke getrennt analysiert werden können. Die drei Komparatorausgänge bilden einen 3-Bit-Thermometer-Code. Mit steigender Eingangsspannung schalten die Komparatoren entsprechend ihren Referenzspannungen um. Bei einer Anordnung der Ausgangssignale nach aufsteigender Referenzspannung ergibt sich im Idealfall die Codefolge:

$$000 \rightarrow 001 \rightarrow 011 \rightarrow 111.$$

3.4.2 DC-Analyse des 2-Bit-Flash-ADCs über der Temperatur

Zur Untersuchung des statischen Verhaltens des 2-Bit-Flash-ADCs wird die Eingangsspannung V_{in} von 0 V bis 3,3 V variiert.

Abbildung 3.29 zeigt die Thermometer-Codes für die untersuchten Temperaturpunkte. Zwischen 27 °C und −250 °C schalten die drei Komparatoren nacheinander um und die Codefolge bleibt wie erwartet erhalten. In diesem Temperaturbereich treten keine fehlenden Zustände und keine Bubble-Fehler auf. Die Übergänge liegen jedoch nicht exakt an den idealen Referenzspannungen der Widerstandsleiter. Mit sinkender Temperatur verschieben sich die Umschaltpunkte. Wie im vorherigen Abschnitt gezeigt wird, verändern sich unter anderem die Schwellspannungen, die Gate-Übersteuerungen und die Arbeitspunkte der MOSFETs. Dadurch verschiebt sich bei jedem Komparator die Eingangsspannung, bei der er seinen Ausgangszustand ändert.

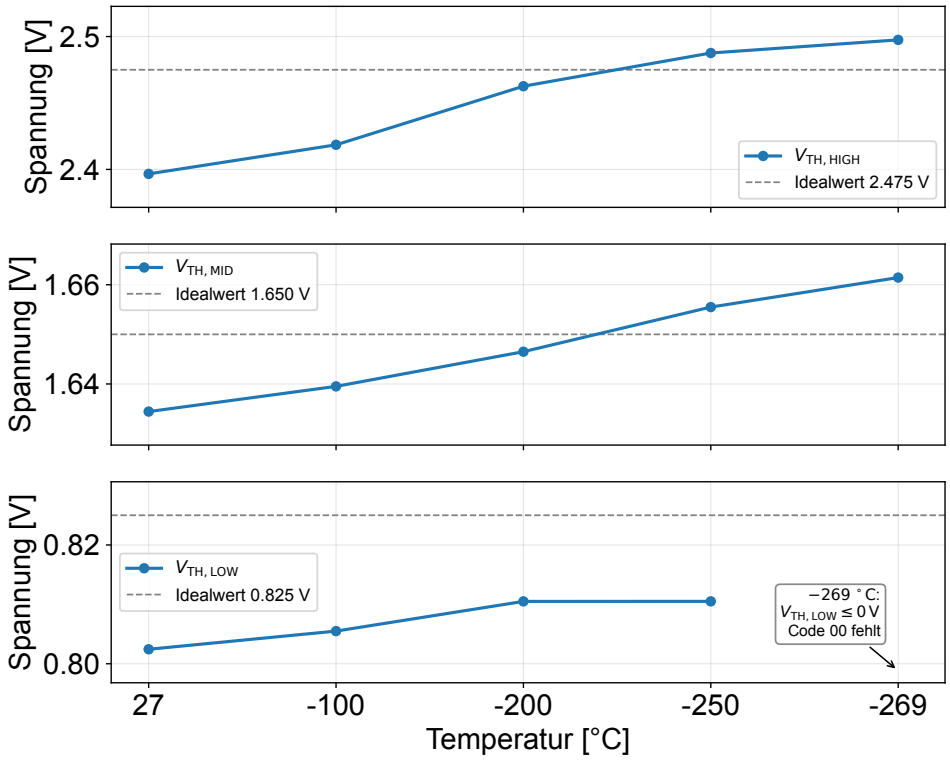


Abbildung 3.30.: Umschaltpunkte des 2-Bit-Flash-ADCs über der Temperatur

Die drei Komparatoren reagieren nicht identisch auf die Temperaturänderungen. Obwohl sie dieselbe Schaltungsstruktur besitzen, arbeiten sie aufgrund ihrer unterschiedlichen Referenzspannungen nicht im gleichen Arbeitspunkt. Damit unterscheiden sich die Gleichtaktpegel der Eingangsstufen, wodurch der Source-Knoten des NMOS-Differenzpaares und damit die Drain-Source-Spannung des Fußpunkttransistors unterschiedlich beeinflusst wird. Da sich der Strom des Fußpunkttransistors mit dem jeweiligen Arbeitspunkt ändert, stellt er keine ideale Stromquelle für jeden Temperaturbereich dar. Auch die PMOS-Stromspiegellast arbeitet in den drei Komparatorzweigen mit unterschiedlichen Bedingungen. Der Stromspiegel besteht aus einem diode-connected und einem spiegelnden p-Kanal-MOSFET. Im Idealfall führen beide Transistoren denselben Strom. Aufgrund des endlichen Widerstandes hängt der Drainstrom zusätzlich von der Source-Drain-Spannung ab [6]. Da sich die Potentiale am internen Spiegelknoten und am Ausgangsknoten zwischen den drei Komparatoren unterscheiden, können auch die gespiegelten Ströme voneinander abweichen. Bei kryogenen Temperaturen verändern sich zusätzlich die Beweglichkeit, die Schwellspannung und das Ausgangsverhalten der MOSFETs. Diese Änderungen wirken sich aufgrund der unterschiedlichen Referenzspannungen und Arbeitspunkte nicht gleich stark auf die jeweiligen Komparatorschaltungen aus.

Abbildung 3.30 zeigt die Umschaltpunkte der drei Komparatoren über der Temperatur. Der untere Umschaltpunkt bleibt zwischen 27 °C und —250 °C in einem vergleichsweise kleinen Spannungsbereich. Er verschiebt sich von 0,802 V auf ungefähr 0,811 V. Die Abweichung gegenüber dem Idealwert von 0,825 V bleibt gering. Für —269 °C lässt sich innerhalb des untersuchten Bereichs kein Umschaltpunkt mehr bestimmen, da der zugehörige Komparator sich schon bei V_{in}=0 V im geschalteten Zustand befindet. Der Zustand 000 wird nicht mehr erreicht.

Beim mittleren Komparator ist eine stärkere Verschiebung zu erkennen. Der Umschaltpunkt steigt von etwa 1,634 V bei 27 °C auf etwa 1,656 V bei −250 °C. Bei −269 °C liegt er bei etwa 1,662 V und überschreitet damit bei tiefen Temperaturen den Idealwert von 1,65 V. Da die Abweichung im wenigen Millivolt-Bereich ist, ist das Ergebnis angemessen.

Die größte Änderung tritt beim oberen Komparator auf. Der Umschaltpunkt steigt von etwa 2,396 V bei 27 °C auf etwa 2,497 V bei −269 °C. Die Verschiebung liegt damit ungefähr bei 101 mV. Bei diesem Komparator liegt der Arbeitspunkt nahe an der Versorgungsspannung. Dies kann die stärkere Verschiebung erklären. Aufgrund des kleineren Spannungsfensters zwischen dem NMOS-Differenzpaar und der PMOS-Stromspiegellast wirken sich die temperaturabhängigen Änderungen der Schwellspannungen stärker auf die Vergleichsschwelle aus.

Der nutzbare Arbeitspunktbereich wird beim unteren Komparator bei −269 °C unterschritten. Die Ausgangsstufe des Komparators verbleibt im geschalteten Zustand. Eine mögliche Ursache liegt in der geringeren Arbeitspunktslage des unteren Komparatorzweigs. Aufgrund der niedrigeren Referenzspannung arbeitet das NMOS-Differenzpaar bei einem vergleichsweise kleinen Eingangsgleichtaktspegel.

Für den ordnungsgemäßen Betrieb muss einerseits an den Eingangstransistoren eine ausreichende Gate-Source-Spannung zur Verfügung stehen. Andererseits benötigt der Fußpunkttransistor eine ausreichende Drain-Source-Spannung, damit er näherungsweise im Sättigungsbereich arbeitet und einen konstanten Tail-Strom bereitstellt. Mit sinkender Temperatur verschieben sich die Schwellspannungen und Gate-Übersteuerungen der MOSFETs.

Bis −250 °C bleibt in der Simulation eine ausreichende Spannungsreserve erhalten. Bei −269 °C deutet das Verhalten jedoch darauf hin, dass mindestens ein Transistor des unteren Komparators nicht mehr im vorgesehenen Arbeitsbereich betrieben wird. Der Tail-Strom verhält sich dann nicht mehr näherungsweise konstant, wodurch die Umschaltung im Differenzpaar beeinträchtigt wird. Der Ausgang schaltet möglicherweise deshalb nicht vollständig zurück, sodass der Zustand 000 nicht mehr erreicht wird.

Zur Stabilisierung des unteren Komparatorzweiges werden die Dimensionierung des Fußpunkttransistors und dessen Bias-Spannung variiert. Diese Parameter beeinflussen den Fußpunktstrom und damit den Arbeitspunkt des NMOS-Differenzpaares. Die untersuchten Anpassungen führen jedoch nicht zur Wiederherstellung des Zustands **000** bei −269 °C. Eine Änderung verbessert einzelne Arbeitspunkte, verschiebt aber gleichzeitig die Vergleichsschwelle oder beeinträchtigt das Verhalten bei anderen Temperaturen. Der Funktionsverlust lässt sich daher nicht allein durch eine einfache Anpassung des Fußpunkttransistors lösen.

Da das verwendete BSIM3v3-Modell nicht speziell für die kryogenen Temperaturen validiert ist, muss das Ergebnis bei −269 °C vorsichtig interpretiert werden. Ob der Funktionsverlust auch in einer realen Schaltung nahe 4 K auftritt, kann erst durch kryogen validierte Modelle oder experimentelle Messungen abschließend beurteilt werden.

Zur Bewertung der Quantisierungsintervalle wird die differentielle Nichtlinearität (DNL) verwendet. Nach der IEEE Standards Association wird sie über die Abweichung der tatsächlichen Breite $W[k]$ eines Codeintervalls von der idealen Codebreite Q definiert [16]. Für das k-te Codeintervall ergibt sich die DNL zu:

$$\mathrm{DNL}[k] = \frac{W[k] - Q}{Q}. \tag{3.12}$$

Mit

$$W[k] = \Delta V_k \qquad \text{und} \qquad Q = V_{\mathrm{LSB}} \tag{3.13}$$

ergibt sich

$$\mathrm{DNL}_k = \frac{\Delta V_k}{V_{\mathrm{LSB}}} - 1. \tag{3.14}$$

Für den untersuchten 2-Bit-Flash-ADC beträgt die ideale Schrittweite

$$V_{\mathrm{LSB}} = \frac{V_{\mathrm{REF}}}{2^2} = \frac{3{,}3\,\mathrm{V}}{4} = 0{,}825\,\mathrm{V}. \tag{3.15}$$

Zwischen 27 °C und —250 °C bleibt die differentielle Nichtlinearität gering. Der größte Betrag liegt in diesem Temperaturbereich bei Raumtemperatur mit

$$|\mathrm{DNL}_{\mathrm{max}}| = 0.095\,\mathrm{LSB}.$$

Die kleinsten Abweichungen treten bei —200 °C und —250 °C auf (siehe Anhang Abschnitt A.3).

Aus den kleineren DNL-Werten bei kryogenen Temperaturen folgt nicht, dass sich das Verhalten der einzelnen Komparatoren verbessert. Die DNL beschreibt die Abweichung der Breite eines Quantisierungsintervalls von der idealen Intervallbreite [16]. Sie bewertet also den Abstand zwischen zwei benachbarten Umschaltpunkten, jedoch nicht deren Lage. Die DNL kann deshalb klein bleiben, auch wenn beide Umschaltpunkte von den idealen Referenzspannungen abweichen.

Bei —269 °C wird aus demselben Grund, weil der Thermometer-Code nie **000** erreicht, das Quantisierungsintervall innerhalb des betrachteten Eingangsspannungsbereichs nicht mehr abgebildet.

Abbildung 3.31 zeigt, dass der Ausgangscode 000 bei —269 °C auch nicht mehr auftritt. Nach IEEE entspricht ein DNL-Wert von -1 einem fehlenden Code [16]. Der 2-Bit-Flash-ADC durchläuft bei —269 °C somit nicht alle Ausgangszustände.

Zusammenfassend bleibt die Funktion des 2-Bit-Flash-ADCs zwischen 27 °C und —250 °C erhalten. Die vollständigen Thermometer-Codes werden in diesem Temperaturbereich durchlaufen. Die Umschaltpunkte verschieben sich mit sinkender Temperatur jedoch nicht gleich stark bei allen Komparatoren. Bei —269 °C arbeitet der untere Komparator nicht mehr korrekt, so-

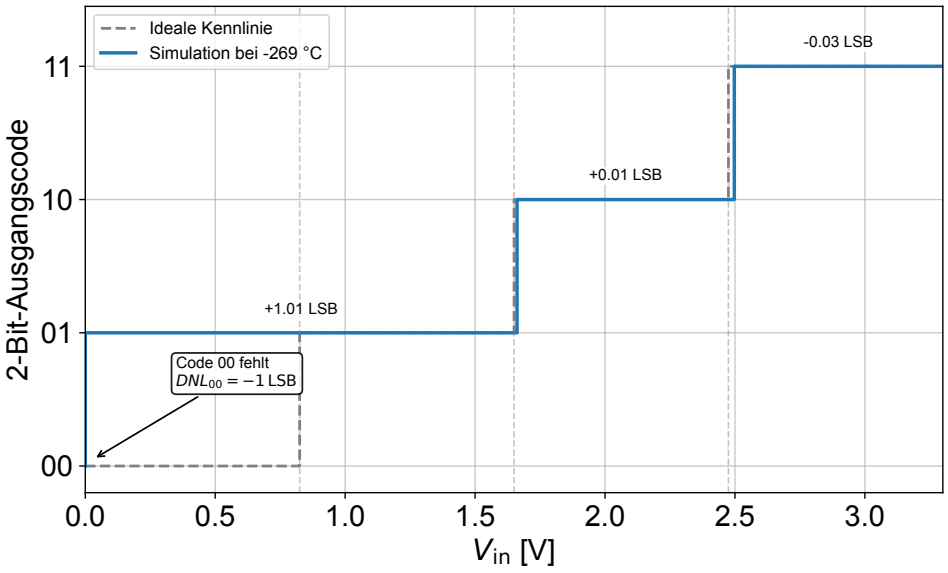


Abbildung 3.31.: ADC-Kennlinie des 2-Bit-Flash-ADCs bei —269 °C

dass der unterste Ausgangscode fehlt. Die verwendete Komparatorstruktur erreicht damit bei Temperaturen nahe 4 K ihre Funktionsgrenze.

3.4.3 Transientenanalyse des 2-Bit-Flash-ADCs über der Temperatur

Für die Transientenanalyse des 2-Bit-Flash-ADCs wird eine Pulsquelle verwendet. Die Eingangsspannung wechselt zwischen V_{in}=0 V und V_{in}=3,3 V. Während der steigenden und fallenden Flanke durchläuft das Eingangssignal die drei Vergleichsschwellen des ADCs, sodass untersucht werden kann, ob die Komparatoren ihre Zustände in der erwarteten Reihenfolge ändern und ob die vollständige Thermometer-Codefolge auch im dynamischen Betrieb erhalten bleibt. Abbildung 3.32 zeigt den Verlauf bei Raumtemperatur.

Bei steigender Eingangsspannung durchläuft der ADC die erwartete Thermometer-Codefolge

$$000 \rightarrow 001 \rightarrow 011 \rightarrow 111.$$

Während der fallenden Flanke werden diese Zustände in umgekehrter Reihenfolge durchlaufen

$$111 \rightarrow 011 \rightarrow 001 \rightarrow 000.$$

Die Komparatoren reagieren wie erwartet nacheinander auf das Überschreiten beziehungsweise Unterschreiten der jeweiligen Vergleichsschwellen. Auch bei —100 °C bleibt diese Codefolge erhalten (siehe Anhang Abschnitt A.3).

Bei —200 °C zeigt sich während der Low-Phase erstmals eine Auffälligkeit (siehe Abbildung 3.33). Der untere Ausgang K_{LOW} schaltet später zurück als die beiden übrigen Komparatorausgänge. Dadurch bleibt der Zustand 001 länger erhalten. Erst kurz vor der nächsten

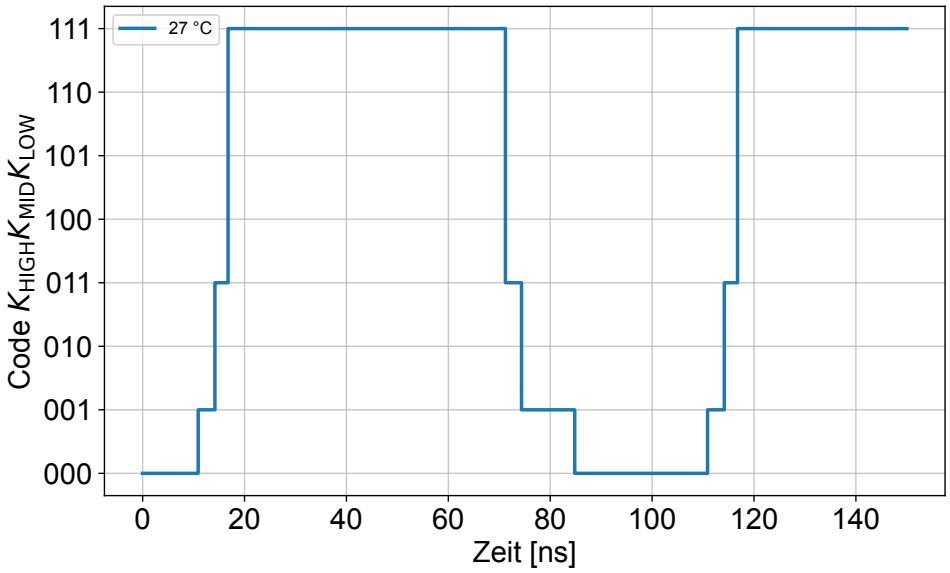


Abbildung 3.32.: Digitaler Ausgangscode des 2-Bit-Flash-ADCs bei 27 °C

steigenden Eingangsflanke wechselt auch K_{LOW} auf LOW, sodass der Zustand 000 für ein kurzes Zeitfenster auftritt.

Aus der Untersuchung der internen Signale lässt sich beobachten, dass die Verzögerung bereits im unteren Komparatorzweig $V_{PRE,LOW}$ entsteht. Das Signal fällt nach der fallenden Eingangsflanke deutlich langsamer ab als die anderen Signale der übrigen Komparatorzweige. Die nachgeschalteten Inverterstufen regenerieren den Pegel anschließend mit einer steilen Flanke.

Die Signalverläufe zeigen kurzzeitige Schwankungen der Referenzspannungen der Widerstandsleiter. Diese Schwankungen beeinflussen die Codefolge des 2-Bit-Flash-ADCs erst bei −200 °C mit der Absenkung der unteren Referenzspannung $V_{REF,LOW}$ deutlicher. Da die Referenzspannung bis zu etwa 0,565 V schwankt, verändert sich damit auch die Vergleichsbedingung des unteren Komparators. V_{in} muss weiter absinken, bevor der Komparator zurückschaltet. Die Absenkung kann zusätzlich die bereits vorhandene Verzögerung durch die temperaturabhängigen Parameter verstärken.

Für −250 °C zeigt sich diese Einschränkung noch deutlicher (siehe Anhang Abschnitt A.3). Bei der fallenden Flanke verbleibt der Ausgang im Zustand 001 und der Zustand 000 wird in der Low-Phase nicht erreicht. Der untere Komparator schaltet somit nicht vollständig zurück. Die Betrachtung der Signale zeigt, dass der Fehler wieder im analogen Komparatorsignal $V_{PRE,LOW}$ entsteht. Das Signal bleibt während der Low-Phase auf einem hohen Pegel, sodass an den nachgeschalteten Inverterstufen kein ausreichendes Eingangssignal anliegt.

Dieses Verhalten steht im Zusammenhang mit der bereits in der DC-Analyse beschriebenen kritischen Arbeitspunktlage des unteren Komparatorzweigs. Im DC-Betrieb bleibt die Funktion des unteren Komparatorzweigs noch erhalten, jedoch erreicht er während der Low-Phase

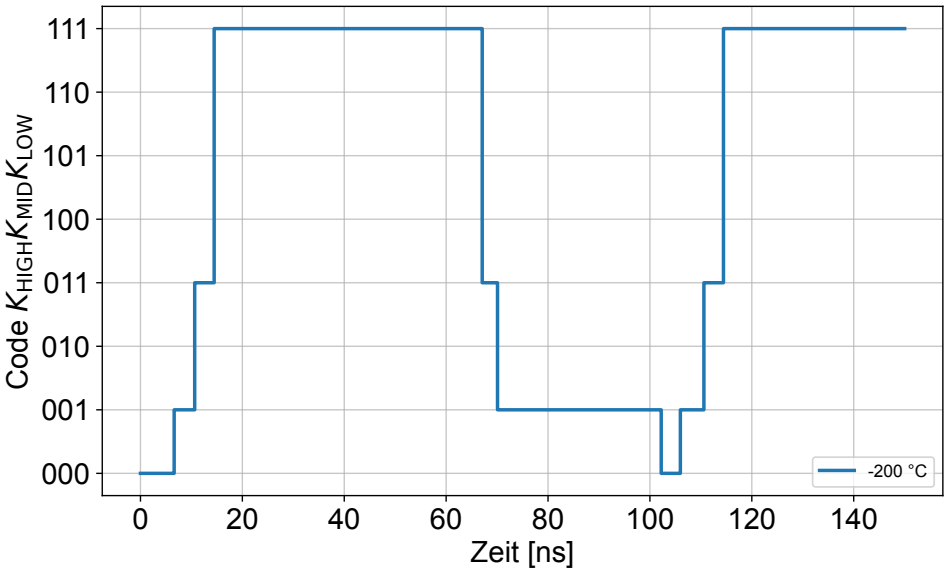


Abbildung 3.33.: Digitaler Ausgangscode des 2-Bit-Flash-ADCs bei −200 °C

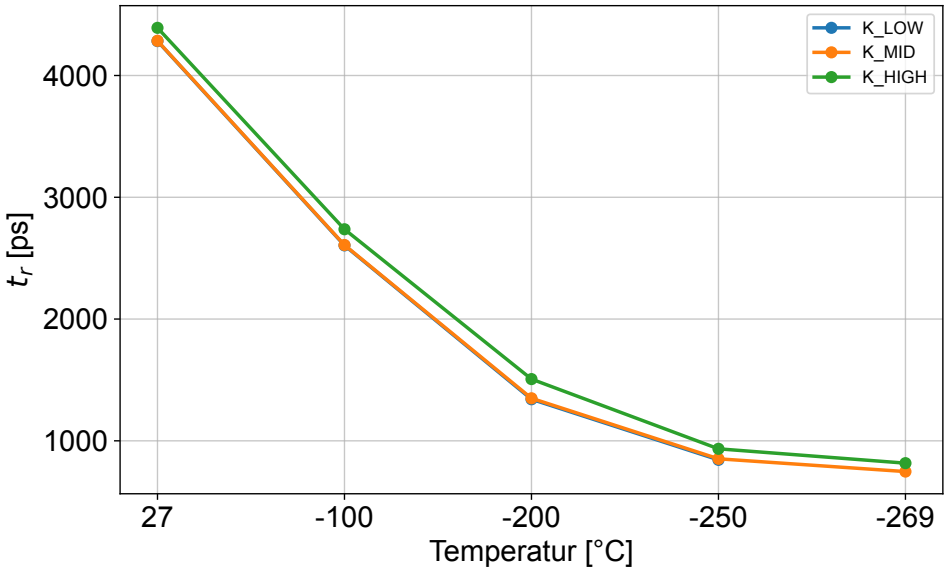


Abbildung 3.34.: Anstiegszeiten der finalen ADC-Ausgänge über der Temperatur

den erforderlichen Pegel nicht mehr rechtzeitig. Die bereits bei −200 °C beobachtete transiente Absenkung von $V_{REF,LOW}$ tritt auch bei −250 °C auf und kann die Rückschaltung zusätzlich erschweren. Bei −269 °C tritt außerdem der bereits in DC-Analyse festgestellte statische Funktionsverlust der unteren Komparatorstufe auf.

Abbildung 3.34 zeigt, dass sich die Anstiegszeiten mit sinkender Temperatur verkürzen. Bei 27 °C liegen die Werte für die drei Ausgänge zwischen ungefähr 4,3 ns und 4,4 ns. Bei −250 °C sinken sie auf Werte zwischen 0,85 ns und 0,95 ns. Für K_{LOW} lässt sich bei −269 °C keine aussa-

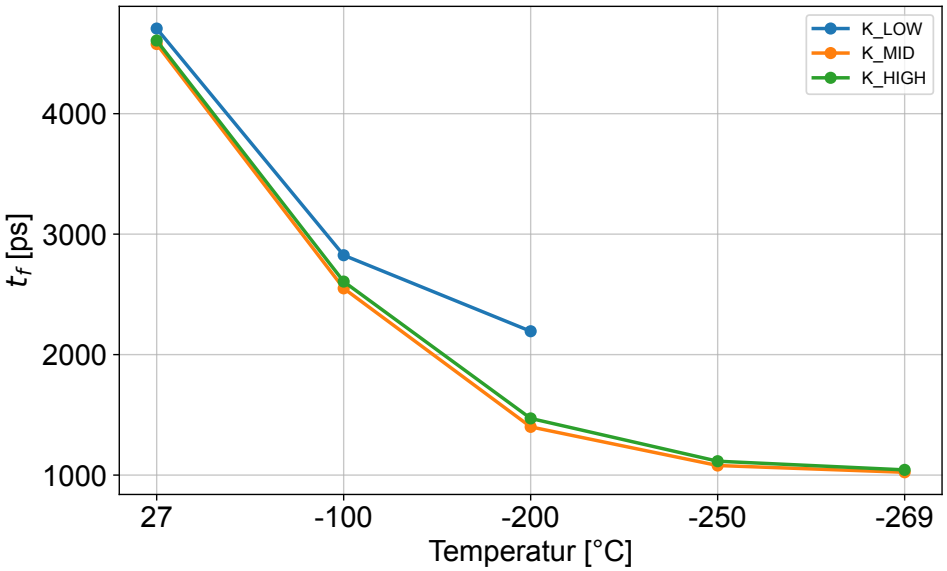


Abbildung 3.35.: Abfallzeiten der finalen ADC-Ausgänge über der Temperatur

gekräftige Anstiegszeit berechnen, weil der untere Ausgang des ADCs zu Beginn der Simulation im High-Zustand liegt.

Zudem nehmen die Abfallzeiten mit sinkender Temperatur ab. Bei 27 °C liegen die Abfallzeiten bei ungefähr 4,6 ns. Für K_{MID} und K_{HIGH} sinken diese bei −269 °C auf nahe 1 ns. Der Ausgang K_{LOW} wechselt nicht mehr innerhalb der Low-Phase auf Low, deshalb lässt sich auch hier keine Auswertung zur Abfallzeit geben.

Die Verkürzung der Anstiegs- und Abfallzeiten steht im Zusammenhang mit den kryogenen Effekten. Mit sinkender Temperatur nimmt die Phononenstreuung ab, sodass sich die Ladungsträgerbeweglichkeit erhöht und die kapazitiven Ausgangsknoten schneller geladen und entladen werden können. Für den unteren Komparator ergibt sich jedoch ein gegenläufiger Effekt. Die Ausgangsflanken werden steiler, jedoch setzt die Rückschaltung bei tiefen Temperaturen später ein. Die Ursache liegt möglicherweise wie bereits beschrieben in der verzögerten Reaktion des Signals $V_{PRE,LOW}$. Die kürzeren Anstiegs- und Abfallzeiten führen entsprechend zu höheren Slew Rates. Beim unteren Komparator zeigt sich jedoch, dass eine steile Ausgangsflanke auch zeitlich verspätet einsetzen kann.

Zur Analyse der Stromaufnahme des vollständigen 2-Bit-Flash-ADCs werden die Ströme der einzelnen Versorgungsspannungsquellen addiert und über den Simulationszeitraum gemittelt. Der resultierende Wert enthält sowohl die Arbeitspunktströme bei den jeweiligen Temperaturbereichen als auch die dynamischen Stromanteile der nachgeschalteten Inverterstufen während der Umschaltvorgänge.

Abbildung 3.36 zeigt einen deutlichen Anstieg des mittleren Versorgungsstroms mit sinkender Temperatur. Bei 27 °C beträgt $I_{DD,avg}$ ungefähr 3,4 mA. Bei −100 °C steigt der Wert auf etwa 4,3 mA. Bei tieferen Temperaturen nimmt der Versorgungsstrom deutlich stärker zu. Für

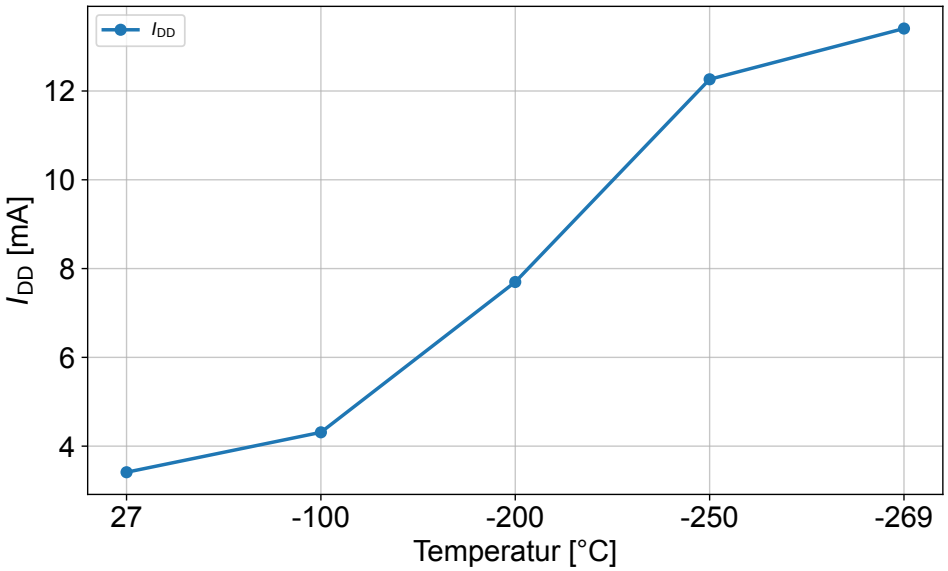


Abbildung 3.36.: Mittlerer Versorgungsstrom des 2-Bit-Flash-ADCs über der Temperatur

—200 °C liegt der mittlere Versorgungsstrom bei ungefähr 7,7 mA, während er bei —250 °C den Wert 12,3 mA erreicht. Abschließend nimmt der mittlere Versorgungsstrom den Wert 13,4 mA bei —269 °C an.

Der Anstieg des mittleren Versorgungsstrom steht mit den bereits auf Transistor- und Teilschaltungsebene beschriebenen kryogenen Effekten im Zusammenhang. Die temperaturabhängigen Änderungen der Ladungsträgerbeweglichkeit, Schwellspannungen und Arbeitspunkte erhöhen die Ströme des gesamten 2-Bit-Flash-ADCs. Zusätzlich sollen die Umladeströme auch berücksichtigt werden, die während des Umschaltens in den nachgeschalteten Inverterstufen auftreten. Während dieses Vorgangs fließt ein zusätzlicher Strom aus der Versorgung. Je schneller sich die Ausgangsspannung ändert, desto größer ist der kurzzeitige Umladestrom.

Da die Versorgungsspannungen konstant bei 3,3 V liegen, folgt die mittlere Leistungsaufnahme direkt dem Verlauf des mittleren Versorgungsstroms. Mit sinkender Temperatur steigt deshalb auch die mittlere Leistungsaufnahme von 11,2 mW bei 27 °C auf 44,2 mW bei —269 °C deutlich an. Die mittlere Leistungsaufnahme erhöht sich damit ungefähr um den Faktor vier.

Auch beim vollständigen 2-Bit-Flash-ADC zeigt sich der bereits auf Teilschaltungsebene beobachtete Zielkonflikt. Mit sinkender Temperatur verkürzen sich die Schaltzeiten, während die mittlere Leistungsaufnahme zunimmt. Für kryogene Anwendungen ist dieser Anstieg als zusätzliche Wärme in das gekühlte System problematisch.

Die Werte bei —250 °C und bei —269 °C müssen außerdem mit dem Zusammenhang betrachtet werden, dass bei —250 °C der untere Komparator im transienten Betrieb nicht mehr vollständig zurückschaltet und bei —269 °C ein statischer Funktionsverlust vorliegt. Die bei diesen berechneten Strom- und Leistungsaufnahme beschreiben den simulierten Betriebszustand der Schaltung, jedoch nicht den vollständig funktionsfähigen 2-Bit-Flash-ADC-Betrieb.

3.5 Layoutentwurf und Verifikation des 2-Bit-Flash-ADCs

Nach der Analyse des 2-Bit-Flash-ADCs in LTSpice wird ein Layout der Schaltung in Cadence Virtuoso erstellt. Die physikalische Umsetzung der im letzten Kapitel dimensionierten Schaltungsblöcke erfolgt unter Berücksichtigung der Entwurfsregeln des verwendeten AMS-0,35 µm-Prozesses.

Während der Erstellung der einzelnen Layoutblöcke werden wiederholt Layout-Versus-Schematic-Vergleiche (LVS) und Design-Rule-Checks (DRC) durchgeführt. Dadurch wird überprüft, ob das Layout elektrisch mit dem zugehörigen Schaltplan übereinstimmt und ob die geometrischen Entwurfsregeln eingehalten werden [17].

3.5.1 Layout der Komparatorstufe

Das Layout der Komparatorstufe ist in Abbildung 3.37 dargestellt. Bei der Platzierung der Transistoren ist insbesondere das Matching des NMOS-Differenzpaares und der PMOS-Stromspiegellast sehr wichtig. Fertigungsbedingte Abweichungen zwischen den Transistorpaaren können die Stromaufteilung im Differenzpaar und das Übertragungsverhältnis der Stromspiegellast beeinflussen, sodass sich der Umschaltpunkt des Komparators verschieben und eine zusätzliche Offsetspannung entstehen kann.

Für das NMOS-Differenzpaar und die PMOS-Stromspiegellast wird eine Common-Centroid-Anordnung verwendet. Beim NMOS-Differenzpaar werden die Transistoren in acht gleich große Finger aufgeteilt und nach dem Muster

$$\begin{matrix} A & B & B & A \\ B & A & A & B \end{matrix}$$

angeordnet. Dadurch besitzen die Teiltransistoren beider Gruppen denselben geometrischen Schwerpunkt. Örtlich bedingte Fertigungsabweichungen wirken somit möglichst gleichmäßig auf beide Transistoren. Die PMOS-Spiegellast wird ebenfalls in gleich große Finger aufgeteilt und nach dem Muster

$$\begin{matrix} A & B \\ B & A \end{matrix}$$

angeordnet. [17]

Zusätzlich werden sowohl das NMOS-Differenzpaar als auch die PMOS-Stromspiegellast jeweils von einem Guard-Ring umgeben. Die Guard-Rings stellen eine niederohmige Anbindung der Substrat- beziehungsweise Wannenbereiche an die zugehörigen Versorgungspotentiale sicher, sodass lokale Potentialschwankungen sowie der Einfluss eingekoppelter Substratströme reduziert werden. [17]

Der NMOS-Fußpunkttransistor M_{20} wird neben dem Differenzpaar platziert. Dadurch bleibt die Verbindung zwischen seinem Drain-Anschluss und dem gemeinsamen Source-Knoten des

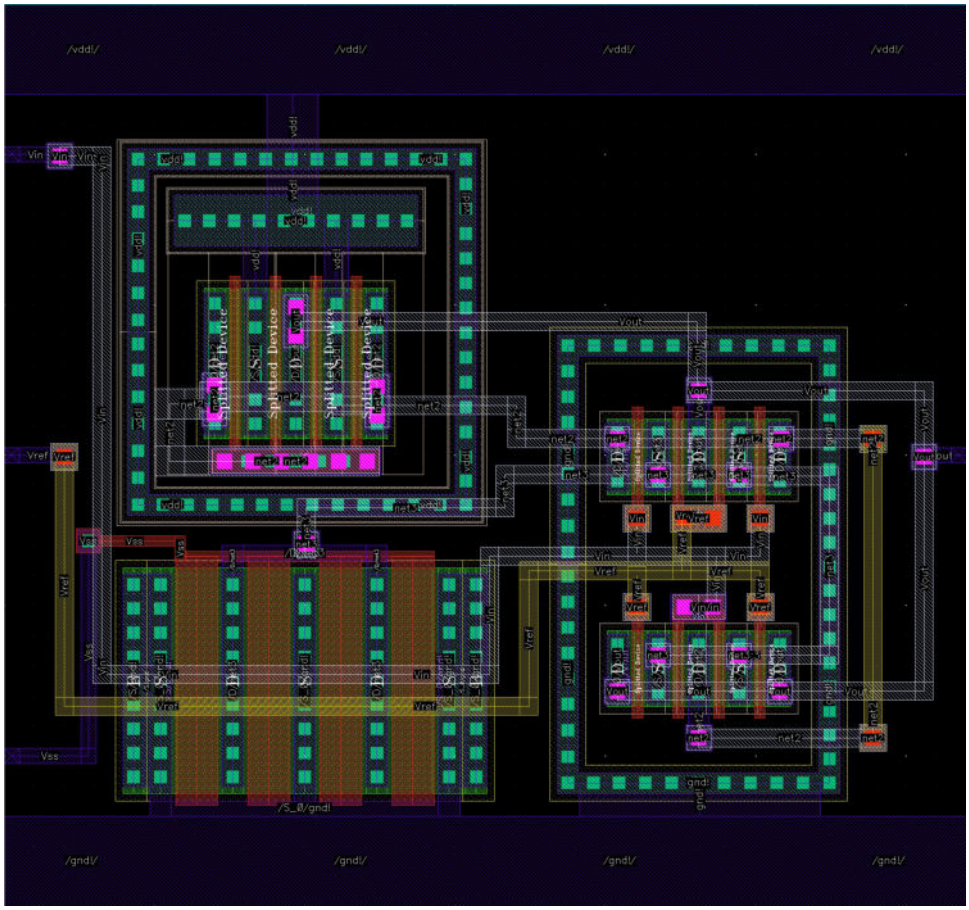


Abbildung 3.37.: Layout der Komparatorstufe

NMOS-Differenzpaares kurz. Da der Fußpunkttransistor aus einem einzelnen Transistor besteht, ist für ihn keine Common-Centroid-Anordnung erforderlich.

Die Pins werden entsprechend dem Signalfluss der Komparatorstufe angeordnet. Die Eingangssignale V_{in} und V_{ref} sowie die Bias-Spannung V_{SS} werden auf der linken Seite und der Ausgangsknoten auf der rechten Seite des Layouts platziert. Die Versorgungsspannung V_{DD} wird über eine horizontale Versorgungsschiene (METAL1) am oberen Rand und eine weitere horizontale Metallschiene für das Bezugspotential GND am unteren Rand des Layouts geführt. Durch diese Anordnung werden die Versorgungspfade übersichtlich geführt und von den empfindlichen Signalpfaden getrennt.

Für die interne Verdrahtung der Komparatorstufe werden unterschiedliche Metallebenen verwendet, sodass sich kreuzende Leitungswege realisiert werden, ohne dass eine elektrische Verbindung zwischen den Signalpfaden entsteht. Der Übergang zwischen den einzelnen Metallebenen erfolgt über Vias. Die Eingangssignale V_{in} und V_{ref}, der Ausgangsknoten V_{out} sowie die internen Knoten der Differenzstufe werden auf diese Weise getrennt aus dem Layout herausgeführt.

3.5.2 Layout der Inverterstufe

Da bei der CMOS-Inverterstufe (siehe Abbildung 3.38) der n-Kanal- und der p-Kanal-MOSFET unterschiedliche Funktionen erfüllen und unterschiedliche Abmessungen besitzen, ist hier keine Common-Centroid-Anordnung erforderlich.

Der p-Kanal-MOSFET wird oberhalb des n-Kanal-MOSFETs angeordnet. Diese Anordnung entspricht der Schaltungstopologie des CMOS-Inverters und ermöglicht eine kurze Anbindung des p-Kanal-MOSFETs an V_{DD} sowie des n-Kanal-MOSFETs an GND. Die Gate-Anschlüsse beider Transistoren werden zum gemeinsamen Eingangsknoten V_{in} verbunden. Durch die kurzen internen Verbindungen werden zusätzliche parasitäre Einflüsse begrenzt. Zudem bleibt das Layout kompakt und kann übersichtlich in das vollständige 2-Bit-Flash-ADC-Layout integriert werden.

Der abschließende Design-Rule-Check weist keine verbleibenden Regelverletzungen auf. Der LVS-Vergleich bestätigt zusätzlich die elektrische Übereinstimmung zwischen dem Layout und dem zugehörigen Schaltplan der Inverterstufe.

3.5.3 Zusammenführung zum vollständigen ADC-Layout

Nach der Erstellung der einzelnen Layoutblöcke werden die Widerstandsleiter, die drei Komparatorstufen und die CMOS-Inverterstufen zum vollständigen 2-Bit-Flash-ADC zusammengeführt. Die Anordnung der Schaltungsblöcke orientiert sich an der zeilenweisen Platzierung eines Standardzellenlayouts. Die Funktionsblöcke werden in drei horizontalen Reihen angeordnet. Dabei besitzen die erste und die dritte Reihe eine V_{DD}-Schiene an der Oberseite und eine GND-Schiene an der Unterseite. Die Orientierung der mittleren Reihe ist vertikal gespiegelt, sodass sich GND an ihrer Oberseite und V_{DD} an ihrer Unterseite befindet. Durch diese alternierende Orientierung können benachbarte Reihen gemeinsame Versorgungs- beziehungsweise Masseleitungen nutzen [17]. Im vorliegenden Layout ergibt sich dadurch eine alternierende Power-Ground-Power-Ground-Anordnung der Versorgungsschienen.

Die Widerstandsleiter befindet sich im linken Bereich des Layouts. Die drei Komparatorstufen werden entsprechend ihrer Referenzspannungen angeordnet. Die zugehörigen Inverterstufen werden anschließend jeweils in unmittelbarer Nähe zu den Komparatorausgängen platziert, sodass die Verbindungen zwischen dem Komparatorausgang und dem Invertereingang möglichst kompakt bleiben.

Die Widerstandsleiter besteht aus vier identischen Widerständen mit jeweils R=100 kΩ. Zur kompakteren Umsetzung im Layout wird jeder dieser Widerstände in vier gleich große Widerstandselemente mit jeweils R= 25 kΩ aufgeteilt. Für jedes Widerstandselement werden die Parameter W= 1 µm und L= 16,65 µm verwendet. Zudem wird als Widerstandstyp die Zelle rpoly1 aus der Bibliothek PRIMLIB eingesetzt.

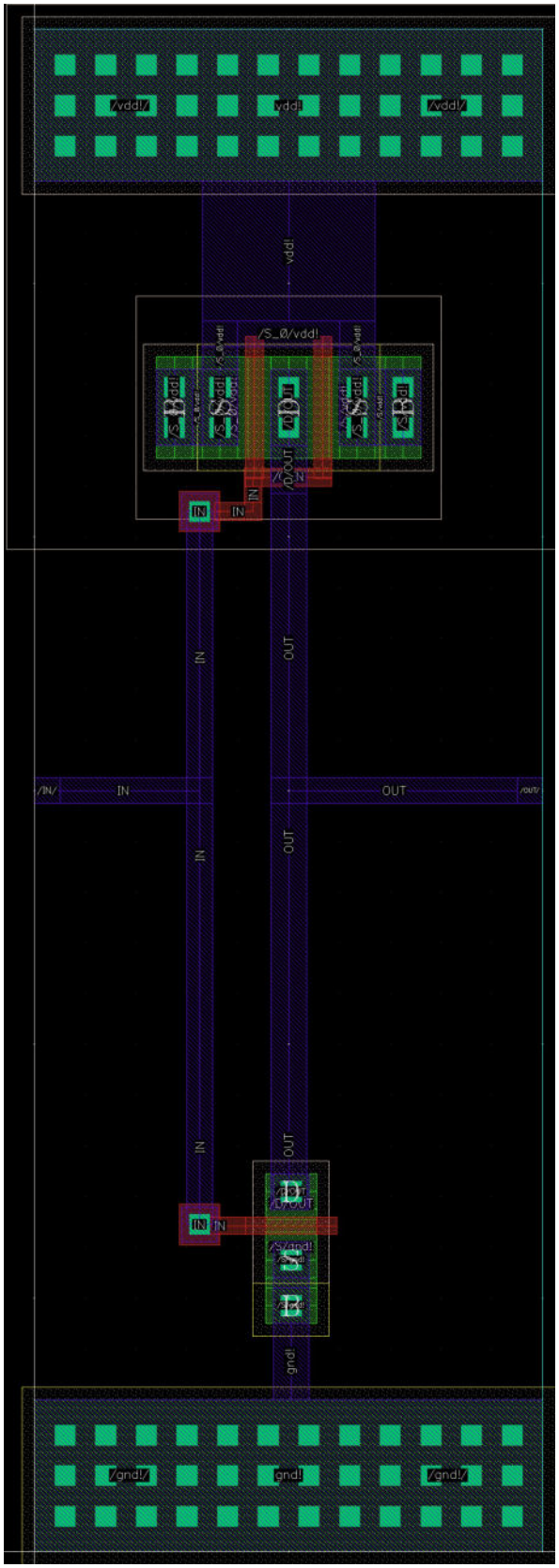


Abbildung 3.38.: Layout der Inverterstufe

Insgesamt ergeben sich 16 gleich dimensionierte Widerstandselemente. Jeweils vier dieser Elemente werden in Reihe geschaltet, sodass der ursprüngliche Widerstandswert von

$$4 \cdot 25\,\text{k}\Omega = 100\,\text{k}\Omega$$

erhalten bleibt. Die Segmentierung der Widerstände erleichtert eine regelmäßige Platzierung im Layout und ermöglicht eine übersichtlichere Führung der Zwischenabgriffe. Die drei Referenzknoten werden anschließend zu den Komparatoreingängen geführt.

Die Signalführung wird so gewählt, dass unnötige Kreuzungen zwischen den Eingangs-, Referenz- und Ausgangssignalen vermieden werden. Unvermeidliche Kreuzungen werden mithilfe unterschiedlicher Metallebenen und entsprechender Vias überbrückt. Der Eingangspin V_{in} und der Pin für die Bias-Spannung V_{SS} werden auf der linken Seite des Layouts angeordnet. Die Ausgangspins befinden sich auf der rechten Seite. Damit entspricht die physikalische Anordnung dem Signalfluss des 2-Bit-Flash-ADCs vom analogen Eingang über die Komparatorstufen bis zu den digitalen Ausgangssignalen.

Nach der Zusammenführung werden ein DRC und ein LVS durchgeführt. Die dabei ausgegebenen Fehlermeldungen konnten im zeitlichen Rahmen dieser Arbeit nicht vollständig behoben werden. Das vollständige Layout stellt somit den erreichten Entwurfsstand dar.

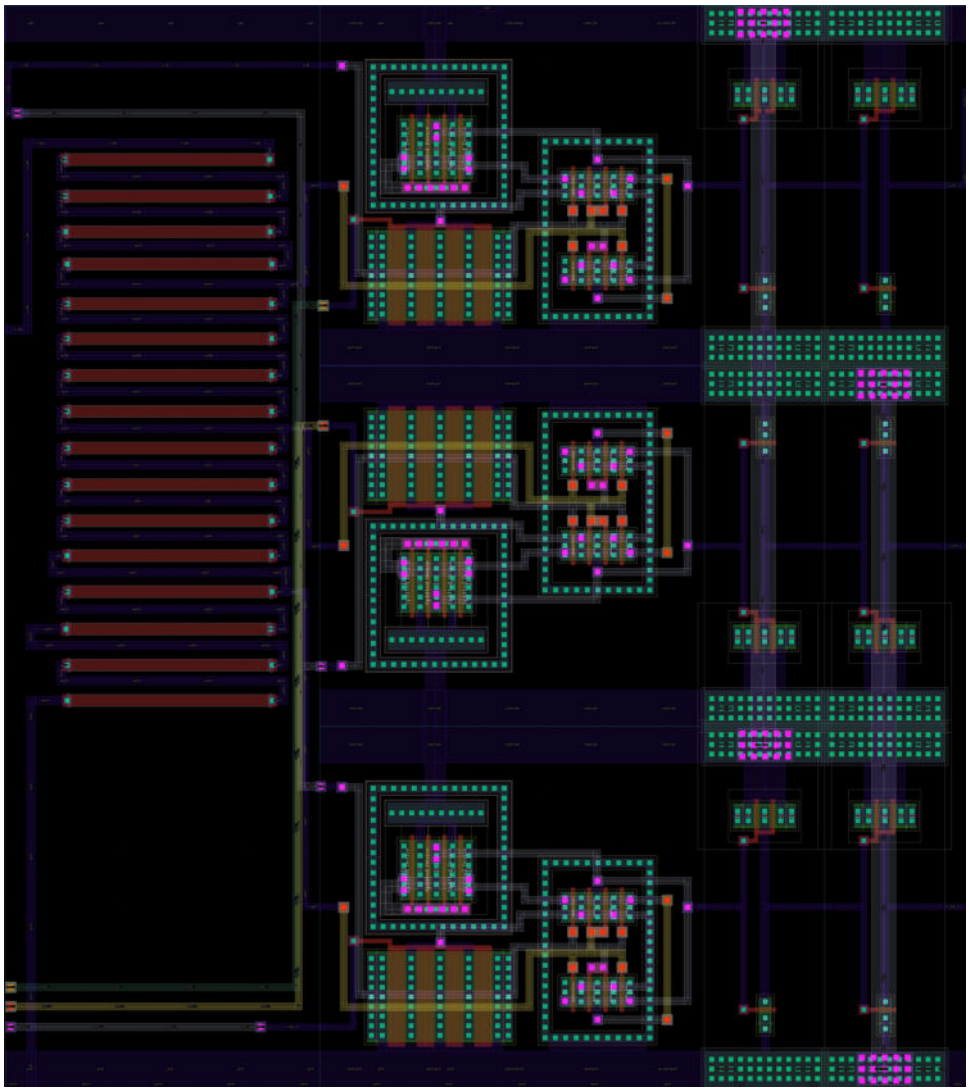


Abbildung 3.39.: Layout des 2-Bit-Flash-ADCs

4 Fazit und Ausblick

In dieser Arbeit wurde ein 2-Bit-Flash-ADC für kryogene Anwendungen entworfen und sein Verhalten bei kryogenen Temperaturen simulativ mit LTSpice und Cadence untersucht. Abschließend wurde diese Schaltung als Layout umgesetzt. Im Fokus standen die Auswirkungen tiefer Temperaturen auf die MOSFETs, die Komparatorstufe, die CMOS-Inverterstufe und den vollständigen 2-Bit-Flash-ADC. Der untersuchte Temperaturbereich reichte von 27 °C bis —269 °C.

Zunächst erfolgte eine Validierung der LTSpice-Simulationen durch den Vergleich mit Cadence. Beide Simulationsumgebungen verwendeten denselben AMS-Modellsatz auf Basis des BSIM3v3-Kompaktmodells. Die Eingangs-, Ausgangs- und Subthreshold-Kennlinien der n-Kanal- und p-Kanal-MOSFETs zeigten an den gemeinsamen Temperaturpunkten eine gute qualitative Übereinstimmung. Die Ergebnisse bestätigten damit eine weitgehend konsistente Berechnung für die weiteren Temperatur- und Parametersimulationen und rechtfertigten den Einsatz von LTSpice. Dieser Vergleich stellt jedoch keine physikalische Validierung des verwendeten MOSFET-Modells bei kryogenen Temperaturen dar. Eine solche Validierung erfordert reale Messdaten.

Die Untersuchung der einzelnen MOSFET-Kennlinien zeigte eine deutliche Temperaturabhängigkeit der Bauelemente. Mit sinkender Temperatur veränderten sich wesentliche MOSFET-Parameter. Der Drainstrom stieg im leitenden Bereich deutlich an, wobei sich dieser Verlauf unter anderem durch die erhöhte Ladungsträgerbeweglichkeit erklären ließ. Gleichzeitig verschob sich die Schwellspannung und der Übergang im Subthreshold-Bereich wurde steiler.

Die Komparatorstufe basiert auf einem NMOS-Differenzpaar mit PMOS-Stromspiegellast und einem NMOS-Fußpunkttransistor. Durch die Variation der Transistordimensionierung und der Bias-Spannung des Fußpunkttransistors wurde bei Raumtemperatur ein Umschaltpunkt nahe dem Symmetriepunkt erreicht. Die DC-Analyse zeigte jedoch eine temperaturabhängige Verschiebung des Umschaltpunkts. Diese Verschiebung entsteht durch die veränderten Arbeitspunkte des Differenzpaares, der Stromspiegellast und des Fußpunkttransistors. Besonders relevant ist der Fußpunkttransistor, da seine Gate-Bias-Spannung konstant bleibt, während sich seine Schwellspannung und damit der Tail-Strom mit der Temperatur ändern.

Die CMOS-Inverterstufen dienten der Pegelaufbereitung und der Erzeugung definierter digitaler Ausgangspegel. Auch sie zeigten ein temperaturabhängiges Verhalten. Mit sinkender Temperatur verkürzten sich die Schaltzeiten, während die mittlere Stromaufnahme anstieg. Damit ergab sich ein Zielkonflikt zwischen schnellerem Schaltverhalten und höherer Verlustleistung. Dieser Zielkonflikt ist für kryogene Anwendungen besonders relevant, da die zusätzliche elektrische Verlustleistung als Wärmeeintrag in das gekühlte System wirken kann.

Der vollständige 2-Bit-Flash-Analog-Digital-Wandler besteht aus einer Widerstandsleiter, drei Komparatoren und nachgeschalteten Inverterstufen. In der DC-Analyse wurden im Temperaturbereich von 27 °C bis −250 °C alle erwarteten Thermometer-Codes erzeugt. Die Komparatoren schalteten in der vorgesehenen Reihenfolge. Die DNL-Auswertung zeigte, dass die Breiten der Quantisierungsintervalle in diesem Bereich nur gering vom Idealwert abwichen.

In der Transientenanalyse zeigte sich bei −250 °C jedoch bereits eine eingeschränkte Rückschaltung des unteren Komparators K_{LOW}. Bei −269 °C trat zusätzlich ein statischer Funktionsverlust auf. Der Ausgangscode 000 wurde nicht mehr erzeugt. Die Simulationsergebnisse weisen auf eine kritische Arbeitspunktlage des unteren Komparatorzweigs hin. Aufgrund der niedrigeren Referenzspannung liegt am unteren Komparator ein geringerer Eingangsgleichtaktpegel an. Die temperaturabhängige Verschiebung des Arbeitspunkts des Fußpunkttransistors verändert den Tail-Strom und damit die Ansteuerung des Differenzpaares. Dies beeinträchtigt bei tiefen Temperaturen die zuverlässige Rückschaltung des unteren Komparators. In der Transientenanalyse wird dieser Effekt zusätzlich durch zeitliche Schwankungen an den Referenzknoten verstärkt.

Die mittlere Leistungsaufnahme stieg mit sinkender Temperatur deutlich an und erreichte bei −269 °C etwa das Vierfache des bei 27 °C bestimmten Wertes. Die Werte bei −250 °C und −269 °C sind jedoch im Zusammenhang mit der eingeschränkten Funktion zu betrachten.

Das Layout des 2-Bit-Flash-ADCs wurde in Cadence Virtuoso umgesetzt. Für das NMOS-Differenzpaar und die PMOS-Stromspiegellast der Komparatorstufe kam jeweils eine Common-Centroid-Anordnung zum Einsatz. Zusätzlich wurden Guard-Ringe eingesetzt, um Substrat- und Wannenbereiche niederohmig anzubinden. Dies reduzierte lokale Potentialschwankungen und verbesserte die Robustheit gegenüber eingekoppelten Störungen. Die Inverterstufe wurde kompakt umgesetzt und anhand von LVS und DRC verifiziert. Der vollständige ADC-Layoutentwurf entstand aus der Zusammenführung der einzelnen Schaltungsblöcke und der kompakt entworfenen Widerstandsleiter. Er dokumentiert den innerhalb dieser Arbeit erreichten Entwurfsstand, jedoch enthält noch DRC- und LVS-Fehler und ist daher nicht vollständig verifiziert.

Zusammenfassend zeigt diese Arbeit, dass ein 2-Bit-Flash-ADC in Standard-CMOS-Technologie über einen weiten Temperaturbereich simulativ funktionsfähig ausgelegt werden kann. Die Ergebnisse zeigen jedoch auch die Grenzen der gewählten Architektur. Bei −269 °C wurde einer der erwarteten Ausgangscodes nicht mehr erzeugt. Auch die bei kryogenen Temperaturen verkürzten Schaltzeiten sind nicht ausschließlich als Vorteil zu bewerten, da ihnen eine steigende Leistungsaufnahme gegenübersteht.

Für weiterführende Untersuchungen müssen zunächst die noch vorhandenen DRC- und LVS-Fehler des vollständigen Layouts behoben werden. Zudem ist eine vollständige Post-Layout-Analyse erforderlich. Dabei werden parasitäre Elemente aus dem Layout extrahiert und in die Schaltungssimulation zurückgeführt. Dadurch lässt sich bewerten, wie stark Leitungswiderstände, parasitäre Kapazitäten, Kopplungen und Layoutasymmetrien die Umschaltpunkte, das dynamische Verhalten und die Leistungsaufnahme beeinflussen.

Ein weiterer Schwerpunkt liegt auf der Optimierung der Komparatorstufe. Die bisherige Dimensionierung des Fußpunkttransistors und seiner Bias-Spannung erfolgte mit dem Ziel, den Umschaltpunkt der Komparatorstufe bei Raumtemperatur möglichst nahe am Symmetriepunkt von 1,65 V zu positionieren. Der untere Komparatorzweig zeigt bei tiefen Temperaturen eine kritische Arbeitspunktlage, deshalb sollte die Dimensionierung des Fußpunkttransistors zusätzlich gezielt im Hinblick auf einen stabilen Betrieb über den gesamten Temperaturbereich untersucht werden. Eine angepasste Dimensionierung des Fußpunkttransistors oder eine robustere Stromquellenstruktur könnte dazu beitragen, den Tail-Strom über die Temperatur stabiler einzustellen. Zusätzlich sollte untersucht werden, ob eine alternative Komparatorarchitektur den Funktionsverlust bei −269 °C vermeiden kann.

Die zentrale Einschränkung bleibt die Modellgültigkeit. Die verwendeten BSIM3v3-Modelle sind nicht speziell für den kryogenen Bereich validiert. Die Simulationsergebnisse, insbesondere bei −269 °C, sind daher vorsichtig zu interpretieren. Für eine belastbare Aussage über den realen Schaltungsbetrieb nahe 4 K sind experimentelle Messdaten erforderlich. Eine weiterführende Arbeit sollte deshalb Messungen an den einzelnen Schaltungsblöcken und am vollständigen 2-Bit-Flash-ADC bei tiefen Temperaturen durchführen.

Langfristig ist die Fertigung und Charakterisierung eines Testchips sinnvoll. Dieser Testchip sollte einzelne Komparator- und Inverterstufen, die Widerstandsleiter und den vollständigen 2-Bit-Flash-ADC getrennt messbar machen. Dadurch lassen sich die Ursachen für die Verschiebungen der Umschaltpunkte, die erhöhte Leistungsaufnahme und fehlende Ausgangscodes gezielt analysieren. Auf Grundlage der Messdaten könnten Modellparameter angepasst und die Simulationsergebnisse mit realen Messwerten verglichen werden. Erst eine solche experimentelle Validierung erlaubt eine abschließende Bewertung, ob die beobachteten Effekte reale kryogene Schaltungseigenschaften darstellen oder überwiegend aus der Extrapolation des verwendeten Modells entstehen.

Für die sprachliche Überarbeitung dieser Arbeit sowie für die Anpassung der Python-Skripte zur Erstellung der Plots wurden die KI-gestützten Werkzeuge ChatGPT und Grammarly verwendet. Der Einsatz für die schriftliche Überarbeitung beschränkte sich auf die Korrektur von Rechtschreibung, Grammatik und Satzbau sowie auf die sprachliche Präzisierung einzelner Textpassagen. Die fachlichen Inhalte, die Auswahl der Literatur, die Durchführung der Simulationen und die Bewertung der Ergebnisse wurden eigenständig erarbeitet.

Abbildungsverzeichnis

2.1 Technologischer Querschnitt des n-Kanal-MOSFETs 3
2.2 Flachbandfall der MOS-Struktur 4
2.3 Inversion der MOS-Struktur 5
2.4 Typische Ausgangskennlinien eines n-Kanal-MOSFETs mit linearem Bereich und Sättigungsbereich [6]. 6
2.5 Gemessener Subthreshold-Slope in Abhängigkeit von der Temperatur im Vergleich zum klassischen Modell nach [1] 10
2.6 Kink-Effekt in der Ausgangskennlinie eines MOSFETs bei kryogener Temperatur [11]. 11
2.7 LTSpice-Schaltung der Komparatorstufe 12
2.8 CMOS-Inverter-Schaltung 13
2.9 Prinzipieller Aufbau eines 2-Bit-Flash-ADCs [14] 14

3.1 LTSpice-Testschaltung zur Aufnahme der Eingangs- und Subthreshold-Kennlinie eines n-Kanal-MOSFETs 18
3.2 Vergleich der Ausgangskennlinie des n-Kanal-MOSFETs zwischen LTSpice und Cadence bei 27 °C und $V_{GS} = 3{,}3\,\mathrm{V}$ 20
3.3 Vergleich der Ausgangskennlinie des n-Kanal-MOSFETs zwischen LTSpice und Cadence über der Temperatur 20
3.4 Vergleich der Ausgangskennlinien des p-Kanal-MOSFETs zwischen LTSpice und Cadence über der Temperatur 21
3.5 Eingangskennlinien des n-Kanal-MOSFETs über der Temperatur 22
3.6 Eingangskennlinie des n-Kanal-MOSFETs bei feiner Schrittweite bei −250 °C 23

3.7 Eingangskennlinie des n-Kanal-MOSFETs bei feiner Schrittweite bei —269 °C 23
3.8 Eingangskennlinien des p-Kanal-MOSFETs über der Temperatur 24
3.9 Subthreshold-Kennlinien des p-Kanal-MOSFETs über der Temperatur 25
3.10 DC-Sweep des Komparators bei 27 °C in LTSpice 28
3.11 Umschaltpunkte und Offsetspannungen des Komparators über der Temperatur 28
3.12 Statische Verstärkung des Komparators über der Temperatur . 29
3.13 Anstiegs- und Abfallzeiten des Komparators über der Temperatur 30
3.14 Slew Rate des Komparators über der Temperatur 32
3.15 Mittlerer Versorgungsstrom des Komparators über der Temperatur 33
3.16 CMOS-Inverter-Schaltung in LTSpice 34
3.17 Vergleich der simulierten Übertragungskennlinien der CMOS-Inverterstufe in LTSpice und Cadence bei a) 27 °C, b) —100 °C, c) —200 °C und d) —250 °C 35
3.18 Übertragungskennlinien des CMOS-Inverters beim W/L-Sweep 36
3.19 Übertragungskennlinie des CMOS-Inverters nach dem W/L-Sweep bei Raumtemperatur 27 °C 37
3.20 Übertragungskennlinie des CMOS-Inverters nach der W/L-Dimensionierung 38
3.21 Übertragungskennlinie des CMOS-Inverters bei —269 °C . . . 39
3.22 Anstiegs- und Abfallzeiten der CMOS-Inverterstufe über der Temperatur 41
3.23 Slew Rate der CMOS-Inverterstufe über der Temperatur . . . 42
3.24 Mittlerer Versorgungsstrom der CMOS-Inverterstufe über der Temperatur 43
3.25 Mittlere Leistungsaufnahme der CMOS-Inverterstufe über der Temperatur 44

3.26 Temperaturabhängige Stromverläufe der CMOS-Inverterstufe beim Eingangssprung von Low nach High: a) Verlauf der Eingangsspannung V_{PRE}, b) Drainstrom I_{MODP} des p-Kanal-MOSFETs, c) Drainstrom I_{MODN} des n-Kanal-MOSFETs und d) Strom I_{C1} durch die Ausgangskapazität. 45
3.27 Temperaturabhängige Stromverläufe der CMOS-Inverterstufe beim Eingangssprung von High nach Low: a) Verlauf der Eingangsspannung V_{PRE}, b) Drainstrom I_{MODP} des p-Kanal-MOSFETs, c) Drainstrom I_{MODN} des n-Kanal-MOSFETs und d) Strom I_{C1} durch die Ausgangskapazität. 47
3.28 Schaltungsaufbau des vollständigen 2-Bit-Flash-ADCs in LTSpice 48
3.29 Thermometer-Code des 2-Bit-Flash-ADCs über der Eingangsspannung und der Temperatur 49
3.30 Umschaltpunkte des 2-Bit-Flash-ADCs über der Temperatur . . 50
3.31 ADC-Kennlinie des 2-Bit-Flash-ADCs bei —269 °C 53
3.32 Digitaler Ausgangscode des 2-Bit-Flash-ADCs bei 27 °C 54
3.33 Digitaler Ausgangscode des 2-Bit-Flash-ADCs bei —200 °C . . 55
3.34 Anstiegszeiten der finalen ADC-Ausgänge über der Temperatur 55
3.35 Abfallzeiten der finalen ADC-Ausgänge über der Temperatur . 56
3.36 Mittlerer Versorgungsstrom des 2-Bit-Flash-ADCs über der Temperatur 57
3.37 Layout der Komparatorstufe 59
3.38 Layout der Inverterstufe 61
3.39 Layout des 2-Bit-Flash-ADCs 63

A.1 DC-Sweep der Komparatorstufe: Vergleich zwischen LTSpice und Cadence bei —100 °C XIII
A.2 DC-Sweep der Komparatorstufe: Vergleich zwischen LTspice und Cadence bei —200 °C XIII
A.3 DC-Sweep der Komparatorstufe: Vergleich zwischen LTspice und Cadence bei —250 °C XIV

A.4 Offsetspannung der Komparatorstufe über der Temperatur . . XIV
A.5 Transientenverlauf der CMOS-Inverterstufe bei 27 °C XVI
A.6 Transientenverlauf der isolierten CMOS-Inverterstufe bei —100 °C XVI
A.7 Transientenverlauf der isolierten CMOS-Inverterstufe bei —200 °C XVII
A.8 Transientenverlauf der isolierten CMOS-Inverterstufe bei —250 °C XVII
A.9 Transientenverlauf der CMOS-Inverterstufe bei —269 °C . . . XVIII
A.10 ADC-Kennlinie des 2-Bit-Flash-ADCs bei 27 °C XIX
A.11 ADC-Kennlinie des 2-Bit-Flash-ADCs bei —100 °C XIX
A.12 ADC-Kennlinie des 2-Bit-Flash-ADCs bei —200 °C XX
A.13 ADC-Kennlinie des 2-Bit-Flash-ADCs bei —250 °C XX
A.14 Digitaler Ausgangscode des 2-Bit-Flash-ADCs bei —100 °C . . XXI
A.15 Digitaler Ausgangscode des 2-Bit-Flash-ADCs bei —250 °C . . XXI
A.16 Digitaler Ausgangscode des 2-Bit-Flash-ADCs bei —269 °C . . XXII

Tabellenverzeichnis

3.1 Abweichung des Umschaltpunkts vom Symmetriepunkt bei verschiedenen Temperaturen 27
3.2 Verwendete Transistordimensionierung der Komparatorstufe . . 27
3.3 Ausgangspegel über der Temperatur 32
3.4 Slew Rate der CMOS-Inverterstufe über der Temperatur 42
3.5 Mittlerer Versorgungsstrom der CMOS-Inverterstufe über der Temperatur 43

A.1 Abweichung des Umschaltpunktes vom idealen Mittelpunkt bei $W = 30\,\mu m$ und $L = 1{,}4\,\mu m$ XV
A.2 Vergleich der besten Bias-Punkte für verschiedene Kanalweiten bei $L = 1{,}4\,\mu m$ XV
A.3 Temperaturabhängige Abweichung des Umschaltpunktes für $W = 30\,\mu m$ und $L = 1{,}4\,\mu m$ XV
A.4 Temperaturabhängiger Umschaltpunkt und Offset der CMOS-Inverterstufe bezogen auf den idealen Umschaltpunkt von 1,65 V XVIII

Literaturverzeichnis

[1] H. Elgabra, “Cryogenic CMOS compact modeling for cryo-electronic applications,” en, Accessed: 2026-4-7, Diss., University of Waterloo, Sep. 2023.

[2] J. van Dijk u. a., “Cryo-CMOS for analog/mixed-signal circuits and systems,” in *2020 IEEE Custom Integrated Circuits Conference (CICC)*, Boston, MA, USA: IEEE, März 2020. DOI: 10.1109/CICC48029.2020.9075882

[3] Y. Creten, P. Merken, W. Sansen, R. P. Mertens und C. Van Hoof, “An 8-bit flash analog-to-digital converter in standard CMOS technology functional from 4.2 K to 300 K,” *IEEE J. Solid-State Circuits*, Jg. 44, Nr. 7, S. 2019–2025, Juli 2009. DOI: 10.1109/ESSCIRC.2008.4681845

[4] H. Zhao und X. Liu, “A low-power cryogenic analog to digital converter in standard CMOS technology,” en, *Cryogenics (Guildf.)*, Jg. 55-56, S. 79–83, Mai 2013. DOI: https://doi.org/10.1016/j.cryogenics.2013.03.005

[5] M. Reisch, *Halbleiter-Bauelemente*. Berlin, Heidelberg: Springer Berlin Heidelberg, 2007, ISBN: 978-3-540-73199-3. DOI: 10.1007/978-3-540-73200-6

[6] H. Klar und T. Noll, *Integrierte Digitale Schaltungen: Vom Transistor zur optimierten Logikschaltung*, 3. Aufl. Berlin, Heidelberg: Springer Vieweg, 2015, ISBN: 978-3-540-69017-7. DOI: 10.1007/978-3-540-69017-7

[7] A. Beckers, F. Jazaeri und C. Enz, “Cryogenic MOS transistor model,” *IEEE Trans. Electron Devices*, Jg. 65, Nr. 9, S. 3617–3625, Sep. 2018. DOI: 10.1109/TED.2018.2854701

[8] B. Dierickx, L. Warmerdam, E. R. Simoen, J. Vermeiren und C. Claeys, “Model for hysteresis and kink behavior of MOS transistors operating at 4.2 K,” *IEEE Trans. Electron Devices*, Jg. 35, Nr. 7, S. 1120–1125, Juli 1988. DOI: 10.1109/16.3372

[9] L. Deferm, E. Simoen und C. Claeys, “The importance of the internal bulk-source potential on the low temperature kink in NMOSTs,” *IEEE Trans. Electron Devices*, Jg. 38, Nr. 6, S. 1459–1466, Juni 1991. DOI: 10.1109/16.81639

[10] H. Bohuslavskyi u. a., “Cryogenic subthreshold swing saturation in FD-SOI MOSFETs described with band broadening,” *IEEE Electron Device Lett.*, Jg. 40, Nr. 5, S. 784–787, Mai 2019. DOI: 10.1109/LED.2019.2903111

[11] F. Jazaeri, A. Beckers, A. Tajalli und J.-M. Sallese, “A review on quantum computing: From qubits to front-end electronics and cryogenic MOSFET physics,” Juni 2019. DOI: 10.23919/MIXDES.2019.8787164

[12] U. Tietze, C. Schenk und E. Gamm, *Halbleiter-Schaltungstechnik*, 16. Aufl. Berlin, Heidelberg: Springer Vieweg, 2019, ISBN: 978-3-662-48553-8. DOI: 10.1007/978-3-662-48555-2

[13] Analog Devices. “Understanding Flash ADCs,” besucht am 26. Apr. 2026. Adresse: https://www.analog.com/en/resources/technical-articles/understanding-flash-adcs.html

[14] B. Razavi, “The flash ADC [A circuit for all seasons],” *IEEE Solid-state Circuits Mag.*, Jg. 9, Nr. 3, S. 9–13, 2017. DOI: 10.1109/MSSC.2017.2712998

[15] S. Veeramachanen, A. M. Kumar, V. Tummala und M. B. Srinivas, “Design of a low power, variable-resolution flash ADC,” in *2009 22nd International Conference on VLSI Design*, New Delhi, India: IEEE, Jan. 2009. DOI: 10.1109/VLSI.Design.2009.62

[16] “IEEE standard for terminology and test methods for analog-to-digital converters,” IEEE, Piscataway, NJ, USA, Techn. Ber., 2011.

[17] J. Lienig und J. Scheible, *Fundamentals of layout design for electronic circuits*, en, 2020. Aufl. Cham, Switzerland: Springer Nature, März 2020. DOI: https://doi.org/10.1007/978-3-030-39284-0

A Anhang

A.1 Ergänzende Daten der Komparatorstufe

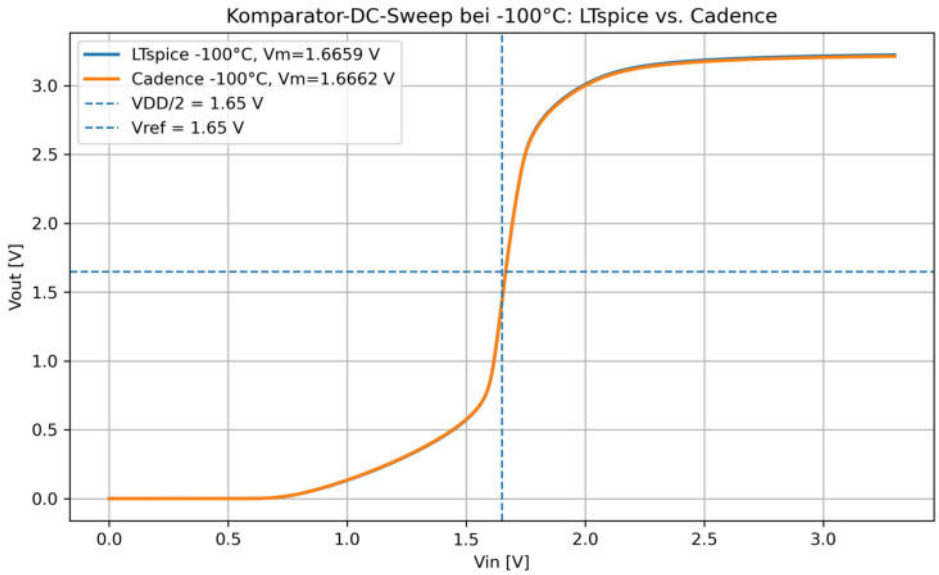


Abbildung A.1.: DC-Sweep der Komparatorstufe: Vergleich zwischen LTSpice und Cadence bei −100 °C

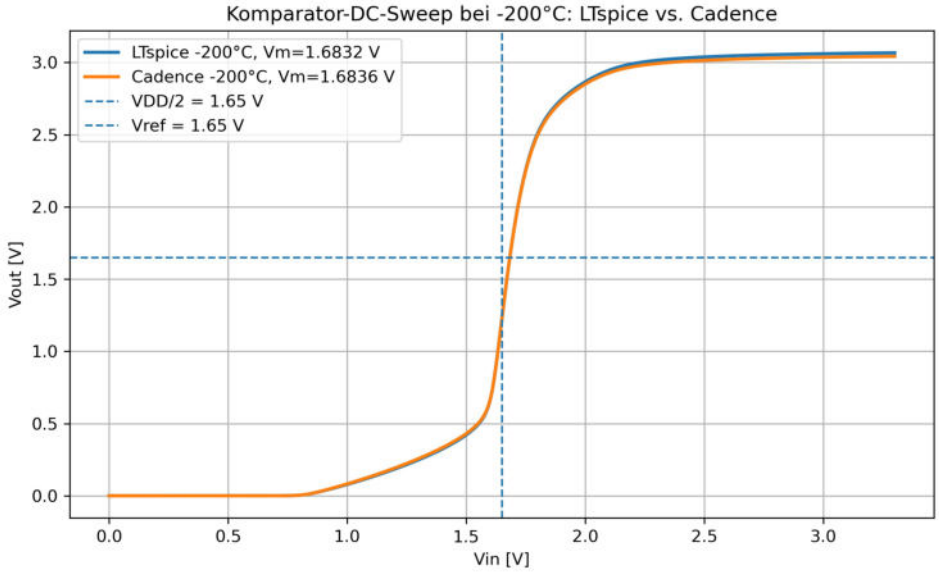


Abbildung A.2.: DC-Sweep der Komparatorstufe: Vergleich zwischen LTspice und Cadence bei −200 °C

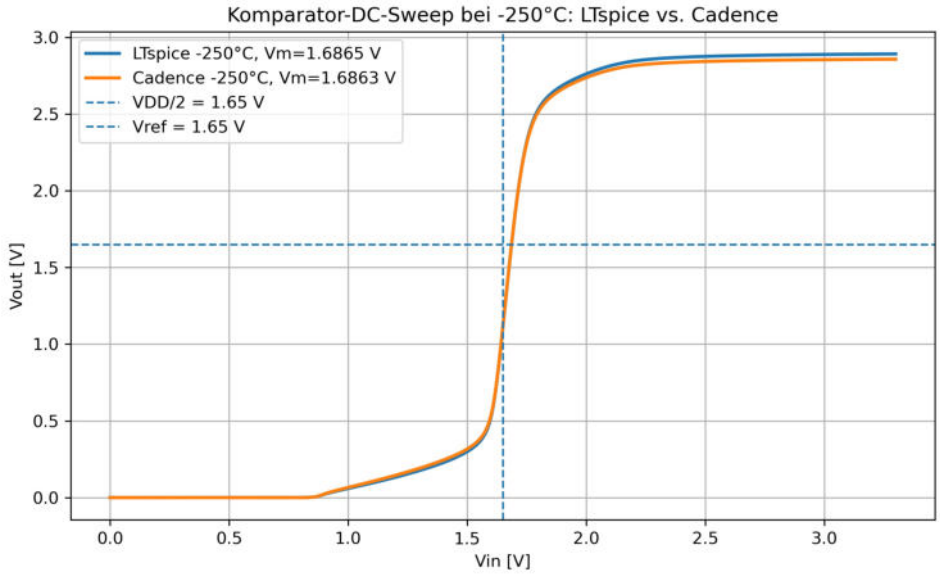


Abbildung A.3.: DC-Sweep der Komparatorstufe: Vergleich zwischen LTspice und Cadence bei −250 °C

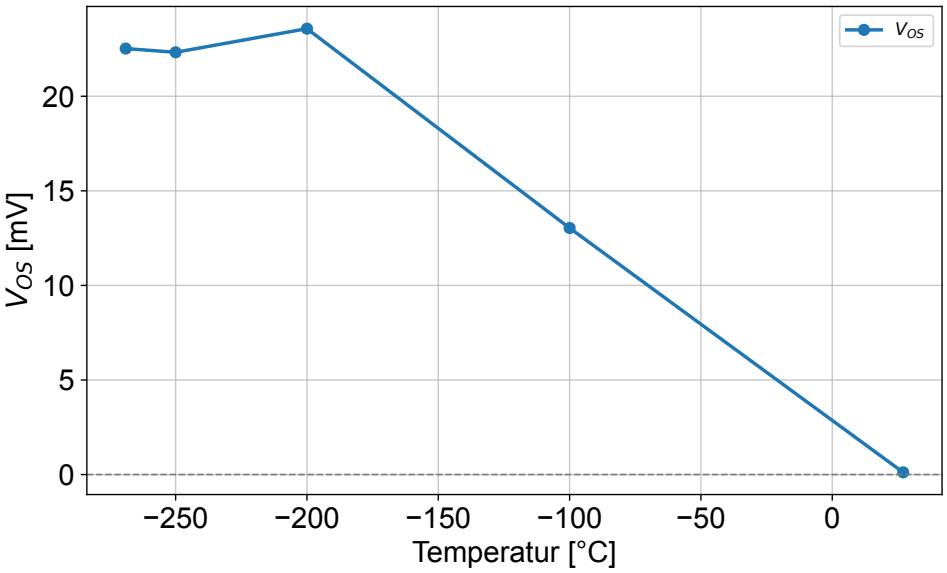


Abbildung A.4.: Offsetspannung der Komparatorstufe über der Temperatur

V_{SS} in V	V_M in V	Abweichung zu 1,65 V in V	Abweichung in mV
1.0	1.62903	0.020974	20.974
1.2	1.63807	0.011932	11.932
1.4	**1.64903**	**0.000971**	**0.971**
1.6	1.65320	0.003203	3.203
1.8	1.65528	0.005280	5.280

Tabelle A.1.: Abweichung des Umschaltpunktes vom idealen Mittelpunkt bei $W = 30\,\mu m$ und $L = 1{,}4\,\mu m$

W in µm	L in µm	V_{SS} in V	x_{50} in V	Abweichung in mV
10	1.4	1.8	1.63587	14.127
20	1.4	1.8	1.64895	1.054
30	**1.4**	**1.4**	**1.64903**	**0.971**
40	1.4	1.2	1.64539	4.605

Tabelle A.2.: Vergleich der besten Bias-Punkte für verschiedene Kanalweiten bei $L = 1{,}4\,\mu m$

V_{SS} in V	−269 °C	−250 °C	−200 °C	−100 °C	27 °C	Mittelwert	Max. Fehler
1.35	22.532	21.948	**19.994**	**9.408**	2.629	**15.302**	**22.532**
1.37	22.657	22.293	21.358	10.716	1.630	15.730	22.657
1.39	22.633	22.399	22.565	11.925	0.715	16.047	22.633
1.41	22.522	22.325	23.574	13.035	**0.116**	16.314	23.574
1.43	22.379	22.136	24.360	14.039	0.868	16.756	24.360
1.45	**22.245**	**21.895**	24.916	14.931	1.542	17.106	24.916

Tabelle A.3.: Temperaturabhängige Abweichung des Umschaltpunktes für $W = 30\,\mu m$ und $L = 1{,}4\,\mu m$

A.2 Ergänzende Daten der CMOS-Inverterstufe

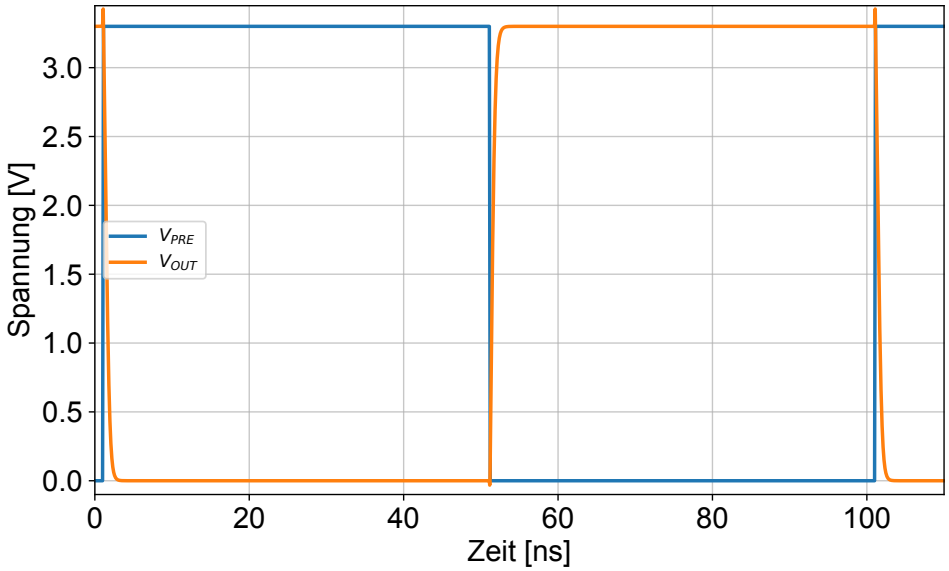


Abbildung A.5.: Transientenverlauf der CMOS-Inverterstufe bei 27 °C

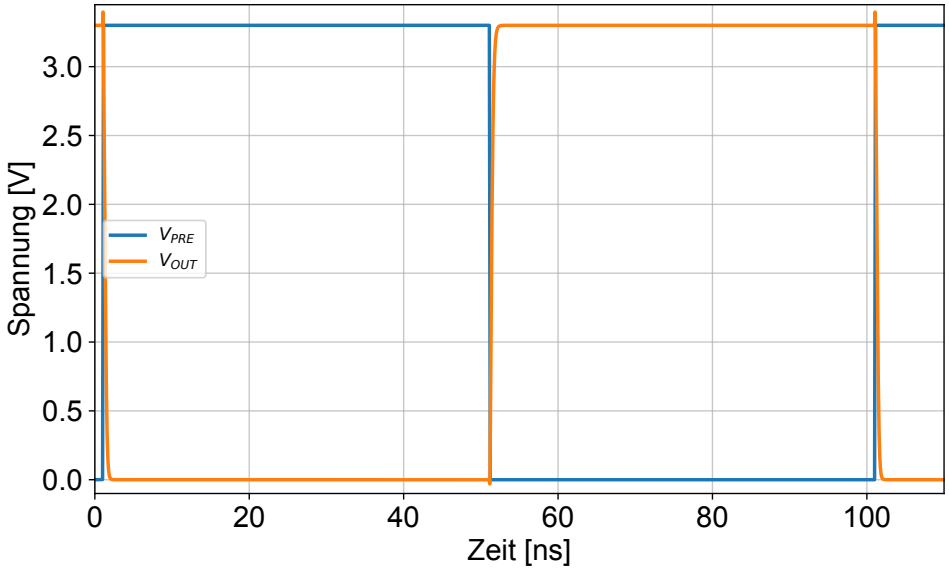


Abbildung A.6.: Transientenverlauf der isolierten CMOS-Inverterstufe bei −100 °C

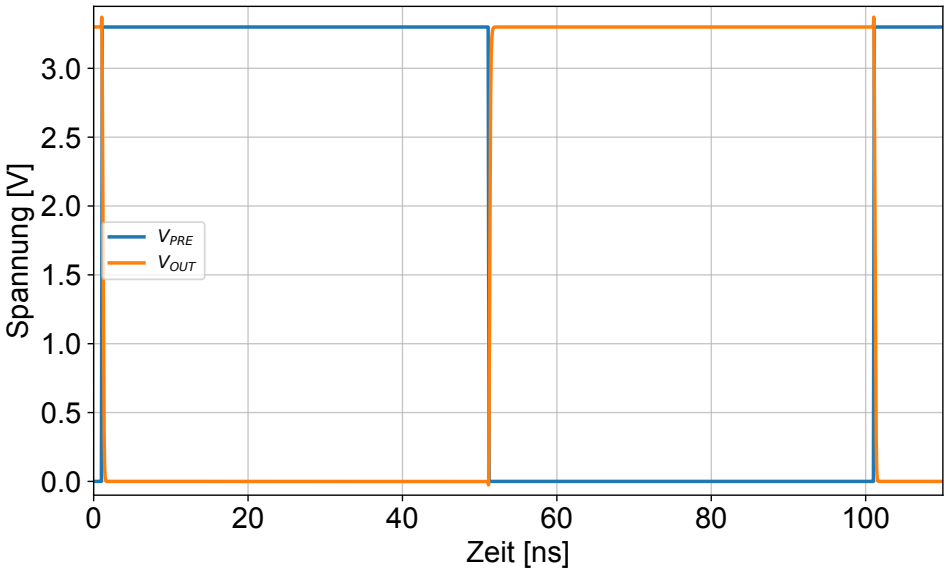


Abbildung A.7.: Transientenverlauf der isolierten CMOS-Inverterstufe bei −200 °C

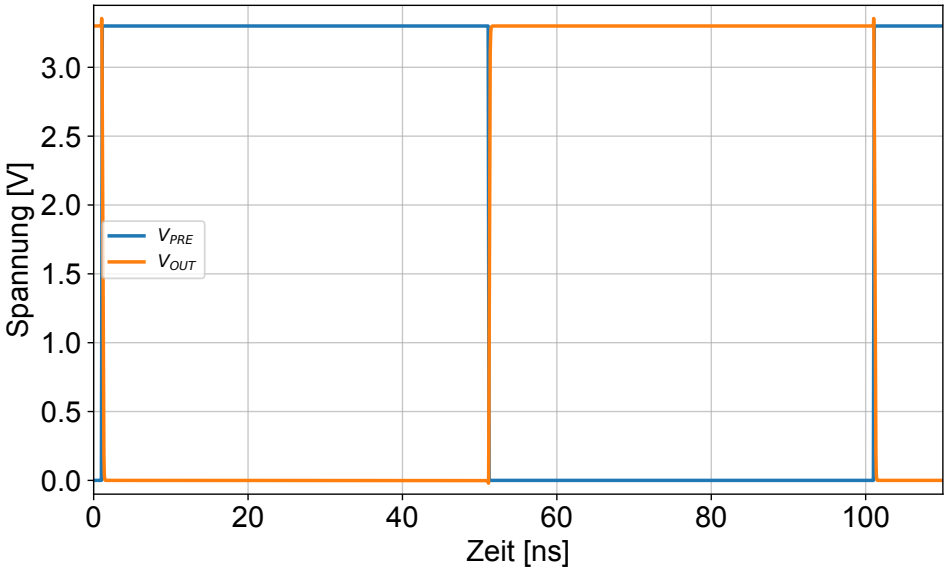


Abbildung A.8.: Transientenverlauf der isolierten CMOS-Inverterstufe bei −250 °C

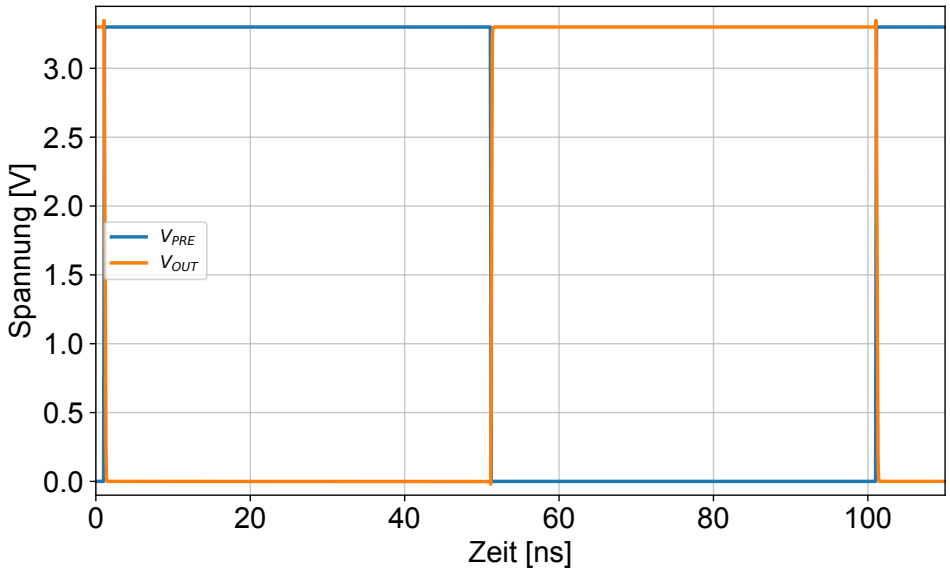


Abbildung A.9.: Transientenverlauf der CMOS-Inverterstufe bei —269 °C

Temperatur	V_M in V	Offset zu 1,65 V in mV
27 °C	1.643944	-6.056
—100 °C	1.547633	-102.367
—200 °C	1.510908	-139.092
—250 °C	1.591913	-58.087
—269 °C	1.675586	25.586

Tabelle A.4.: Temperaturabhängiger Umschaltpunkt und Offset der CMOS-Inverterstufe bezogen auf den idealen Umschaltpunkt von 1,65 V

A.3 Ergänzende Daten des 2-Bit-Flash-ADCs

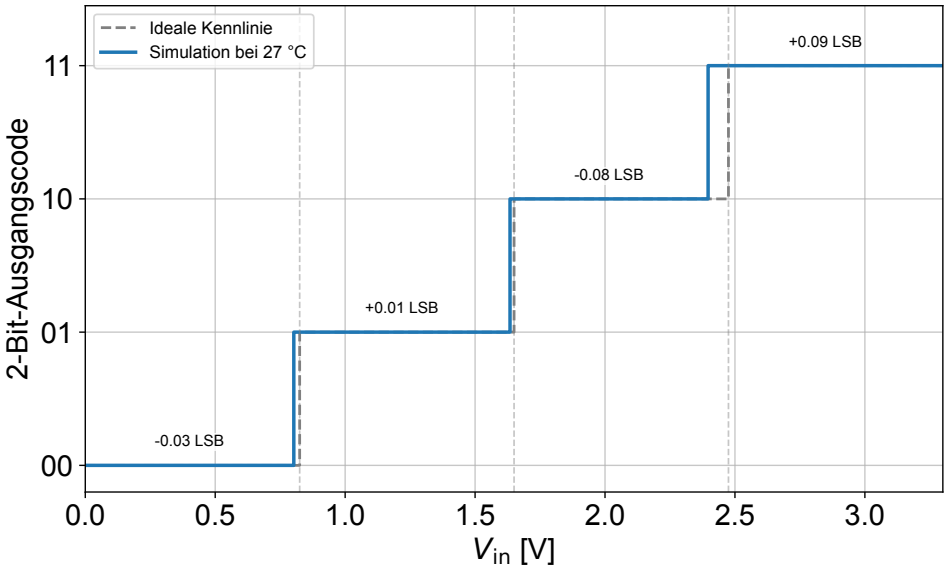


Abbildung A.10.: ADC-Kennlinie des 2-Bit-Flash-ADCs bei 27 °C

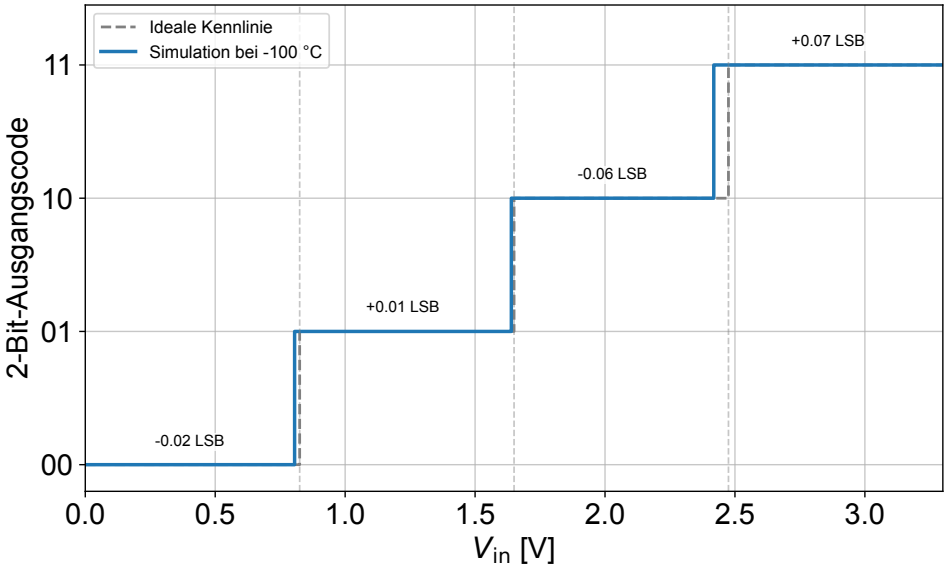


Abbildung A.11.: ADC-Kennlinie des 2-Bit-Flash-ADCs bei —100 °C

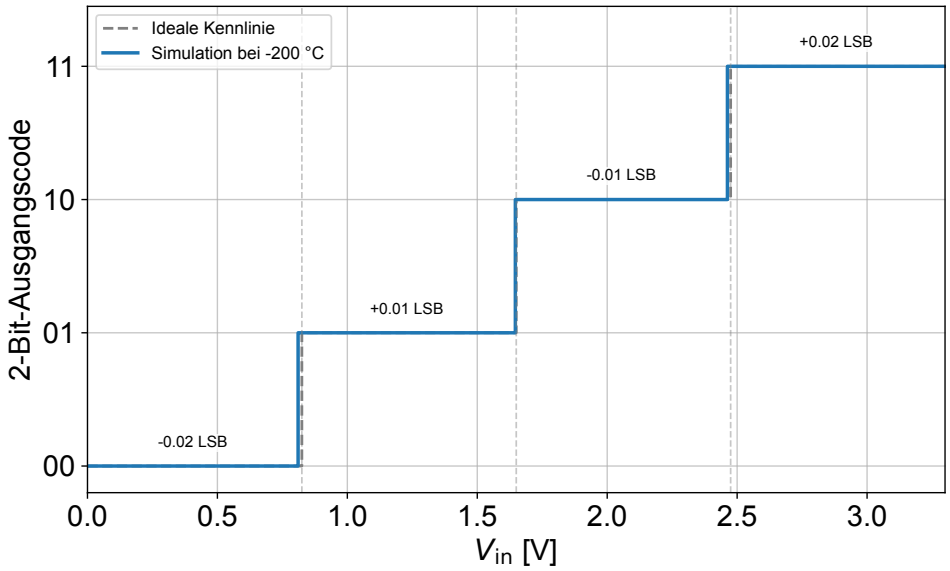


Abbildung A.12.: ADC-Kennlinie des 2-Bit-Flash-ADCs bei −200 °C

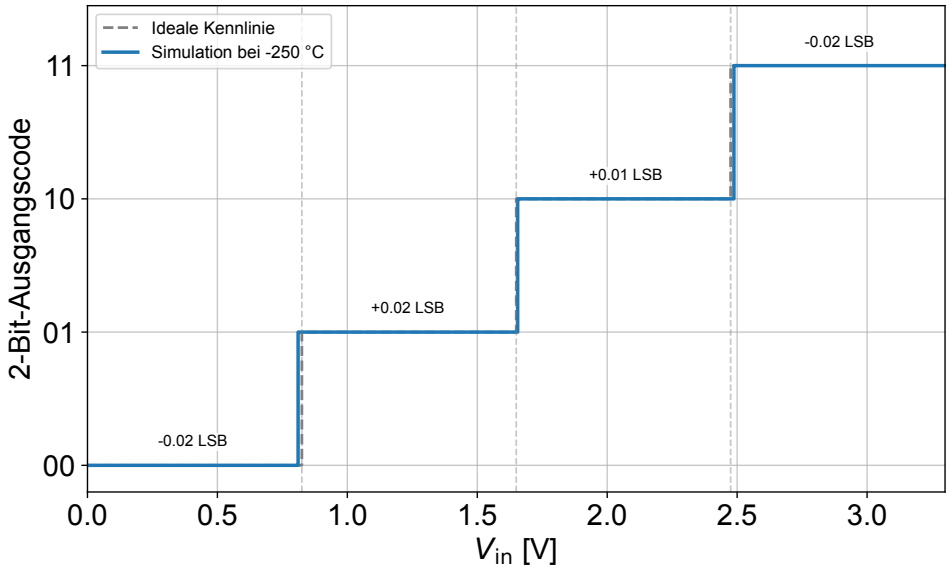


Abbildung A.13.: ADC-Kennlinie des 2-Bit-Flash-ADCs bei −250 °C

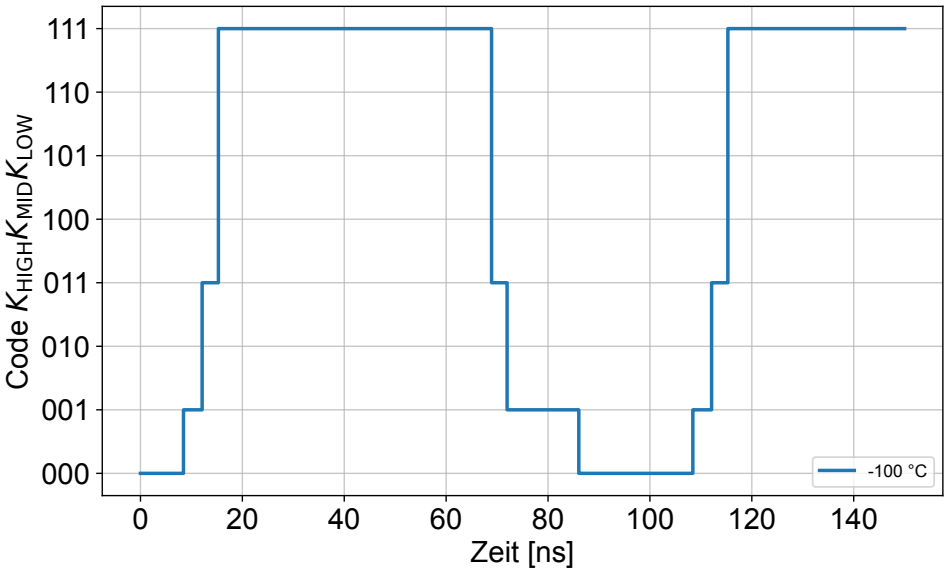


Abbildung A.14.: Digitaler Ausgangscode des 2-Bit-Flash-ADCs bei —100 °C

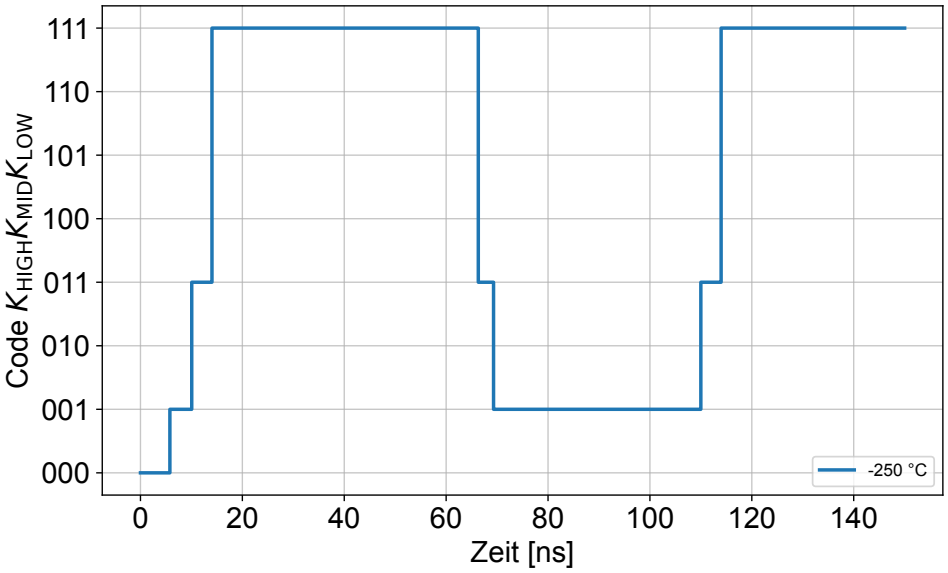


Abbildung A.15.: Digitaler Ausgangscode des 2-Bit-Flash-ADCs bei —250 °C

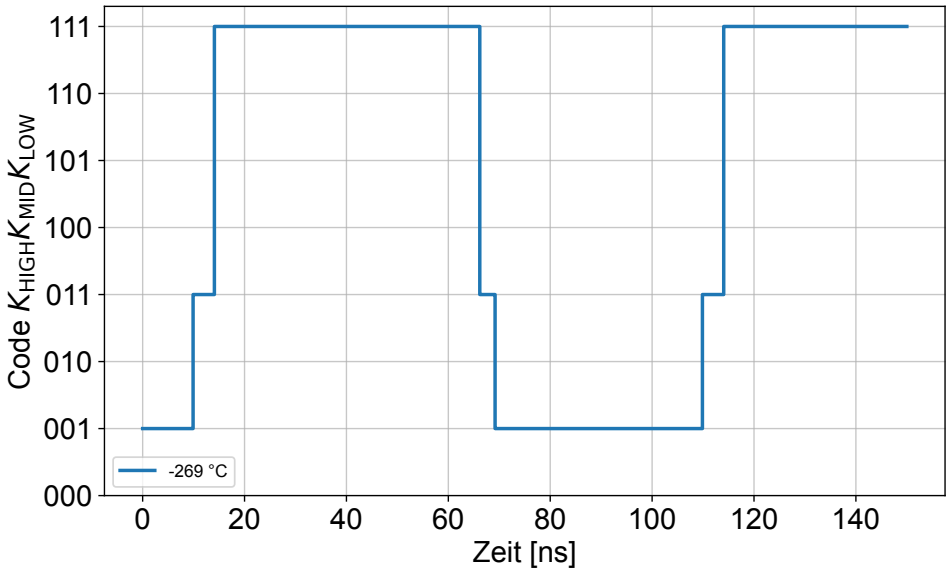


Abbildung A.16.: Digitaler Ausgangscode des 2-Bit-Flash-ADCs bei −269 °C

Eidesstattliche Versicherung

(Affidavit)

Mutlu, Samet Bugrahan [redacted]

Name, Vorname
(surname, first name)

Matrikelnummer
(student ID number)

☒ Bachelorarbeit
(Bachelor's thesis)

☐ Masterarbeit
(Master's thesis)

Titel
(Title)

Design und Layout eines 2 Bit Flash ADCs für kryogene Anwendungen

Ich versichere hiermit an Eides statt, dass ich die vorliegende Abschlussarbeit mit dem oben genannten Titel selbstständig und ohne unzulässige fremde Hilfe erbracht habe. Ich habe keine anderen als die angegebenen Quellen und Hilfsmittel benutzt sowie wörtliche und sinngemäße Zitate kenntlich gemacht. Die Arbeit hat in gleicher oder ähnlicher Form noch keiner Prüfungsbehörde vorgelegen.

I declare in lieu of oath that I have completed the present thesis with the above-mentioned title independently and without any unauthorized assistance. I have not used any other sources or aids than the ones listed and have documented quotations and paraphrases as such. The thesis in its current or similar version has not been submitted to an auditing institution before.

Dortmund, 23.06.2026 [redacted]

Ort, Datum
(place, date)

Unterschrift
(signature)

Belehrung:
Wer vorsätzlich gegen eine die Täuschung über Prüfungsleistungen betreffende Regelung einer Hochschulprüfungsordnung verstößt, handelt ordnungswidrig. Die Ordnungswidrigkeit kann mit einer Geldbuße von bis zu 50.000,00 € geahndet werden. Zuständige Verwaltungsbehörde für die Verfolgung und Ahndung von Ordnungswidrigkeiten ist der Kanzler/die Kanzlerin der Technischen Universität Dortmund. Im Falle eines mehrfachen oder sonstigen schwerwiegenden Täuschungsversuches kann der Prüfling zudem exmatrikuliert werden. (§ 63 Abs. 5 Hochschulgesetz - HG -).

Die Abgabe einer falschen Versicherung an Eides statt wird mit Freiheitsstrafe bis zu 3 Jahren oder mit Geldstrafe bestraft.

Die Technische Universität Dortmund wird ggf. elektronische Vergleichswerkzeuge (wie z.B. die Software „turnitin") zur Überprüfung von Ordnungswidrigkeiten in Prüfungsverfahren nutzen.

Die oben stehende Belehrung habe ich zur Kenntnis genommen:

Official notification:
Any person who intentionally breaches any regulation of university examination regulations relating to deception in examination performance is acting improperly. This offense can be punished with a fine of up to EUR 50,000.00. The competent administrative authority for the pursuit and prosecution of offenses of this type is the Chancellor of TU Dortmund University. In the case of multiple or other serious attempts at deception, the examinee can also be unenrolled, Section 63 (5) North Rhine-Westphalia Higher Education Act (*Hochschulgesetz, HG*).

The submission of a false affidavit will be punished with a prison sentence of up to three years or a fine.

As may be necessary, TU Dortmund University will make use of electronic plagiarism-prevention tools (e.g. the "turnitin" service) in order to monitor violations during the examination procedures.

I have taken note of the above official notification:*

Dortmund, 23.06.2026 [redacted]

Ort, Datum
(place, date)

Unterschrift
(signature)

***Please be aware that solely the German version of the affidavit ("Eidesstattliche Versicherung") for the Bachelor's/ Master's thesis is the official and legally binding version.**