Resonanz-Tunneldioden und Heterobipolartransistoren in dynamischen Digitalschaltungen hoher Funktionsdichte

von der Fakultät für Elektrotechnik und Informationstechnik

der

Universität Dortmund

genehmigte

Dissertation

zur Erlangung des akademischen Grades

Doktor der Ingenieurwissenschaften

von

Dipl.-Ing. Peter Glösekötter

Dortmund, Juli 2002

Tag der mündlichen Prüfung:	8. Juli 2002
Hauptreferent:	Prof. Dr.-Ing. K. Goser
Korreferent:	Prof. Dr.-Ing. I. Rojas

Danksagung

Die vorliegende Arbeit entstand während meiner Tätigkeit als wissenschaftlicher Angestellter am Lehrstuhl Bauelemente der Elektrotechnik der Universität Dortmund auf Anregung von Herrn Prof. Dr.-Ing. K. Goser, dem Inhaber des Lehrstuhls.

Ihm gilt mein besonderer Dank für die wohlwollende Förderung meiner Arbeit und die angenehme und vertrauensvolle Zusammenarbeit. Er brachte mir stets große Diskussionsbereitschaft entgegen und gab mir die Möglichkeit, meine Forschungsergebnisse auf nationalen und internationalen Konferenzen vorzustellen. Darüber hinaus ermöglichte er mir eine fachliche Weiterbildung und den Erfahrungsaustausch im Rahmen internationaler wissenschaftlicher Kontakte.

Herrn Prof. Dr.-Ing. I. Rojas von der Universität Granada (Spanien) danke ich herzlich für die Übernahme des Korreferates, die kritische Durchsicht meiner Arbeit und seine wertvollen Hinweise.

Für die Herstellung der Testschaltungen gilt mein Dank dem gesamten Technologieteam des Fachgebietes Halbleitertechnik/- Technologie der Gerhard-Mercator Universität Duisburg. Besonders zum Gelingen dieser Arbeit hat dabei der Einsatz von Herrn Dr.-Ing. W. Prost beigetragen.

Herrn Prof. Dr.-Ing. K. Schumacher, Leiter des Arbeitsgebiets Mikroelektronik, danke ich ebenfalls für seine konstruktive Unterstützung dieser Arbeit und das hervorragende Arbeitsklima. Weiterer Dank gilt Frau C. Menke-Schumacher für ihren positiven Beitrag zur Arbeitsatmosphäre, sowie ihrer Unterstützung in verwaltungstechnischen und organisatorischen Angelegenheiten.

Außerdem danke ich der Deutschen Forschungsgemeinschaft (DFG), die meine Arbeit durch Sachbeihilfen gefördert hat.

Für die gute und kreative Zusammenarbeit bedanke ich mich bei allen jetzigen und ehemaligen Mitarbeiterinnen und Mitarbeitern des Lehrstuhls sowie den Studenten, die in Studien- und Diplomarbeiten an den Untersuchungen mitgewirkten und mich dadurch bei meiner Arbeit maßgeblich unterstützt haben.

Ein besonderer Dank gilt meinen Eltern für die liebevolle Förderung meiner schulischen und universitären Ausbildung, als auch für die Unterstützung, die sie mir während dieser Arbeit haben zuteil werden lassen.

Dortmund, Juli 2002 Peter Glösekötter

Inhaltsverzeichnis

Abbildungsverzeichnis

Tabellenverzeichnis

Verwendete Symbole und Abkürzungen

A_1, B_1	Amplituden der Wellenfunktion
A_E	Emitterfläche
A_{RTD}	RTD-Fläche
A_{RTD}^{min}	Minimale Emitterfläche
$C(V)$	spannungsabhängige RTD-Kapazität
C_{Diff-L}	Differenzverstärker Lastkapazität
C_{EF-L}	Emitterfolger Lastkapazität
C_L	Lastkapazität
C_M	RTBT MOBILE Lastkapazität
C_{RTD}	RTD Kapazität
$C_{S0,C}$	Null-Kapazität der Kollektor-Diode
$C_{S0,E}$	Null-Kapazität der Emitter-Diode
$C_{S0,S}$	Null-Kapazität der Substrat-Diode
C_{dc}	Kollektor Diffusionskapazität
C_{de}	Emitter Diffusionskapazität
C_{sc}	Kollektor Sperrschichtkapazität
C_{se}	Emitter Sperrschichtkapazität
E	Energie
E_F	Fermienergie
E_g	Bandlücke
I_C	Kollektorstrom
I_P	Peakstrom
I_S	Sättigungssperrstrom
$I_{\tau,N}$	Transit-Zeit-Strom im Normalbetrieb
I_{sc}	Leck-Sättigungsstrom der Kollektor-Diode
I_{se}	Leck-Sättigungsstrom der Emitter-Diode
J	Stromdichte
L_{RTD}	RTD-Kantenlänge
N_D	Dotierungskonzentration
$PVCR$	Peak-to-Valley Current Ratio
P	Leistung
P_{DIFdyn}	dynamische Verlustleistung des Differenzverstärkers
$P_{DIFstat}$	statische Verlustleistung des Differenzverstärkers
P_{EFdyn}	dynamische Verlustleistung des Emitterfolgers
P_{EFstat}	statische Verlustleistung des Emitterfolgers
P_{MOBdyn}	dynamische Verlustleistung des RTBT MOBILEs
$P_{MOBstat}$	statische Verlustleistung des RTBT MOBILE
P_{MOBsw}	Verlustleistung des RTBT MOBILE im Schaltvorgang
$P_{ges}\, t_{int}$	Verlustleistungs-Verzögerungszeitprodukt
Q_F	Basisladung
R_b	Basisbahnwiderstand

R_c	Kollektorbahnwiderstand
R_e	Emitterbahnwiderstand
SI	RTD Speed-Index
SI_{DIF}	Differenzverstärker Speed-Index
SI_{DIF}	Differenzverstärker Speed-Index
SI_{EF}	Emitterfolger Speed-Index
SI_{MOB}	MOBILE Speed-Index
T	Periodendauer
T	Temperatur
V	elektrische Spannung
V_f	Diodenflussspannung
V_L, V_H	Logische 0 und 1 Spannungspegel
V_{T0}	Turn-On Spannung des HBTs
V_m	Ausgangsspannung des RTBT MOBILEs
V_P	Peakspannung
V_{ref}	Referenzspannung
V_V	Valley Spannung
V_a, V_b	Eingangsspannung des RTBT NOR MOBILE
V_{AN}	Early-Spannung im Normalbetrieb
V_{clck}	Takt der RTBT MOBILE Schaltung
$V_{Diff,C}$	Diffusionsspannung der Kollektor-Diode
$V_{Diff,E}$	Diffusionsspannung der Emitter-Diode
V_{EE}	Versorgungsspannung
V_{in}, V_{out}	Eingangs- und Ausgangsspannung
V_{SW}	Schaltspannung
$V_{\tau,N}$	Transit-Zeit-Spannung im Normalbetrieb
V_{aN}	Spannung bei max. NDRs
V_{aT}	Schwellenspg. des Resonanzstroms (1. Res.)
V_{bN}	Spannung bei max. NDRs (2. Res.)
V_{bT}	Schwellenspg. des Resonanzstroms (2. Res.)
W_B	Basisweite
X_{CSC}	Aufteilung der Kapazität der Kollektor-Diode
ΔV	Spannungshub
$\Delta V_{clck}, \Delta V_{ee}$	Schwankungen der Takt- und Versorgungsspannung
Γ_a	Weite der Resonanzkurve bei halben Maximalstrom (1. Res.)
Γ_b	Weite der Resonanzkurve bei halben Maximalstrom (2. Res.)
Θ	Schwellwert
β_f	ideale Stromverstärkung im Normalbetrieb
β_r	ideale Stromverstärkung im Inversbetieb
ε_r	materialabhängige Dielektrizitätskonstanten
ε_0	Dielektrizitätskonstante
τ_F	Transitzeit
$\tau_{0,N}$	ideale Transit-Zeit für Normalbetrieb
τ_{int}	intrinsische RTD-Zeitkonstante
a_i, b_i	Eingangsoperandenpaar der Bit-Position i

$argt$	Stromabhängigkeit der Transit-Zeit
c_i	Übertrag der Bit-Position i
f_{clk}	Taktfrequenz
f_S	Koeffizient für den Verlauf der Kapazitäten
g_m	Übertragungsleitwert
j_P	Peakstromdichte
j_V	thermionischer Leckstrom bei Spg. V_V
k_B	Boltzmann-Konstante
$m_{S,C}$	Kapazitätskoeffizient der Kollektor-Diode
$m_{S,E}$	Kapazitätskoeffizient der Emitter-Diode
n_V	Emissionskoeffizient des therm. Leckstroms
n_a	Emissionskoeffizient (1. Res.)
n_b	Emissionskoeffizient (2. Res.)
n_c	Emissionsk. des Basis-Kollektor-Leckstroms
n_e	Emissionskoeffizient des Basis-Emitter-Leckstroms
n_f	Emissionskoeffizient Normalbetrieb
n_r	Emissionskoeffizient Inversbetrieb
q	elektrische Elementarladung
s_i	Summe der Bit-Position i
t	Zeit
t_d	Latenzzeit, Gatterverzögerungszeit
t_{CH}	Aktive Phase (duty cycle) des Taktes
t_{CR}	Anstiegszeit des Taktes
t_{int}	intrinsische Gatter Schaltzeit
w_k	Eingangsgewichtung im Schwellwertgatter
$x_{\tau,N}$	Koeffizient für die Transit-Zeit im Normalbetrieb
C_{RTD}	RTD-Kapazität

ALU	Arithmetic Logic Unit
ASIC	Aplication Specific Integrated Circuit
CAD	Computer Aided Design
CMOS	Complementary Metal-Oxide Semiconductor
DCVSL	differential cascode voltage switch logic
DRAM	Dynamic Random Access Memory
ECL	Emitter Coupled Logic
HBT	Heterostructure Bipolar Transistor
HFET	Heterostructure Field Effect Transistor
HFET-RTD	Resonant Tunneling Diode Heterostructure Field Effect Transistor
LSB	Least Significant Bit
MBE	Molecular Beam Epitaxy
MEL-ARI	Microelectronics Advanced Research Initiative
MOBILE	Monostable Bistable Transition Logic Element
MOS	Metal-Oxide Semiconductor
MOSFET	Metal-Oxide Semiconductor Field Effect Transistor
MOVPE	Metal-Organic Vapor Epitaxy
MSB	Most Significant Bit
NDR	Negative Differential Resistance
PVCR	Peak to Valley Current Ratio
PVR	Peak to Valley Ratio
QCA	Quantum Cellular Automata
RTBT	Resonant Tunneling Heterobipolartransistor
RTD	Resonant Tunneling Diode
RTT	Resonant Tunneling Transistor
SET	Single Electron Tunneling, Single Electron Transistor
SIA	Semiconductor Industry Association
SOI	Silicon on Insulator
SRAM	Static Random Access Memory
ULSI	Ultra Large Scale Integration
VLSI	Very Large Scale Integration

1. Einleitung

Für eine auch zukünftig stetig fortschreitende Skalierung von mikroelektronischen kompakten Systemen gilt es, das Potential verfügbarer Quanteneffekt-Tunnelbauelemente auf schaltungstechnischer Ebene zu erschließen. Zu diesen Bauelementen gehört der Resonant-Tunneling-Bipolar-Transistor (RTBT), der aufgrund seiner besonderen Bauelementcharakteristik einzelnen Schaltungskomponenten eine höhere Funktionalität ermöglicht. Diese höhere Funktionalität gestattet eine beachtliche Reduzierung der Schaltungskomplexität. Ferner werden durch die monolithische Verschmelzung von Logik- und Speichergattern Funktionsblöcke für zukünftige nanoelektronische Schaltungen bzw. Systeme bereitgestellt, um auf diese Weise eine schnelle verlustarme Schaltungstechnik anzustreben. Die Leistungsfähigkeit dieser neuartigen monolithischen Schaltungstechnik wird an verschiedenen Demonstratorschaltungen wie z.B. einem getaktetem pseudo-dynamischen NAND-Gatter eingehend studiert. Die Einordnung in die Landschaft der Schaltungstechnik erfolgt anhand direkter Vergleiche, sowohl mit klassischen, als auch neueren Schaltungskonzepten, so dass Trends abgeleitet werden können.

In den letzten Jahrzehnten wurde der Fortschritt im Bereich der integrierten Schaltungen durch die Skalierung der geometrischen Dimensionen (engl. minimum feature size) von elektronischen Silizium-Bauelementen getragen. Die internationale Technologie Roadmap [1] sagt voraus, dass diese Tendenz für weitere Jahre erhalten bleibt und laterale Dimensionen von 10 nm unterschritten werden. Andererseits ist dann die Grenze zu quantenmechanischen Effekten in greifbarer Nähe und die Schaltungstechnik kann durch die Funktionsprinzipien der Quantenmechanik, wie sie zum Beispiel beim Resonant Tunneling Bipolar Transistor (RTBT) [71, 67], beim Single-Electron Transistor (SET) [40] und beim Quantum Cellular Automata (QCA) [39, 38], zum Einsatz kommen, revolutioniert werden. Allerdings funktionieren die letzteren beiden bisher nicht bei normaler Umgebungstemperatur und es ist fraglich, ob jemals Gatter, die aus mehreren Bauelementen bestehen, gebaut werden können. Einen Einstieg in die Welt der Quanten-Schaltelemente bieten die Tunnelelemente, wobei der Resonanz-Tunneldiode (RTD) in Kombination mit einem Heterostruktur-Feldeffekt-Transistor (HFET) und dem Heterostruktur-Bipolar-Transistor (HBT) zur Zeit eine große Bedeutung beigemessen wird [20, 1]. Die ausreichende Reife der RTD-Technologie für schaltungstechnische Anwendungen und die Erkenntnis, dass sowohl die Resonanz-Tunneldiode als auch die Esaki-Diode [18] auf absehbare Zeit die einzigen Quanten-Schaltelemente sind, die auch bei Raumtemperatur zuverlässig funktionieren, lässt die Erschließung des Potentials dieser neuartig verfügbaren Technologie auf Schaltungsebene als erstrebenswert erscheinen. Erste Arbeiten im Si- Si/Ge-Bereich [15, 52, 70] stellen einen Technologietransfer zur Si- Si/Ge-Technologie in Aussicht, bei dem die im Rahmen dieser Arbeit erzielten Schaltungskonzepte als Grundlage dienen können.

Forschungsergebnisse aus den MEL-ARI Projekten LOCOM (LOgic circuitry of reduced COMplexity) [62] und ANSWERS (Autonomous Nanoelectronic Systems With Extended Replications and Signaling) [20] zeigen erneut, dass ein direktes Ausnutzen des negativ-differentiellen Verhaltens auf Bauelementebene den schaltungstechnischen Aufwand erheblich reduzieren kann. So wurde bereits erfolgreich eine auf Schwellwertlogik basierende, dynamische Schaltungstechnik für eine symmetrische Konfiguration aus zwei in Serie geschalteten Resonanz-Tunneldioden untersucht [57]. Die beiden RTDs werden durch eine oszillierende Versorgungsspannung von einem monostabilen in einen bistabilen Zustand gebracht (MOBILE: Monostable Bistable Transition Logic Element). Diese Zustände können als logische Ausgangszustände eines Gatters interpretiert werden [47]. Ergänzt man die bistabile RTD-Anordnung um mehrere, den einzelnen RTDs elektrisch parallel liegende Transistoren, so kann durch geeignetes Schalten dieser Transistoren der jeweils gewünschte stabile Zustand beim Übergang vom monostabilen in den bistabilen Zustand erreicht werden.

Durch die monolithische Verschmelzung einer HBT-Struktur mit einer Resonanz-Tunneldiode wird der RTBT gewonnenen, der sich aus technologischer Sicht äußerst platzsparend (vertikale Anordnung) implementieren lässt. Es ergibt sich eine vielversprechende Kombination, die integrations- und schaltungstechnische Vorteile bietet. Gegenüber den LOCOM und ANSWERS Projekten wird die Schaltungsstruktur der dynamischen Gatter zu statischen Speichern auf RTD-Basis weiterentwickelt. So kommt es zu einer neuartigen Verschmelzung von Logik und Speicher in einer Funktionseinheit. Darüber hinaus fallen durch die Stromsteuerung der HBTs die Probleme der Enhancement-Type HFETs aus den anderen Projekten bezüglich der notwendigen Potentialversätze in den Schaltungen weg. Des Weiteren wird beim HBT bzw. RTBT die Turn on Spannung durch den Basis- und Emitterbandabstand festgelegt und unterliegt damit nicht den Parameterstreuungen, die sich besonders bei einer fortschreitenden Miniaturisierung negativ bemerkbar machen. Die beim HFET notwendige Anpassung der Transistorweite an den jeweiligen Peakstrom der RTD entfällt für den HBT, da die komplette Emitterfläche zum Stromfluss beiträgt und sich nicht auf einen Oberflächenstrom beschränkt.

Als potentielle Anwendungen dieser neuartigen Funktionseinheiten werden schnelle signalverarbeitende Schaltungen geringer Komplexität angesehen. So sind bei look up-Anwendungen wie cache tag tables, look-aside buffers und hardware data base accelerators durch die Verschmelzung von Logik und Speicher unverkennbare Geschwindigkeitsvorteile zu erzielen. Getaktete pseudo-dynamische Gatter reduzierter Komplexität stellen schnelle MUX, und DEMUX-Schaltungen für die nächste Generation von digitalen Empfängern in Aussicht [21]. Des Weiteren ist auf diese Weise auch eine Leistungssteigerung auf Schaltungsebene für ATM switches und ATM buffers zu erzielen [49].

Dabei bietet der in dieser Arbeit verfolgte schaltungstechnische Ansatz nicht zuletzt klare Vorteile bezüglich der Robustheit. Der Trend in der Datenverarbeitung nach höheren Bandbreiten und schnelleren Zugriffszeiten bei kontinuierlich steigenden Speicherkapazitäten macht den Einsatz von innovativen Schaltungskonzepten bzw. Schaltungsarchitekturen unabdingbar. Vielversprechend erscheint hierbei die Verschmelzung von Speicher- und Logikelementen und die Verwendung eines asynchronen Schaltungskonzepts. Bei synchronen Systemen nimmt die Anzahl der Logikstufen zwischen zwei synchronisierenden Pipeline-Registern aufgrund der steigenden Taktfrequenz und der bestehenden Laufzeiten ab, wodurch der Pipelineoverhead steigt und die Effizienz pro Taktzyklus sinkt [8]. Das RTBT-MOBILE Konzept hingegen zeichnet sich durch die Kombination von Logikfunktion und flankengesteuertem Latch in einer einzigen Stufe aus und ist daher von besonderem Interesse für die asynchrone Pipelineverarbeitung, da kein erhöhter Pipelineoverhead in Form einer erhöhten Latenzzeit und zusätzlichen Registern entsteht. Durch diese neuartige Kombination von asynchronem Schaltungskonzept und einer dynamischen, bipolaren Schaltungstechnik mit Quantenbauelementen ergeben sich dynamische Digitalschaltungen hoher Funktionsdichte. Ferner ermöglicht das MOBILE-Prinzip eine sehr effiziente Implementierung von Schwellwertgattern, die wiederum ein inhärenter Bestandteil der Null-Convention-Logik sind.

Nach der Beschreibung der Funktionsprinzipien und der Herleitung der semi-physikalisch basierten Modelle für die stromgesteuerten Bauelemente folgt in Kapitel 3 eine Übersicht über die bereits bestehenden schaltungstechnischen Ansätze für RTBT basierte Schaltungskomponenten an. Im folgenden Kapitel wird das Funktionsprinzip des RTBT-MOBILE-Gatter vorgestellt. Unter anderem wird durch den Einsatz als lineares Schwellwertgatter eine deutliche Reduzierung der logischen Tiefe und Schaltungskomplexität ermöglicht. In Kapitel 5 werden verschiedene Ausgangsbuffervarianten diskutiert, die zur Regeneration der Logikpegel und zur Invertierung der logischen Funktion notwendig sind. Es werden auf Grundlage von Simulationen, sowie auch durch Messungen an verschiedenen Testschaltungen auf Gatterebene Taktfrequenzen im GHz-Bereich nachgewiesen. Anschließend wird in Kapitel 6 die Pseudo-dynamische Logik vorgestellt, die das Potential des RTBT-MOBILEs exemplarisch an unterschiedlichen schaltungstechnischen Beispielen demonstriert. Eine Erweiterung des RTBT-MOBILE Konzepts zur asynchronen Schaltungstechnik erfolgt in Kapitel 7. In diesem Zusammenhang bildet die klassische asynchrone Pipeline-Architektur den Ausgangspunkt. Durch die kombinierte Latch-Logik Funktion des RTBT-MOBILEs wird der sonst übliche Pipeline-Overhead vermieden. Ein Vergleich mit anderen Schaltungstechniken wird anschließend in Kapitel 8 angestellt. Unter anderem wird der Einfluss von Parameterschwankungen auf das Schaltverhalten erörtert. Abschließend wird die schaltungstechnische Relevanz der RTBT-MOBILE Logik für die Siliziumtechnologie abgeschätzt.

2. Stromgesteuerte Bauelemente

Die Entdeckung des Bipolar Transistors (engl. bipolar junction transistor BJT) im Jahr 1948 von Bardeen, Brittain und Shockley stellte sich als das bahnbrechende Ergebnis langjähriger, umfangreicher Grundlagenforschung heraus. Rückblickend betrachtet gab es hauptsächlich zwei Gründe für ihre Überlegenheit gegenüber den Feldeffekttransistoren (engl. metal-oxide semiconductor MOS transistor). Zum einen war der BJT Prozess aus technologischer Sicht zuverlässiger und zum anderen zeichnete er sich durch eine höhere Geschwindigkeit aus. Erst als die Zuverlässigkeit der MOS Transistoren stieg und sowohl die Verlustleistung als auch die Schaltungsgröße durch eine erhöhte Schaltungskomplexität mehr und mehr an Bedeutung gewannen, erlangte der MOS Transistor in digitalen Logikschaltungen an einen höheren Stellenwert als der BJT. Nichts desto trotz ist der BJT gegenwärtig das bevorzugte Bauelement in schnellen Logikschaltungen wie Wandlern und Super- und Mainframe Computern.

Durch die schaltungstechnische Reife stromgesteuerter Quantenbauelemente wird im Folgenden eine Bereicherung herkömmlicher Schaltungstechniken durch neue Bauelemente angestrebt. Als populärstes und aus technologischer Sicht am weitesten gereifte Quantenbauelement ist die Resonanz-Tunneldiode (RTD) anzuführen, die erst durch die Kombination mit einem dreipoligen Bauelement die wesentliche Voraussetzung für den Einsatz in digitalen Schaltungen erfüllt. So beschreibt Keyes [36] ein ideales Bauelement als einen möglichst rückkopplungslosen verstärkenden Schalter. Aus schaltungstechnischer Sicht treten aber gerade hier Probleme mit dem Feldeffekttransistor auf. Zum Einen sollen die Transistoren möglichst minimale Abmessungen haben, zum Anderen darf durch den voll aufgesteuerten Transistor keine Strombegrenzung erfolgen, da sonst der charakteristische Kennlinienverlauf der RTD verloren gehen würde. Ein weiterer Nachteil ist mit der Bereitstellung von Anreicherungstyp (engl. enhancement type) Feldeffekttransistoren verbunden. Im Gegensatz zum Bipolar Transistor, bei dem die Einsatzspannung (engl. turn-on voltage) durch das Materialsystem fest vorgegeben ist (build in voltage), wird die zuverlässige Herstellung von Anreicherungstyp Feldeffekttransistoren durch die mit der fortlaufenden Miniaturisierung steigenden Parameterstreuung immer schwieriger.

2.1 Heterostruktur-Bipolar-Transistor (HBT)

2.1.1 Aufbau und Funktionsweise

Der Heterostruktur-Bipolar Transistor besteht wie der herkömmliche Bipolartransistor im wesentlichen aus drei den Schichten, Emitter, Basis und Kollektor. Der Emitter und der Kollektor sind vom gleichen Halbleitertyp, so dass sich zwei direkt miteinander verbundene pn-Übergänge ergeben. Entscheidend für die Funktionsweise des HBTs ist die Minoritätsladungsträgerkonzentration in der Basiszone, so dass aufgrund der höheren Beweglichkeit von Elektronen eine npn-Schichtenfolge bevorzugt eingesetzt wird. Abbildung 2.1 zeigt hierzu schematisch den Schichtaufbau eines HBTs.

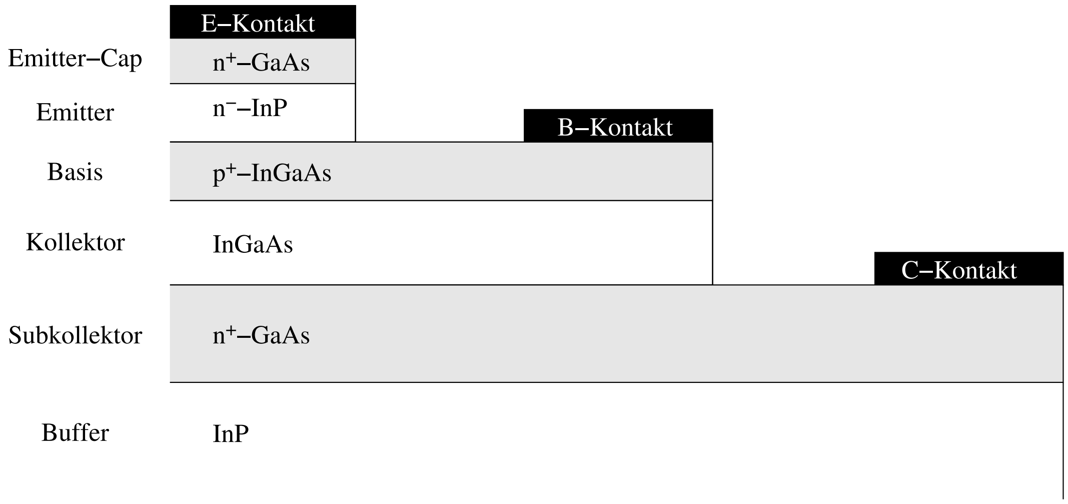


Abbildung 2.1: Schematischer Technologiequerschnitt des InP/InGaAs-HBTs (Probe 1)

Die technische Realisierung erfolgt in einer 3-Mesa-Struktur, so dass sich eine vertikale Bauelementanordnung ergibt. Abbildung 2.2 zeigt in der Raster-Elektronen-Mikroskop-Aufnahme den Emitter- und Basis-Kontakt des an der Gehard-Mercator-Universität in Duisburg gefertigten InP/InGaAs-HBTs.

Der Abstand zwischen den Kontakten bestimmt den Basisbahnwiderstand, der bei typischen Basisschichtdicken von $100\,nm$ und Dotierungen von $p \approx 1 \cdot 10^{19}\,cm^{-3}$ etwa $1\,k\Omega/mm^2$ beträgt. Für Hochfrequenzanwendungen ist daher eine Minimierung des Basis-Emitter-Kontaktabstandes von großer Bedeutung. Zum Aufbringen von Metallkontakten an den Emitter- und Kollektorflächen sind weitere Schichten notwendig, nämlich die sog. Emitter-Cap- und die Subkollektorschicht. Der senkrecht in den Emitterzweig eingekoppelte Strom stellt hohe Anforderungen an die Emitter-Cap-Schicht, die sowohl einen geringen Schichtwiderstand als auch einen niedrigen Kontakt-Widerstand bereitstellen soll.

Der über den Basisstrom gesteuerte Kollektorstrom wird innerhalb der Subkollektorschicht lateral nach außen zum Subkollektor geführt. Die Elektronen, die aus dem Kollektor kommend senkrecht auf die Subkollektorschicht treffen, müssen in dieser Schicht ihre Bewegungsrichtung ändern, um aus dem Bauelement ausgekoppelt zu werden. Der wirksame Schichtwiderstand ist daher so gering wie möglich zu halten. Die Mindestdicke der Subkollektorschicht sollte aus diesem Grund mehrere $100\,nm$ betragen. Weiterhin ist darauf zu achten, dass die Gesamtdicke des Schichtpaketes nicht zu groß wird, um Probleme bei der Bauelementstrukturierung mit tiefliegenden Schichten auszuschließen.

Mittels Elektronenstrahllithographie werden insgesamt acht Schichten geschrieben: vier Kon-

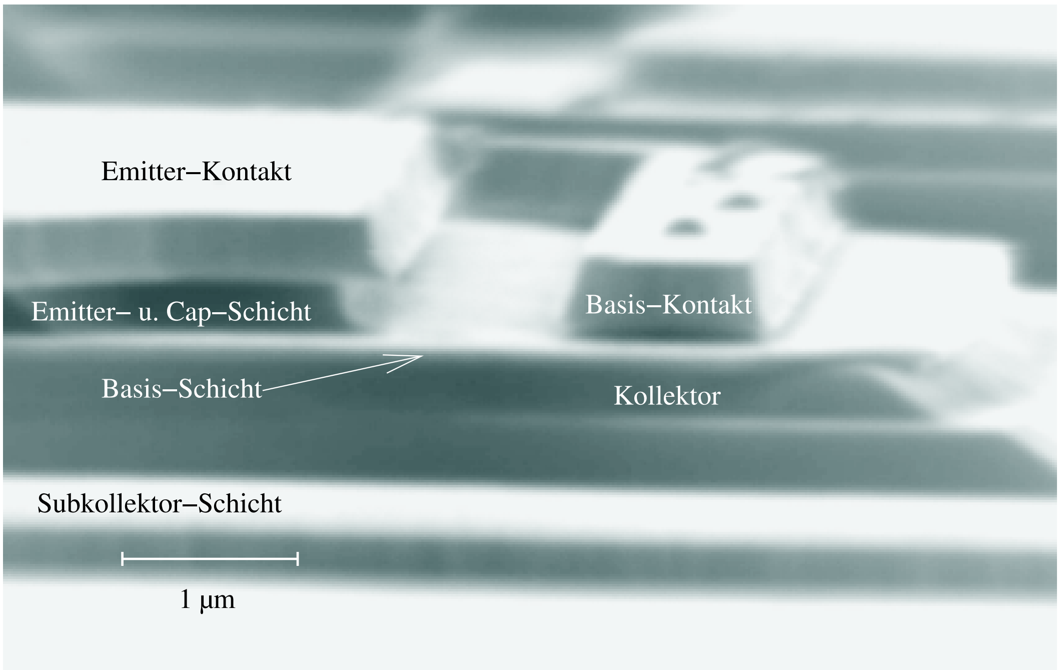


Abbildung 2.2: Rastertunnelmikroskopaufnahme des InP/InGaAs-HBTs

takt-, drei Mesa- und eine Polymidschicht. In Abbildung 2.3 ist das Layout-Beispiel eines Transistors mit einer Emitterfläche von $A_E = 45\mu m^2$ zu sehen. Die Metallkontakte werden außerhalb der Mesen zu Stütz-Pads geführt, wobei die Zuführung durch unterätzte Luftbrücken erfolgt (Abb. 2.4).

Wie in Abbildung 2.5 zu sehen ist, führen die unterschiedlichen Bandabstände von Emitter- E_{ge} und Basismaterial E_{gb} zu Diskontinuitäten im Leitungs- und Valenzbandverlauf. Im thermodynamischen Gleichgewicht ergibt sich für das Ferminiveau längst des Bauelements ein konstanter Verlauf. An dem Halbleiterübergang entsteht aufgrund der verschiedenen Bandabstände die Leitungsbanddiskontinuität ΔE_l und die Valenzbanddiskontinuität ΔE_v. Durch sog. *band gap engineering* lassen sich unter Berücksichtigung der unterschiedlichen Elektronenaffinitäten der beiden Halbleitermaterialien die Diskontinuitäten so einstellen, dass sich ein deutlicher Unterschied der energetischen Barrieren im Leitungs- und Valenzband ergeben. Die Energie ΔE_n, die Elektronen aufbringen müssen, um vom Emitter in die Basis zu gelangen, fällt somit kleiner aus, als die Energie ΔE_p, die von den Löchern in der Basis auf ihrem umgekehrten Weg benötigt wird.

Im Normalbetrieb wird die Basis-Emitter Diode im Gegensatz zur Basis-Kollektor Diode in Durchlassrichtung betrieben ($U_{BE} > 0$ und $U_{BC} < 0$). Abbildung 2.6 zeigt für diesen Fall den qualitativen Verlauf der Minoritätsträgerkonzentration eines HBTs in Abhängigkeit vom Ort x. Die Minoritätsträgerkonzentration an der Emitterseite der Basis ist höher als im thermodynamischen Gleichgewicht, weil der emitterseitige pn-Übergang in Durchlassrichtung betrieben wird.

Bei dem in Sperrrichtung befindlichen pn-Übergang an der Kollektorseite zeigt sich hingegen, dass die Minoritätsträgerkonzentration in der Basis für eine steigende Sperrspannung sich

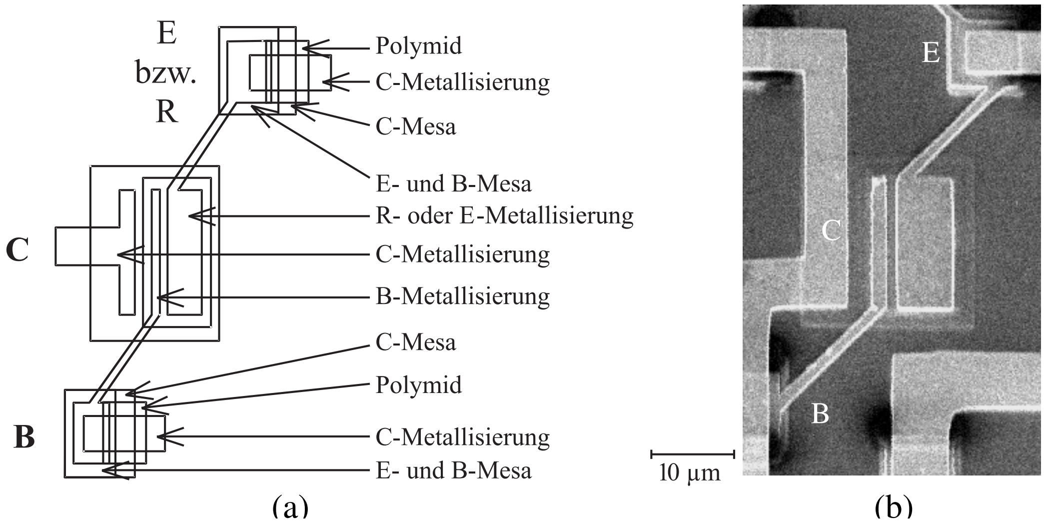


Abbildung 2.3: Layout (a) und Chipfoto (b) des HBTs mit einer Emitterfläche von $A_E = 45\mu m^2$

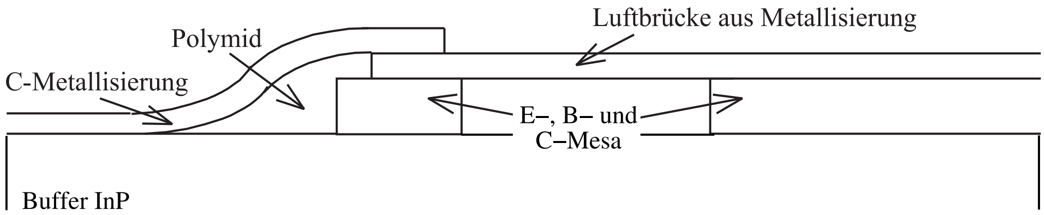


Abbildung 2.4: Querschnitt einer Luftbrücke mit Stütz-Pad

asymptotisch dem Wert Null nähert. Ist nun die Basis deutlich schmaler als die Diffusionslänge der Minoritätsträger, so lässt sich näherungsweise der Verlauf der Minoritätsträgerkonzentration in der Basis linearisieren. Die Steigung dieser Geraden ist direkt proportional zum Diffusionsstrom in der Basis. Daher sind bei einem näherungsweisen linearen Verlauf der Minoritätsträgerkonzentration in der Basis die Ströme an der Emitter- und Kollektorseite nahezu gleich und der Strom am Basiskontakt kann in gewissen Maßen vernachlässigt werden. Die Elektronen, die auf diese Weise den Kollektor erreichen, werden durch das elektrische Feld, des sich in Sperrrichtung befindlichen pn-Übergangs, zum Kollektor gezogen und bilden den Kollektorstrom. Die Anzahl der Elektronen, die vom Emitter in die Basis fließen, lassen sich über die Basis-Emitter-Spannung steuern.

Neben dieser Stromkomponente existiert noch ein Löcherstrom wie er in Abbildung 2.6 angedeutet wird. Dieser Löcherstrom fließt von der Basis zum Emitter und muss zusätzlich aufgewendet werden, da er keinen Beitrag zum Ausgangsstrom am Kollektor liefert. Diese Stromkomponente lässt sich reduzieren durch Verwendung einer Heterostruktur. Wie schon oben beschrieben wurde, kann die Energie ΔE_n, die die Elektronen aufbringen müssen, um vom Emitter

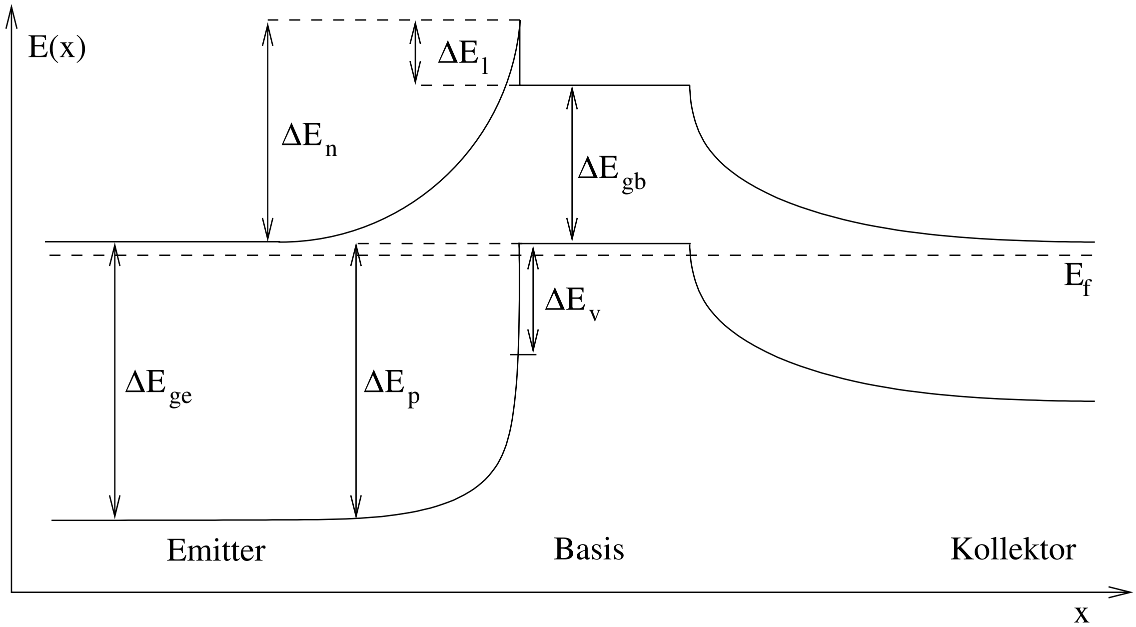


Abbildung 2.5: Qualitativer Verlauf des Leitungs- und Valenzbandes eines HBTs im thermodynamischen Gleichgewicht

in die Basis zu gelangen, reduziert und die Energie ΔE_p, die von den Löchern in der Basis auf ihrem umgekehrten Weg benötigt wird, erhöht werden.

Aktuelle Untersuchungen an InAlAs/InGaAs-HBTs mit Emitter- und Kollektorweiten im Submikrometerbereich zeigen Rekordwerte für die maximale Transitfrequenz von $f_T = 300\,GHz$ bei einer maximalen Oszillationsfrequenz von $f_{max} > 400\,GHz$ [6, 37]. Wie wir im weiteren sehen werden, stellt somit der Heterostruktur-Bipolar Transistor als dreipoliges Bauelement durch seine gute Kombinationsmöglichkeit mit der Resonanz-Tunneldiode im InGaAs/InAlAs-Materialsystem eine sinnvolle Ergänzung dar.

2.1.2 Modellierung

Für die schaltungstechnische Simulation wird in dieser Arbeit ausschließlich der kommerzielle Schaltungssimulator HSPICE eingesetzt. Zur Modellierung des HBTs wird das Gummel-Poon-Modell [30] verwendet, das eine Erweiterung des Ladungskontrollmodells von Ebers-Moll [17] darstellt. Das Gummel-Poon Modell berücksichtigt im Gegensatz zum Ebers-Moll-Modell die Abhängigkeit der Stromverstärkung vom Kollektorstrom. Neben der verteilten Basis-Kollektor-Kapazität [44] werden auch die Transitzeit und die Basisweitenmodulation berücksichtigt. Da diese Modelle anfangs für den Silizium-Bipolartransistor entwickelt wurden, muss dies bei der Anpassung der Modellparameter aufgrund der speziellen Bauelementeigenschaften des InP/InGaAs-HBTs berücksichtigt werden [33, 61].

Im folgenden werden die DC-Parameter des Gummel-Poon-Modells (Abb. 2.7) direkt aus

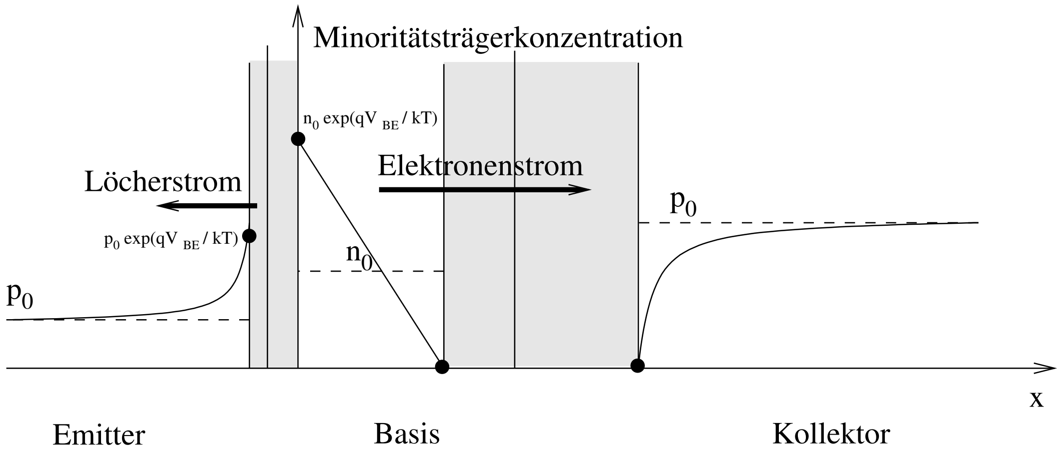


Abbildung 2.6: Minoritätsträgerverteilung des HBTs im Normalbetrieb

den gemessenen Kennlinien des HBTs bestimmt. Zu den DC Parametern gehören unter anderen auch die Serienwiderstände von Basis, Kollektor und Emitter wie sie in Abbildung 2.7 zu sehen sind. Durch diese Serienwiderstände ergeben sich für das Gummel-Poon-Modell die inneren Spannungen $V_{b'e'}$ und $V_{b'c'}$, die den Parameterraum bei der Anpassung des Modells an die Messwerte erschwerend vergrößern. Das Modell basiert auf zwei anti-parallel geschalteten Dioden, die die beiden pn-Übergänge darstellen. Die Stromquelle I_{CT} beschreibt den Stromfluss durch die Basis und setzt sich aus $I_{CT} = I_{CC} - I_{EC}$ zusammen. In diesem Zusammenhang gilt:

$$I_{CC} = I_s \left[e^{\frac{qV_{b'e'}}{n_f kT}} - 1 \right] \tag{2.1}$$

$$I_{EC} = I_s \left[e^{\frac{qV_{b'c'}}{n_R kT}} - 1 \right] \quad . \tag{2.2}$$

Zur Berücksichtigung der ladungsträgerrekombinationsbedingten Leckströme wurde das Ebers-Moll-Modell um zwei weitere Dioden mit dem Strom

$$I_{se} \left[e^{\frac{qV_{b'e'}}{n_e kT}} - 1 \right] \tag{2.3}$$

und

$$I_{sc} \left[e^{\frac{qV_{b'c'}}{n_c kT}} - 1 \right] \tag{2.4}$$

erweitert. Sie geben den Rekombinationsstrom in der Ladungsträgerzone wieder und sind vornehmlich bei geringen Vorspannungen von Bedeutung.

Trägt man die Ströme I_B und I_C halblogarithmisch gegen die Spannung V_{BE} auf, so lassen sich für den Silizium-Bipolartransistor die DC-Modellparameter für den Normalbetrieb graphisch ermitteln. Das entsprechende gilt für I_B, I_E und V_{BC} für den Inversbetrieb. Die Stromverstärkung

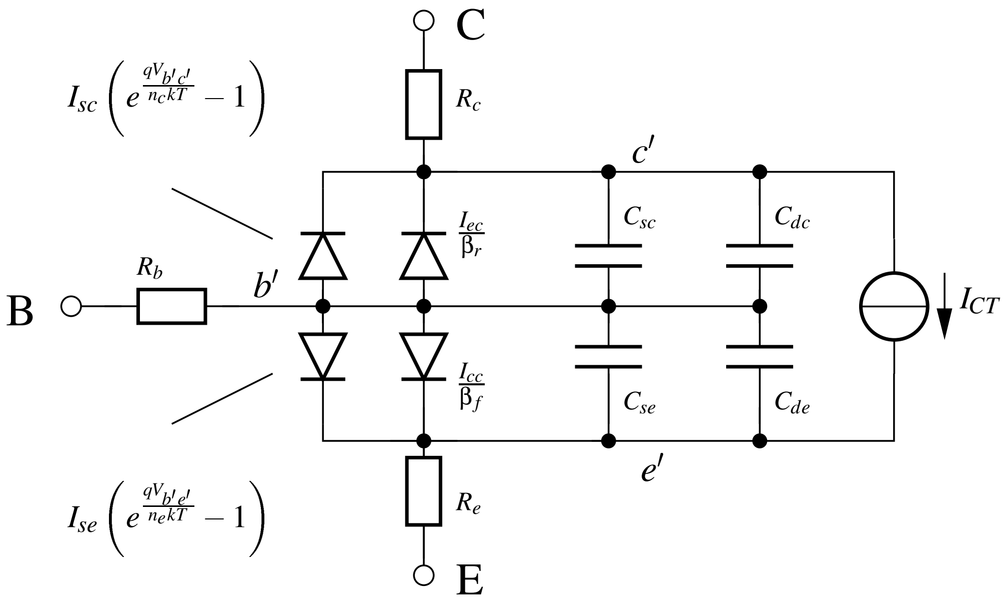


Abbildung 2.7: Das an den HBT angepasste Gummel-Poon-Modell

Tabelle 2.1: An die Messwerte des HBTs (Probe 1) angepasste HSPICE-Parameter (Normalbetrieb)

Para.	HSPICE	Bezeichnung	Standard	angepasst	Einheit
n_f	NF	Emissionskoeffizient Normalbetrieb	1	1,54	-
n_e	NE	Emissionsk. des Basis-Emitter-Leckstroms	1,5	2,58	-
I_s	IS	Sättigungssperrstrom	10^{-16}	$2,1\cdot 10^{-11}$	A
I_{se}	ISE	Leck-Sättigungsstrom der Emitter-Diode	0	$4,9\cdot 10^{-10}$	A
β_f	BF	ideale Stromverstärkung im Normalbetrieb	100	13033,7	-
R_b	RB	Basisbahnwiderstand	0	1	Ω
R_e	RE	Emitterbahnwiderstand	0	2,4	Ω

des HBTs ist im Gegensatz zum Silizium-BJT nicht konstant, so dass eine graphische Bestimmung der Modellparameter für den HBT zum einen aus diesem Grund [33] nicht möglich ist, zum anderen aber auch nicht wegen der parasitären Serienwiderstände. Aus diesem Grund wurden die Modellparameter aus den Tabellen 2.1 und 2.2 durch Minimierung des quadratischen Fehlers für den Gummel-Plot im Normalbetrieb (Abb. 2.8 links) bzw. im Inversbetrieb (Abb. 2.8 rechts) angepasst.

Mit Hilfe dieser Parameter lässt sich der Basis- und Kollektorstrom des HBT im Gummel-Poon-Modell schreiben als:

$$I_C = \frac{I_S}{q_b}\left(e^{\frac{qV_{BE}}{n_fkT}} - e^{\frac{qV_{BC}}{n_rkT}}\right) - \frac{I_S}{\beta_R}e^{\frac{qV_{BC}}{n_rkT}} - I_{SC}e^{\frac{qV_{BC}}{n_ckT}} \quad . \tag{2.5}$$

Tabelle 2.2: An die Messwerte des HBTs (Probe 1) angepasste HSPICE-Parameter (Inversbetrieb)

Para.	HSPICE	Bezeichnung	Standard	angepasst	Einheit
n_r	NR	Emissionskoeffizient Inversbetrieb	1	1,53	-
n_c	NC	Emissionsk. des Basis-Kollektor-Leckstr.	2	1,39	-
I_{sc}	ISC	Leck-Sättigungsstrom der Kollektor-Diode	0	$1,3 \cdot 10^{-10}$	A
β_r	BR	ideale Stromverstärkung im Inversbetrieb	1	8882,03	-
R_c	RC	Kollektorbahnwiderstand	0	2,14	Ω

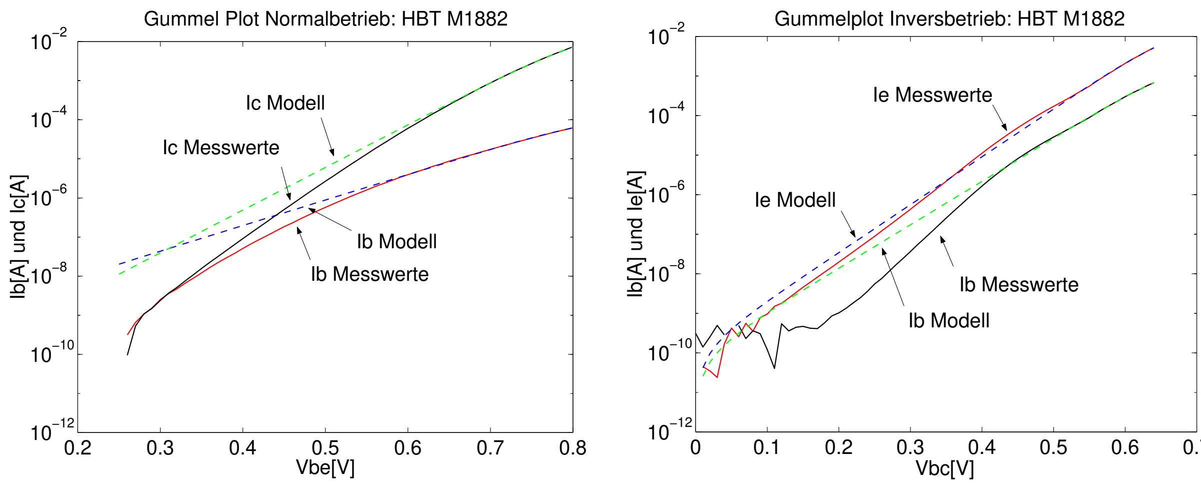


Abbildung 2.8: Halblogarithmische Auftragung der Ströme I_B und I_C im Normalbetrieb (links) als Funktion der Basis-Emitter-Diodenspannung, Halblogarithmische Auftragung der Ströme I_B und I_E im Inversbetrieb (rechts) als Funktion der Basis-Kollektor-Diodenspannung

$$I_B = \frac{I_C}{\beta_F} + I_{SE}(e^{\frac{qV_{BE}}{n_e kT}} - 1) + \frac{I_S}{\beta_R}(e^{\frac{qV_{BC}}{n_r kT}} - 1) + I_{SC}(e^{\frac{qV_{BC}}{n_c kT}} - 1) \quad . \tag{2.6}$$

Der Parameter q_b beschreibt als dimensionslose Größe den Einfluss des Early-Effekts für den Normal- und Inversbetrieb [4]. Für die digitale Schaltungstechnik ist nur der Normalbetrieb interessant, so dass die Early-Spannung für den Normalbetrieb direkt aus dem Ausgangskennlinienfeld bestimmt werden kann (Tabelle 2.3).

Abbildung 2.9 zeigt das gemessene Ausgangskennlinienfeld des HBTs (Probe 1) im Vergleich zu dem angepassten Gummel-Poon-Modell.

Die AC Parameter werden zum einen auf Grundlage der geometrischen Abmessungen des HBTs und zum anderen durch Messung der Transitfrequenz bestimmt. Sie umfassen die Sperr-

Tabelle 2.3: Aus den Messwerten des HBTs (Probe 1) bestimmte Early-Spannung

Para.	HSPICE	Bezeichnung	Standard	angepasst	Einheit
V_{AN}	VAF	Early-Spannung im Normalbetrieb	∞	5,49	V

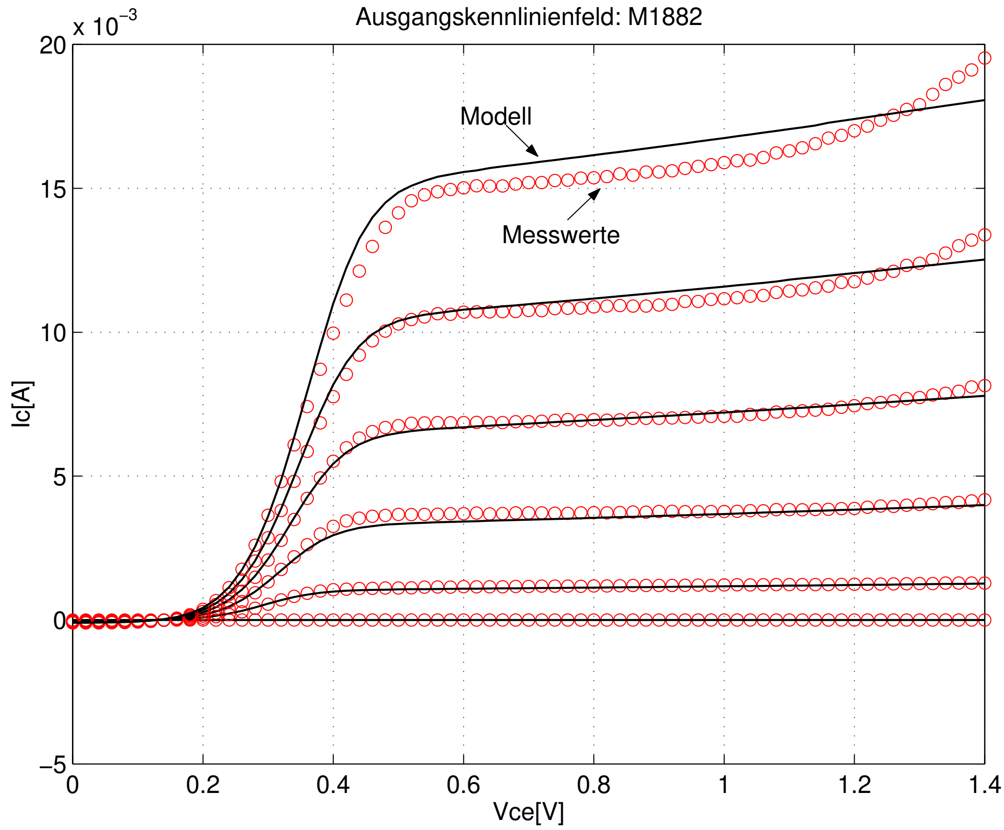


Abbildung 2.9: Messwerte des Ausgangskennlinienfeldes (HBT Probe 1) im Vergleich mit dem angepassten Gummel-Poon-Modell

schichtkapazitäten der Emitter- und Kollektordiode und die in der Basiszone gespeicherte Diffusionsladung, die in Abbildung 2.7 durch die Kapazitäten C_{de} und C_{dc} beschrieben wird. In modernen HBTs ist gewöhnlich die Kollektor-Transit-Zeit von größerer Bedeutung im Gegensatz zu aktuellen Silizium-Bipolartransistoren, bei denen auch die Emitterladung zu berücksichtigen ist.

Aufgrund des halbisolierenden Substrats findet die beim in Silizium gefertigten Bipolartransistor beeinflussende Kollektor-Substratkapazität beim HBT keine Berücksichtigung. Die Sperrschichtkapazitäten C_{sc} und C_{se}, die von den beiden pn-Übergängen herrühren, hängen von der Dotierung der aneinander grenzenden Gebiete, dem Dotierungsprofil, der Fläche der Übergänge und den anliegenden Spannungen ab. Für Spannungen, die klein gegenüber der Diffusionsspannung sind, berechnet sich die Sperrschichtkapazität als:

$$C_s(V) = \frac{C_{s0}}{\sqrt{1 - \frac{V}{V_{diff}}}} \quad . \tag{2.7}$$

Die Null-Kapazität C_{s0} ist proportional zur Fläche des pn-Übergangs und ergibt sich aus der

Herleitung der differentiellen Kapazität, die von der Ladung abhängt, die sich mit der anliegenden Spannung ändert:

$$C_{s0} = Fläche \cdot \sqrt{\frac{q\varepsilon N_D}{2V_{diff}}} \tag{2.8}$$

Nähert sich diese Spannung der Diffusionsspannung, so geht der Wert der Sperrschichtkapazität nach Gleichung 2.7 gegen unendlich. Um bei der Simulation numerische Probleme zu umgehen, führt man wie in [44] beschrieben einen Faktor f_s ein, so dass für $V \leq f_s \cdot V_{diff}$ die Gleichung 2.7 gilt. Für $V > f_s \cdot V_{diff}$ steigt die Sperrschichtkapazität linear mit der Steigung, die die Gleichung 2.7 für $V = f_s \cdot V_{diff}$ aufweist. Formal lässt sich dies wie folgt formulieren:

$$C_s(V) = C_{s0} \cdot \begin{cases} \frac{1}{\sqrt{1-\frac{V}{V_{diff}}}} & V \leq f_s \cdot V_{diff} \\ \\ \frac{1-1{,}5\cdot f_s+\frac{1/2\cdot V}{V_D}}{(1-f_s)^{1{,}5}} & V > f_s \cdot V_{diff} \end{cases} \tag{2.9}$$

Die Diffusionskapazitäten der beiden pn-Übergänge leitet sich aus der Ladungsträgerdichte an den Übergängen ab, die sich mit der Spannung ändert; sie ist definiert als:

$$C'_D = \frac{dQ'}{dV} \quad . \tag{2.10}$$

Durch Integration über die Ladungsträgerdichte gelangt man zu:

$$C_d = \frac{dQ}{dV} = \frac{\tau I_S}{n_f V_T} e^{\frac{V}{n_f V_T}} \quad . \tag{2.11}$$

In Gleichung 2.11 beschreibt τ die Transit-Zeit des jeweiligen pn-Übergangs. Wird der pn-Übergang in Sperrrichtung betrieben (V<0), so ist die parallel liegende Sperrschichtkapazität größer als die Diffusionskapazität. In diesem Fall kann die Transitzeit τ als konstant angenommen werden [44]. Dies gilt z.B. für den Basis-Kollektor-Übergang, der im Normalbetrieb sperrt. Wird hingegen der pn-Übergang in Durchlassrichtung betrieben, so ist die Diffusionskapazität für größere Ströme größer als die Sperrschichtkapazität und zur korrekten Wiedergabe des dynamischen Verhaltens ist eine genauere Modellierung der Transit-Zeit τ erforderlich. Im Normalbetrieb des Transistors ist dies von besonderer Bedeutung für den in Durchlassrichtung befindlichen Basis-Emitter-Übergang. In diesem Fall ist keine ausreichende Beschreibung mit den bereits eingeführten Parametern möglich und man geht zu der empirischen Gleichung 2.12 über. Sie beschreibt in diesem Fall die Diffusionskapazität des Basis-Emitter-Übergangs mit ausreichender Genauigkeit (vergl. [4, 75]):

$$C_{de} = \frac{dQ}{dV_{be}} = \frac{d}{dV_{be}} \left(\tau_{0,N} \cdot (1 + argt) \cdot \frac{i_{be}}{\beta_f \cdot q} \right) \tag{2.12}$$

mit

Tabelle 2.4: AC Parameter des HBTs (Probe 1)

Para.	HSPICE	Bezeichnung	Standard	angepasst	Einheit
$C_{S0,E}$	CJE	Null-Kapazität der Emitter-Diode	0	202,5	fF
$C_{S0,C}$	CJC	Null-Kapazität der Kollektor-Diode	0	6,6	fF
$V_{Diff,E}$	VJE	Diffusionsspannung der Emitter-Diode	0,75	0,98	V
$V_{Diff,C}$	VJC	Diffusionsspannung der Kollektor-Diode	0,75	0,57	V
$m_{S,E}$	MJE	Kapazitätskoeffizient der Emitter-Diode	0,33	0,5	-
$m_{S,C}$	MJC	Kapazitätskoeffizient der Kollektor-Diode	0,33	0,5	-
X_{CSC}	XCSC	Aufteilung der Kapazität der Kollektor-Diode	1	1	-
$C_{S0,S}$	CJS	Null-Kapazität der Substrat-Diode	0	0	F
f_S	FC	Koeffizient für den Verlauf der Kapazitäten	0,5	0,5	-
$\tau_{0,N}$	TF	ideale Transit-Zeit für Normalbetrieb	0	$8,3 \cdot 10^{-12} s$	s
$x_{\tau,N}$	XTF	Koeffizient für die Transit-Zeit im Norm.	0	0	-
$V_{\tau,N}$	VTF	Transit-Zeit-Spannung im Norm.	∞	∞	V
$I_{\tau,N}$	ITF	Transit-Zeit-Strom im Norm.	0	0	A

$$argt = x_{\tau,N} \left(\frac{i_{be}}{i_{be} + I_{\tau,N}} \right)^2 \cdot e^{\frac{V_{bc}}{1,44 \cdot V_{\tau,N}}} \tag{2.13}$$

und

$$i_{be} = I_S \cdot \left(e^{\frac{V}{n_f V_T}} - 1 \right) \quad . \tag{2.14}$$

Zusammenfassend gibt Tabelle 2.4 die Parameter an, die für die Modellierung der AC Parameter des HBTs (Probe 1) wichtig sind. Die Parameter $m_{S,E}$ und $m_{S,C}$ beziehen sich auf das Dotierungsprofil der Übergänge und sind für die abrupten Übergänge des HBTs (Probe 1) gleich $\frac{1}{2}$ zu wählen. Dies wurde schon entsprechend in den Gleichungen 2.7 bzw. 2.9 berücksichtigt. Um die Parameter, die sich auf die Diffusionskapazitäten beziehen, bestimmen zu können, sind spezielle Teststrukturen notwendig, die beispielsweise aus einer Diode mit einer großen pn-Übergangsfläche bestehen. Die zu messenden Kapazitäten sollten im Bereich von $10\,pF$ liegen. Bei Werten unter $1\,pF$ wird der Messaufbau zu empfindlich gegenüber parasitären Kapazitäten. Mit ausreichender Genauigkeit lassen sich diese Parameter auch aus der Transitfrequenz des HBTs (Probe 1) von $120\,GHz$ abschätzen [44].

2.2 Resonanz-Tunneldiode (RTD)

2.2.1 Funktionsweise

Zur Beschreibung der Funktionsweise der Resonanz-Tunneldiode ist der quantenmechanisch zu erklärende Tunnelprozess von grundlegender Bedeutung. Der Tunnelprozess beschreibt in diesem Zusammenhang den Elektronentransport durch eine Barriere, der klassisch betrachtet aufgrund des Potentialunterschiedes nicht möglich ist. Die RTD stellt neben weiteren wie z.B. dem Ein-Elektron-Transistor (SET) und dem Quantum Cellular Automata (QCA) das quantenmechanische Bauelement dar, das bereits zuverlässig bei Raumtemperatur funktioniert und ermöglicht so einen schaltungstechnischen Einstieg in die Welt der Quantenschaltelemente [51, 22].

Als wichtige herstellungstechnische Voraussetzung für diese Anordnung gelten die seit den 70er Jahren enorm verbesserten epitaktischen Prozessierungsmöglichkeiten wie die *molecular beam epitaxy* MBE, die das kontrollierte Schichtwachstum von einzelnen Atomlagen erlauben. In ihren Vorarbeiten sagten Tsu und Esaki [76, 11] den charakteristischen negativen differentiellen Widerstand (NDR) einer Doppelbarrierenstruktur vorher.

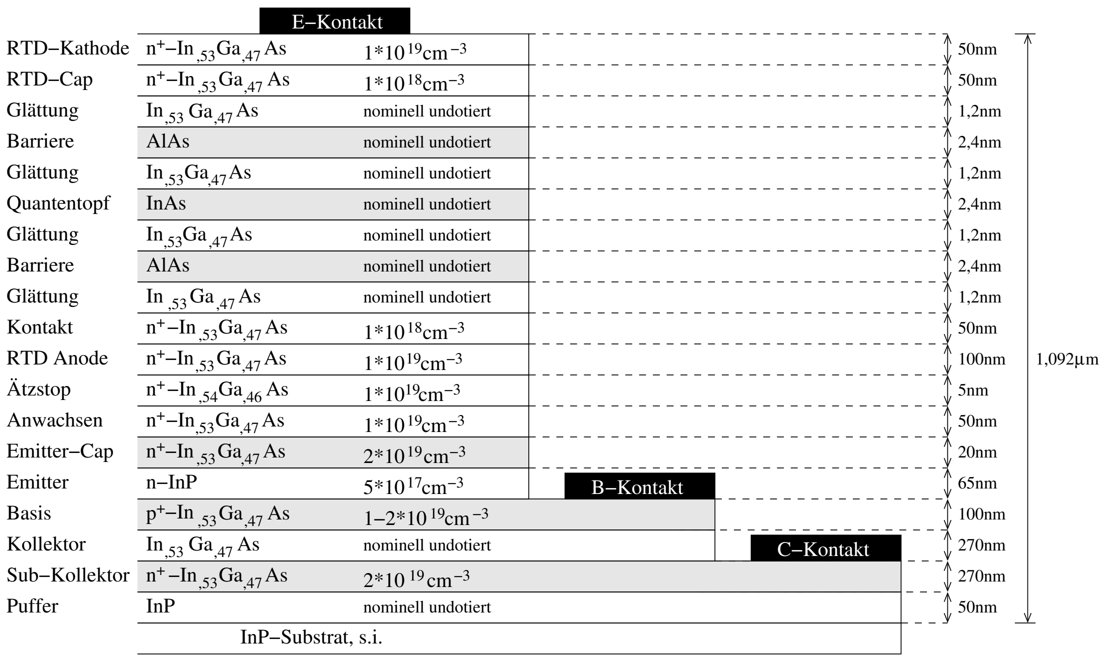


Abbildung 2.10: Technologiequerschnitt des InP/InGaAs-RTBTs (Probe 2)

Abbildung 2.10 zeigt den Technologiequerschnitt einer Resonanz-Tunneldiode, die auf dem Emitterkontakt eines HBT aufgebracht wurde. Die eigentliche RTD besteht aus einer Doppelbarriere, die einen Quantentopf umschließt. Die Barrieren bestehen aus zwei, wenigen Nanometer dicken Elektronenbarrieren aus einem Material (AlAs) mit großem Bandabstand. Sie sind durch eine vergleichbar dünne Mittelschicht (InAs) mit geringem Bandabstand getrennt. Diese Mittelschicht formt den Quantentopf, indem sich diskrete Energieniveaus aufgrund der geringen Abmessungen ausbilden. Gelangen Elektronen in diesen Potentialtopf, können sie nur diese Energieniveaus einnehmen.

Das Layout einer einzelnen RTD ist in Abbildung 2.11 zu sehen. Auch hier werden wie beim HBT in Abbildung 2.3 die Metallkontakte über Polymid-Rampen nach außen zu den Stütz-Pads geführt. Die RTD-Brücken auf Emitter-Ebene werden doppelt ausgeführt um Zuleitungswider-

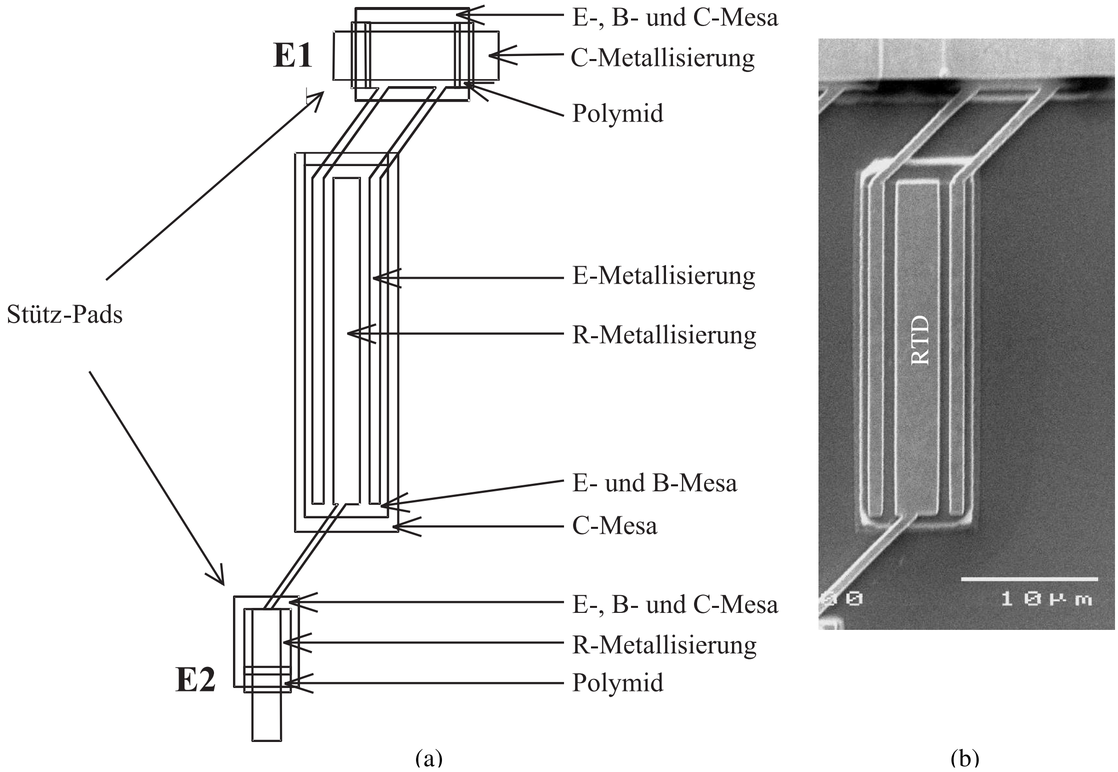


Abbildung 2.11: Layout (a) und Chipfoto (b) einer RTD mit einer Anodenfläche von $A_E = 75\mu m^2$

stände zu reduzieren.

Wie aus Abbildung 2.12 hervorgeht, kommt es zu dem maximalen Stromfluss I_p, wenn die Fermienergie das gleiche Niveau aufweist wie einer der diskreten Energiewerte im Quantentopf. Wird das Ferminiveau durch eine Erhöhung der Spannung weiter verschoben, so ist das Tunneln der Elektronen nicht mehr möglich und man beobachtet einen negativ differenziellen Widerstand in Form einer fallenden Stromkurve. Bedingt durch einen exponentiell wachsenden thermionischen Stromanteil fällt der Strom nicht vollständig ab und überlagert weitere Tunnelströme.

Liegen die Strukturabmessungen der Doppelbarriere unter der freien Weglänge der sich in ihr befindlichen Elektronen, kann man im aktiven Bauelementebereich annehmen, dass ein ballistischer Ladungstransport vorliegt, d.h. es finden keine Streuprozesse statt. Unter diesen Umständen lässt sich der Ladungsträgertransport durch den Wellencharakter der Elektronen durch die stationäre Schrödingergleichung 2.15 als hin- und rücklaufende Wellen beschreiben, die an den Barrieren teilweise reflektiert werden.

$$-\frac{\hbar^2}{2m_e}\frac{\delta^2\Psi(x)}{\delta x^2} + V(x)\Psi(x) = E\Psi(x) \tag{2.15}$$

Abbildung 2.13 zeigt hierzu den schematischen Aufbau der Doppelbarriere und bezeichnet die hinlaufende Welle in den verschiedenen Schichten als “A” im Gegensatz zur rücklaufenden

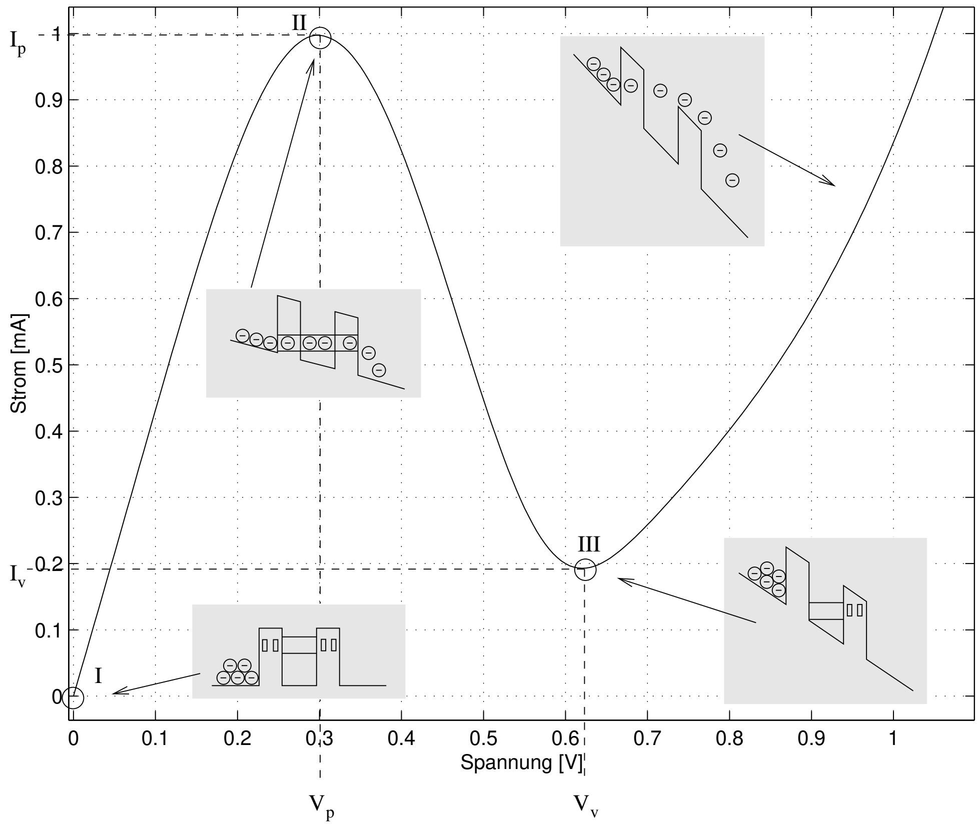


Abbildung 2.12: Typischer Strom-Spannungskennlinienverlauf einer RTD. Weist die Fermienergie das gleiche Niveau auf wie der erste diskrete Energiewert im Quantentopf, kommt es durch konstruktive Interferenz der Elektronen zu einem Strommaximum (II). Werden die Energieniveaus durch eine Erhöhung der Spannung weiter gegeneinander verschoben, so ist kein weiterer Tunnelstromfluss möglich und es gibt nur einen thermionischen Stromanteil (III). Dieser steigt exponentiell an und überlagert das zweite Resonanzmaximum.

Welle "B".

Die Gleichungen 2.16 bis 2.20 beschreiben hierzu die Teillösungen der Schrödingergleichung in den einzelnen Bereichen.

$$\Psi_I(x) = A_1 e^{-jk_1x} + B_1 e^{jk_1x} \tag{2.16}$$
$$\Psi_{II}(x) = A_2 e^{-jk_2x} + B_2 e^{jk_2x} \tag{2.17}$$
$$\Psi_{III}(x) = A_3 e^{-jk_1x} + B_3 e^{jk_1x} \tag{2.18}$$
$$\Psi_{IV}(x) = A_4 e^{-jk_2x} + B_4 e^{jk_2x} \tag{2.19}$$
$$\Psi_V(x) = A_5 e^{-jk_1x} + B_5 e^{jk_1x} \tag{2.20}$$

Die zugehörigen Wellenzahlen ergeben sich aus den Bedingungen 2.21:

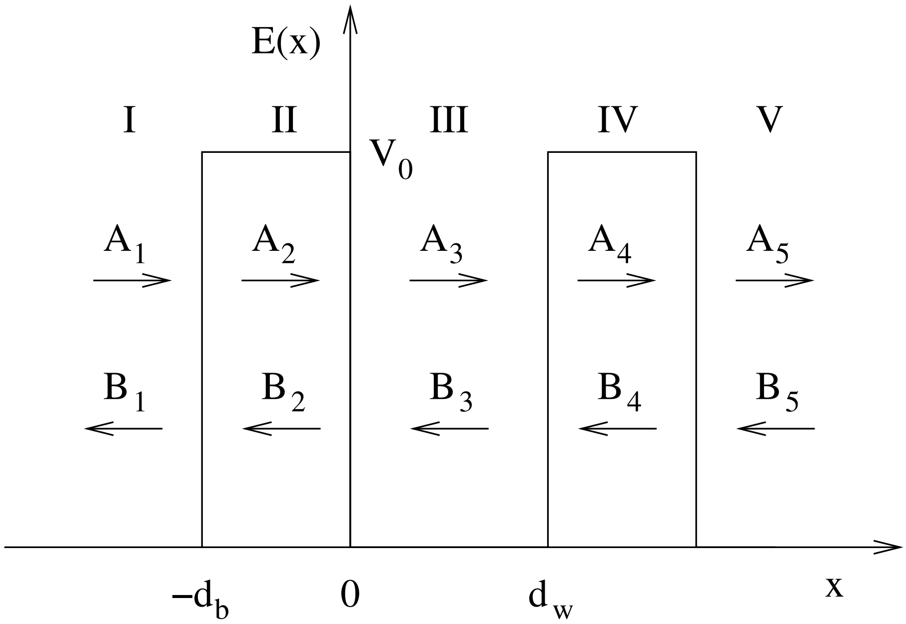


Abbildung 2.13: Berechnung des Transmissionskoeffizienten an einer Doppelbarriere

$$k_1 = \frac{\sqrt{2m^* E}}{\hbar}$$
$$k_2 = \frac{\sqrt{2m^*(V_0 - E)}}{\hbar} \quad . \tag{2.21}$$

Die einzelnen Teillösungen müssen dabei an den Potentialsprüngen den Randbedingungen der Stetigkeit und der stetigen Differenzierbarkeit genügen. Durch diese Randbedingungen ist eine Verknüpfung der Koeffizienten direkt benachbarter Teillösungen aus den Gleichungen 2.16 bis 2.20 gegeben, die sich für die Doppelbarriere durch vier Gleichungssysteme ausdrücken lassen:

$$\begin{pmatrix} A_1 \\ B_1 \end{pmatrix} = M_{b1} \begin{pmatrix} A_2 \\ B_2 \end{pmatrix} \tag{2.22}$$

$$\begin{pmatrix} A_2 \\ B_2 \end{pmatrix} = M_{b2} \begin{pmatrix} A_3 \\ B_3 \end{pmatrix} \tag{2.23}$$

$$\begin{pmatrix} A_3 \\ B_3 \end{pmatrix} = M_{b3} \begin{pmatrix} A_4 \\ B_4 \end{pmatrix} \tag{2.24}$$

$$\begin{pmatrix} A_4 \\ B_4 \end{pmatrix} = M_{b4} \begin{pmatrix} A_5 \\ B_5 \end{pmatrix} \tag{2.25}$$

Mit Hilfe der Matrixmultiplikation lässt sich die Transmissionsmatrix M_T für die gesamte Doppelbarriere bestimmen. Sie fasst die Koeffizienten der einzelnen Gleichungssysteme zusammen und stellt sie einheitlich dar:

$$M_T = (M_{b1}M_{b2})M_{b3}(M_{b4}M_{b5}) \quad . \tag{2.26}$$

Bedingt durch die Vorspannung entsteht auf der linken Seite der RTD ein Elektronenüberschuss und auf der rechten Seite eine Elektronensenke, so dass die von rechts einlaufende Welle $B_5 = 0$ verschwindet. Der Transmissionskoeffizient der Doppelbarriere ergibt sich als Verhältnis der Betragsquadrate der auslaufenden Welle A_5 und der einlaufenden Welle A_1 und ist umgekehrt proportional zum Betragsquadrat des Transmissionsmatrixelementes $M_T^{(11)}$:

$$T = \frac{|A_5|^2}{|A_1|^2} = \frac{1}{|M_T^{(11)}|^2} = \frac{T_1^2}{T_1^2 + 4R_1 cos^2(k_1 b_w - \Theta)} \quad . \tag{2.27}$$

In Gleichung 2.27 beschreiben T_1 und R_1 die Transmissions- und Reflektionskoeffizienten einer einzelnen Barriere [19]. Es gilt für eine symmetrische Doppelbarriere mit $T_1 = T_2$:

$$T_1(E) = \frac{1}{1 + \left(\frac{k_1^2 + k_2^2}{2k_1k_2}\right)^2 sinh^2(k_2 d_b)} \tag{2.28}$$

$$R_1(E) = \frac{\left(\frac{k_1^2 + k_2^2}{2k_1k_2}\right)^2 sinh^2(k_2 d_b)}{1 + \left(\frac{k_1^2 + k_2^2}{2k_1k_2}\right)^2 sinh^2(k_2 d_b)} \quad . \tag{2.29}$$

Im Resonanzfall verschwindet im Nenner von Gleichung 2.27 der Cosinus-Term (für $k_1 b_w - \Theta = (2n+1)\frac{\pi}{2}$, $n = 0, 1, ...$), so dass der Transmissionskoeffizient sein absolutes Maximum von eins annimmt.

2.2.2 Modellierung

Die Simulation realer RTD-Bauelemente unter Berücksichtigung physikalischer Größen, wie z.B. deren Bandstruktur ist Gegenstand aktueller Forschung [41, 31, 7]. Anstatt einer Anpassung empirischer Modellparameter ist ein physikalisch basiertes Modell vorteilhaft, um bei einer geplanten Veränderung der Strom-/Spannungscharakteristik gezielt Einfluss auf Technologieparameter nehmen zu können. Aufbauend auf die Gleichung 2.27 leiteten Chang, Tsu und Esaki [11] den analytischen Ausdruck 2.30 zur Berechnung der resultierenden RTD-Stromdichte her.

$$j_L(V) = q \sum_{\vec{k}} v(E_x)\, T(E_x, V) = 2q \int_0^\infty \frac{d^2\, k}{(2\pi)^2} \int_0^\infty \frac{d\, k_x}{2\pi} f[E(\vec{k}), E_F] \frac{\hbar\, k_x}{m^*} T(k_x, V) \tag{2.30}$$

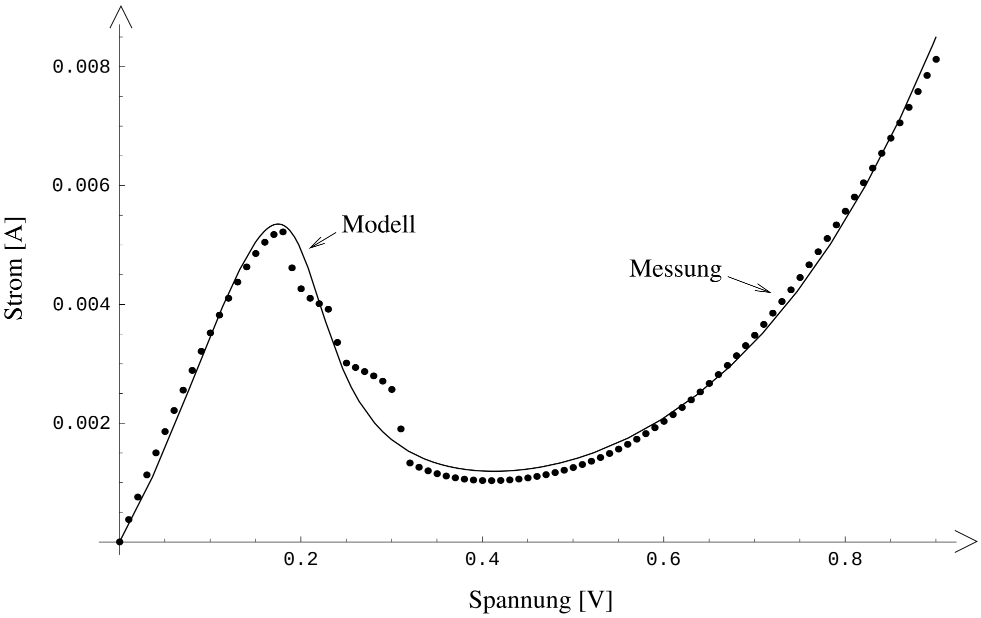


Abbildung 2.14: Gemessene Strom-Spannungskennlinie und HSPICE Simulation nach dem modifizierten Tsu-Esaki Modell

Er beschreibt dabei die Stromkomponente in positive k_x-Richtung und setzt sich aus dem Produkt der Elektronenladungsdichte, der Elektronengeschwindigkeit und dem Transmissionskoeffizienten T zusammen. Das Energiespektrum der Elektronen in der Anode wird durch Summation bzw. Integration im $\vec{k}$-Raum berücksichtigt. Aus diesem Ausdruck geht die Tsu-Esaki-Tunnelformel

$$j(V) = j_L - j_R = \frac{q\, m^*\, k_B T}{2\,\pi^2\,\hbar^3} \int_0^\infty dE_x\, T(E_x, V)\, \ln\left[\frac{1 + e^{(E_F - E_x)/k_B T}}{1 + e^{(E_F - E_x - qV)/k_B T}}\right] \tag{2.31}$$

hervor, mit deren Hilfe sich der Resonanzstrom in Abhängigkeit der an die Doppelbarrierenstruktur angelegten Spannung V darstellen lässt als [9]

$$I(V) = \frac{A j_P}{2f}\left[1 + \frac{2}{\pi} arctan\left(\frac{V_N - V}{\Gamma}\right)\right] \cdot \frac{nk_B T}{V_N - V_T} ln\left[1 + exp\left(\frac{V - V_T}{n_B kT}\right)\right] \tag{2.32}$$

mit

$$f = 1 - \sqrt{2\Gamma/\pi(V_N - V_T)} \quad . \tag{2.33}$$

Die Fläche A_{RTD} beschreibt hierin die aktive Querschnittsfläche der RTD. j_P gibt die Peakstromdichte wieder, V_N die Spannung, an der der größte negativ differentielle Widerstand auftritt,

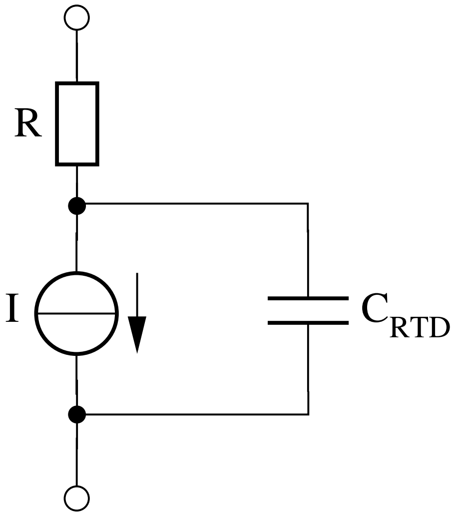


Abbildung 2.15: Ersatzschaltbild der RTD nach dem modifizierten Tsu-Esaki-Modell

V_T die Schwellenspannung des Resonanzstroms, Γ die Weite der Resonanzkurve bei halben Maximalstrom, n den Emissionskoeffizienten und $k_B T$ die Temperaturspannung. Der Faktor f sorgt dafür, dass j_P näherungsweise der Peakstromdichte entspricht.

Unter der Annahme eines symmetrischen Kennlinienverlaufs der RTD wird im Modell die Strom-Spannungscharakteristik beschrieben durch

$$I_{RTD} = I_{RES}(V) + I_{TH} \;=\; I(V) - I(-V) + I_{TH} \quad . \tag{2.34}$$

Dabei beschreibt I_{TH} den exponentiell ansteigenden thermionischen Diodenstrom, der bei höheren Spannungen den Stromfluss dominiert [9].

$$I_{TH} = j_V\, A_{RTD}\, \frac{\sinh\left(\frac{q\,V}{n_V\,k_b T}\right)}{\sinh\left(\frac{q\,V_V}{n_V\,k_b T}\right)} \tag{2.35}$$

Das DC-Modell lässt sich als eine spannungsgesteuerte Stromquelle mit einem ohmschen Serienwiderstand von $1\,\Omega$ darstellen, der den ohmschen Kontaktwiderstand repräsentiert (vgl. Abb. 2.15). Als Technologiegrößen werden bei der Modellanpassung die Querschnittsfläche A_{RTD} der RTD und die Stromdichte j_P vorgegeben. Durch Minimierung des quadratischen Fehlers lassen sich die HSPICE Modellparameter aus Tabelle 2.5 ausreichend genau für die Schaltungssimulation anpassen.

In diesem Modell haben alle Parameter eine physikalische Bedeutung und die Funktionalität der RTD lässt sich detailliert diskutieren. Die Anzahl der Modellparameter ist für ein physikalisch basiertes Modell gering und der Verlauf der mathematischen Funktion ist stetig, wie in Abbildung 2.14 zu sehen ist. Dies ist wichtig, um Konvergenzprobleme des Simulators, wie sie z.B. bei dem semi-empirischen Modell von Yan [82] auftreten, vorzubeugen. Er benutzt ab-

Tabelle 2.5: Die HSPICE-DC-Bauelementparameter wurden durch Minimierung des quadratischen Fehlers an das modifizierte Tsu-Esaki-Modell angepasst

Parameter	**Bezeichnung**	**Wert**	**Einheit**
Technologiegrößen			
A_{RTD}	RTD-Fläche	40	μm^2
j_P	Peakstromdichte	13,75	kA/cm^2
HSPICE-Parameter			
V_{aN}	Spannung bei max. NDRs (1. Res.)	0,2	V
V_{aT}	Schwellenspg. des Resonanzstroms (1. Res.)	0,01	V
Γ_a	Weite der Resonanzkurve bei halbem Maximalstrom (1. Res.)	0,038	V
n_a	Emissionskoeffizient (1. Res.)	1,0	-
j_V	thermionische Leckstromdichte bei Spg. V_V	2,5	kA/cm^2
n_V	Emissionskoeffizient des therm. Leckstroms	9,1	-
V_V	Valley-Spannung	0,41	V
V_{bN}	Spannung bei max. NDRs (2. Res.)	0,2	V
V_{bT}	Schwellenspg. des Resonanzstroms (2. Res.)	0,01	V
n_b	Emissionskoeffizient (2. Res.)	5,0	-
Γ_b	Weite der Resonanzkurve bei halben Maximalstrom (2. Res.)	0,7	V

schnittsweise definierte Gauß- und Exponentialfunktionen, um den Kennlinienverlauf der RTD zu approximieren.

Das dynamische Schaltverhalten der RTD bestimmt sich wie bei der pn-Diode durch deren intrinsische Zeitkonstante τ_{intr} und hängt von der Kapazität C_{RTD} und dem Serienwiderstand R ab (dargestellt in Abbildung 2.15).

Bei einem optimierten Schichtaufbau liegt die Zeitkonstante τ_{intr} im Bereich von $3-4ps$ [69, 68]. Neben dieser parasitären Kapazität existiert noch eine Induktivität, deren Wirkung für das Großsignal-Schaltverhalten zu vernachlässigen ist [43, 56]. Die Kapazität C_{RTD} weist eine Spannungsabhängigkeit auf und lässt sich zerlegen in einen Sperrschichtanteil C_s und einen Quantentopfanteil C_{qt}, wobei der Quantentopfanteil so gering ausfällt, dass er keine Relevanz für das in Digitalschaltungen wichtige Großsignalverhalten besitzt. Als Folge dessen kann die RTD-Kapazität bestimmt werden als eine Sperrschichtkapazität (vgl. hierzu Gleichung 2.7):

$$C_{RTD}(V) \approx C_s(V) = \frac{C_{RTD0}}{\left(1 - \frac{V}{V_{RTDdiff}}\right)^m} \quad . \tag{2.36}$$

C_{RTD0} bezeichnet die Null-Kapazität, die zur effektiven Querschnittsfläche A_{RTD} der RTD proportional ist. Der Exponent m ist der Koeffizient des Geradientenverlaufs und hat im Falle eines HBTs mit abrupten pn-Übergang (vergl. Gleichung 2.7) den Wert $\frac{1}{2}$. $V_{RTDdiff}$ dient als Spannugsskalierungsfaktor. Typische Werte für C_{RTD0}/A_{RTD} liegen im Bereich von $3,6\,fF/\mu m^2$ [63].

3. RTBT-Schaltungstechnik

Im Gegensatz zu einer Kombination der Resonanz-Tunneldiode (RTD) mit einem Feldeffekttransistor gibt es für die monolithische Integration der RTD mit einem bipolaren Transistor gegenwärtig nur wenige schaltungstechnische Ansätze. So wurden schon verschiedene weitergehende Schaltungskonzepte für eine Bauelementkombination bestehend aus RTD und HFET vorgestellt und bewertet [56, 63, 48].

Grundsätzlich ist bei diesen Kombinationen das Ziel, die Funktionalität des einzelnen Elements zu erhöhen, um so bei einer reduzierten Bauelementzahl die gleiche logische Funktion zu ermöglichen. Die RTD ermöglicht in diesem Zusammenhang durch ihren nicht monotonen Kennlinienverlauf eine erweiterte Übertragungsfunktion, die sie aber als zweipoliges Bauelement nur bedingt einsatzfähig macht [51]. Erst durch die Kombination mit einem dreipoligen Bauelement wie dem HFET oder HBT ergibt sich ein rückwirkungsfreies, verstärkendes Bauelement, wie es in [36] gefordert wird. Durch Ausnutzung des negativ-differentiellen Widerstandes in Schaltungsarchitekturen, die über die herkömmliche boolsche Logik hinausgehen, wird nicht nur die Anzahl der Bauelemente, sondern auch die logische Tiefe und damit auch die Verzögerungszeit reduziert [74, 2, 56]. Erste Schritte unternahm Capasso bereits 1989 [10], als er einen Volladdierer basierend auf XOR-Gattern vorstellte, die Gebrauch von den mehreren stabilen Arbeitspunkten der RTD machen. Vorschläge für eine schnell getaktete Logikfamilie, die auf dem Monostable Bistable Transition Logic Element (MOBILE) aufbaut und sich Bauelementen mit negativ-differentiellem Widerstand bedient, wurden bis jetzt nur für HFET-RTD-Kombinationen vorgestellt [13, 80]. So wird in Kapitel 4 ein neuartiges, auf die HBT-RTD-Kombination basierendes MOBILE-Konzept eingeführt.

Bei der Bauelementkombination bestehend aus RTD und HFET übernimmt der Transistor die Aufgabe eines spannungsgesteuerten Schalters dessen Strom durch die RTD begrenzt wird [57, 59]. Als nachteilig hat sich bei diesem Ansatz erwiesen, dass es äußerst schwierig ist, HFETs vom Anreicherungstyp bereitzustellen. Als Ursache hierfür können die geringen Schottkybarrieren angesehen werden. Die näher liegende monolithische dreidimensionale Integration der stromgesteuerten Bauelemente RTD und HBT wurde gegenwärtig nur ansatzweise verfolgt, weil zum einen die Schichtenfolge aus technologischer Sicht [55] komplizierter ist als bei einer HFET-RTD-Kombination und weil zum anderen bei stromgesteuerten Bauelementen wie dem HBT aus schaltungstechnischer Sicht der Sättigungsbetrieb [44] vermieden werden sollte, um die volle Leistungsfähigkeit des Bauelements ausschöpfen zu können. Wird dann noch eine Pegelkompatibilität der Ein- und Ausgangsstufe gefordert, so ergeben sich erschwerte Randbedingungen. Im Folgenden werden die bisherigen schaltungstechnischen Ansätzte für eine RTBT-basierte Logik vorgestellt und bewertet. Hierbei gibt es grundsätzlich drei verschiedene Kombinationsmöglichkeiten: RTD im Kollektorzweig, RTD im Basiszweig und RTD im Emitterzweig.

3.1 RTD im Basiszweig

Bei der Integration der RTD in den Basiszweig [35] bildet die RTD mit dem Serienwiderstand R einen Spannungsteiler und es ergibt sich die Eingangsstufe wie sie in Abbildung 3.1 (a) zu sehen ist. Die Übertragungsfunktion der Eingangsstufe hängt von dem Querstrom durch die RTD und dem Widerstand R ab, wobei der Basisstrom vernachlässigt wird. Die Basis-Emitter Spannung ergibt sich näherungsweise zu $V_{BE} \approx V_{ee} - I_{in}R$ und weist einen Spannungs-Peak und ein Spannungs-Valley auf. Der Transistor bildet mit dem Widerstand R_{load} einen Inverter, so dass beim Überschreiten des Schwellenstroms $I_{th} = \frac{V_{T0}}{R}$ die Ausgangsspannung V_{out} durch die Sättigungsspannung des Transistors bestimmt wird und auf $V_{ee} - V_{CEsat}$ abfällt. Durch den NDR-Bereich der RTD ergibt sich so die Übertragungsfunktion in Abbildung 3.1 (b).

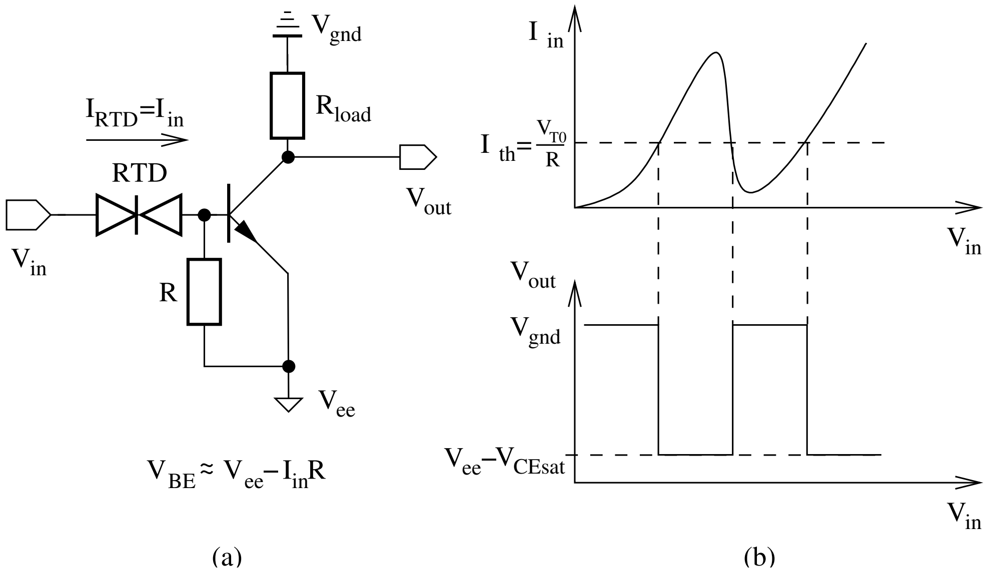


Abbildung 3.1: Eingangsstufe mit RTD im Basiszweig (a) und ihre Übertragungsfunktion (b)

Ausgehend von dieser Eingangstufe wurden sowohl verschiedene 1-Bit Volladdierer vorgeschlagen und realisiert [35], als auch ein kompaktes Design für einen mehrwertigen Multiplexer vorgestellt [12].

Abbildung 3.2 zeigt den statischen 1-Bit Volladdierer nach Huber [35]. Als nachteilig bei diesem Konzept zeigt sich jedoch die Speicherzeit der in Sättigung betriebenen Transistoren, die die maximale Betriebsfrequenz erheblich mindert. Zur Kaskadierung von mehreren Logikstufen sind des Weiteren Synchronisierungs- und Regenerierungsregister erforderlich, die bei einer Erweiterung zu einem dynamischen Gatter auch noch eine Latch-Funktion bereitstellen müssen. Die logische Funktion hängt sehr stark von den Widerständen in den Spannungsteilern ab, bzw.

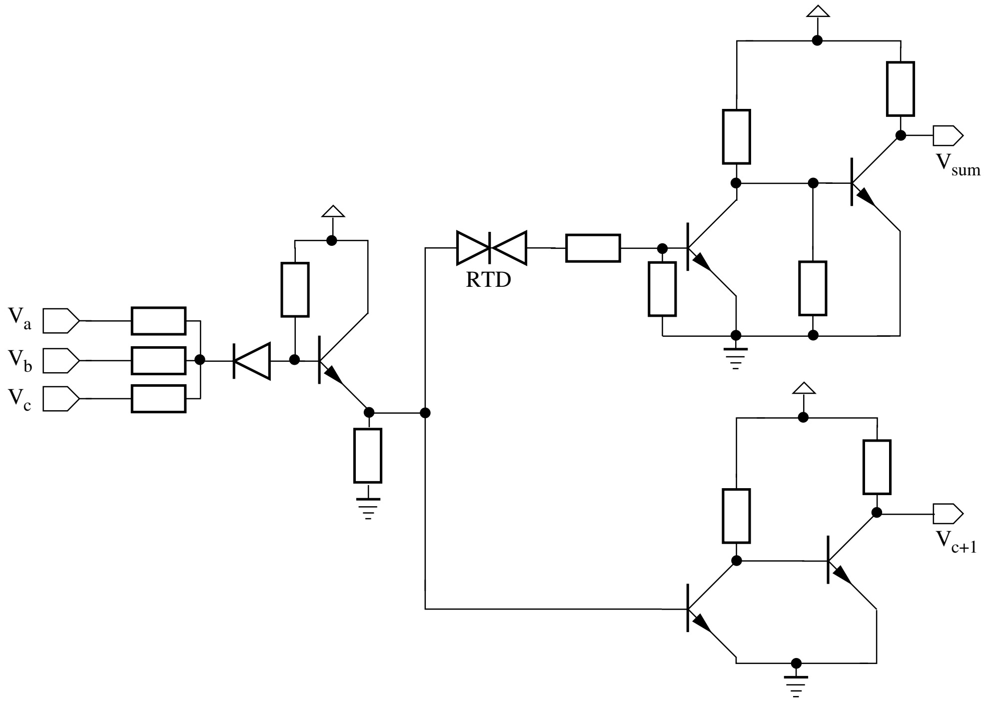


Abbildung 3.2: Schematische Ansicht des statischen 1-Bit Volladdierers nach Huber [35]

sie wird durch diese definiert, was aus technologischer Sicht hohe Anforderungen an die Herstellungstoleranzen der Widerstände stellt. Durch die in den Basiszweigen liegenden Widerständen verzögern sich die Umladevorgänge der parasitären Eingangskapazitäten und erhöhen zusätzlich die Gatterverzögerung. Zusätzlich erschwert der Widerstand zwischen der RTD und dem HBT die monolithische Integration der beiden Bauelemente.

Abbildung 3.3 zeigt beispielhaft ein Latch in Emitter-Funktions-Logik (EFL). Eine solche Latch-Funktion ist für jedes Ausgangsbit des Gatters notwendig und trägt zu einer erheblichen Erhöhung des schaltungstechnischen Aufwands bei. Tabelle 3.1 zeigt die Zustandstabelle des EFL-Latches. Durch die Rückkopplung des Ausgangs auf den Eingang V_x ergibt sich das Schaltverhalten eines RS Flip-Flop.

Tabelle 3.1: Zustandstabelle des EFL-Latches

Eingang V_{in}	**Eingang** V_{clck}	**Ausgang** $V_{out}(t)$
0	0	0
0	1	$V_{out}(t-1)$
1	0	zwischen Zustand
1	1	1

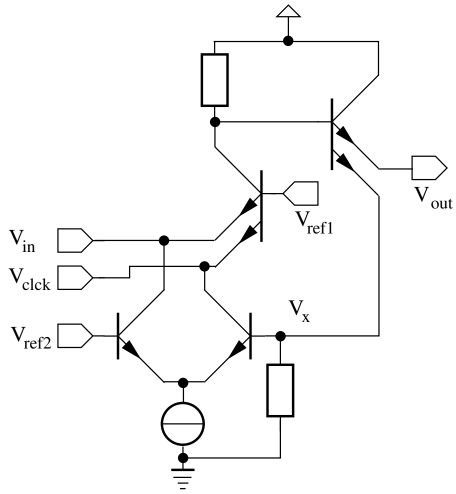


Abbildung 3.3: Schematische Ansicht eines Latches in Emitter-Funktions-Logik (EFL)

3.2 RTD im Kollektorzweig

Abbildung 3.4 zeigt die Grundkonfiguration eines dynamischen Schwellwertgatters, bei dem sich die RTD Struktur im Kollektorzweig des HBTs befindet [81]. Bei dieser Anordnung wird der Transistor in der Emitterschaltung betrieben. Um die Spannungssignale am Eingang des Gatters in Stromsignale zu wandeln, sind die Widerstände R_a, R_b und R_{clck} notwendig. Auf diese Weise ergibt sich aus dem stromgesteuerten Ausgangskennlinienfeld des HBTs und der RTD ein Schwellwertgatter. Überschreitet die Stromsumme der HBTs den Peakstrom I_p (Punkt B in Abb. 3.5) der RTD, so fällt der Ausgang des Gatters vom logischen Wert 1 (Punkt A) auf den logischen Wert 0 (Punkt C).

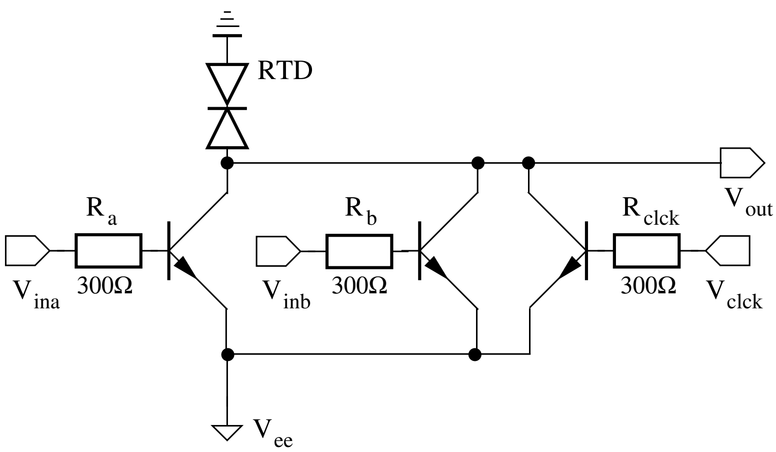


Abbildung 3.4: Schwellwertgatter mit RTD im Kollektorzweig des Transistors

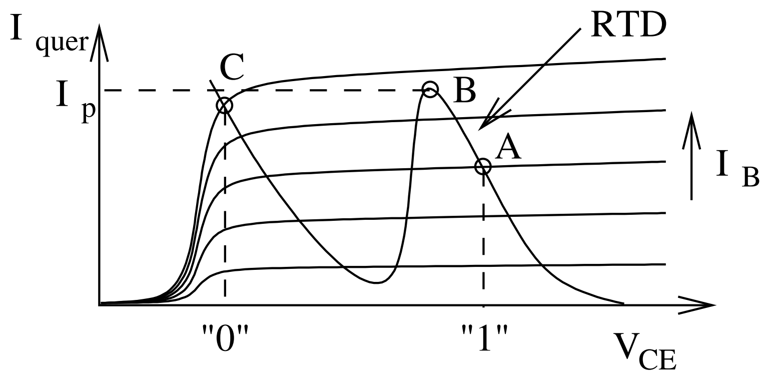


Abbildung 3.5: Kennlinienverlauf des Schwellwertgatters mit RTD im Kollektorzweig

Wie auch bei dem Betrieb der RTD im Basiszweig wird der HBT bei diesem Schwellwertgatter teilweise in Sättigung betrieben. Weitere Geschwindigkeitseinbußen ergeben sich durch den hohen Eingangswiderstand, der für die Strom-/Spannungswandlung notwendig ist. Über diesen werden alle parasitären Kapazitäten umgeladen, so dass sich eine maximale Schaltfrequenz im MHz-Bereich ergibt. Die Eingangswiderstände wurden in vergleichbaren Arbeiten [32, 50] durch Stromspiegel ersetzt, doch wurde hierdurch das Problem der Strom-/Spannungswandlung nur nach außen verlegt und die Vorteile, die sich durch die funktionale Integration ergeben, durch einen aufwendigen Signaleingang verspielt. Zur Kaskadierung von mehreren dynamischen Blöcken sind auch bei diesem Konzept Latch-Register, wie sie im vorherigen Abschnitt vorgestellt wurden (Abb. 3.3), zur Pegelregenerierung und Zwischenspeicherung notwendig.

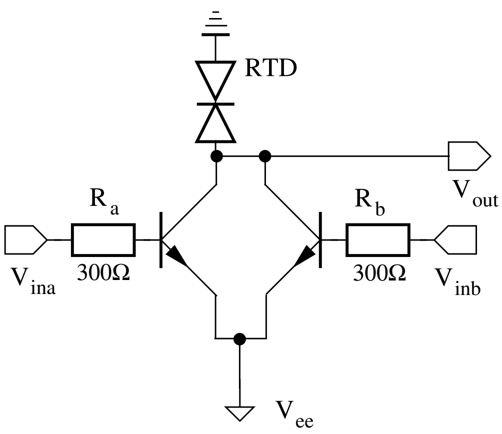


Abbildung 3.6: Schematische Ansicht des RTD/HBT C-Elements nach Lin [42]

Als statische Gatterrealisierung zeigt Abbildung 3.6 die elegante schaltungstechnische Umsetzung des Muller C-Elements. Im Vergleich zur konventionellen MOS Technologie, die für diese Funktion 22 Transistoren benötigt, konnte aufgrund der erweiterten Strom-Spannungscharakteristik der RTD die Bauelementanzahl erheblich reduziert werden. Die hohen Eingangswiderstände von 300 Ω erhöhen jedoch die Gatterverzögerung erheblich und lassen nur eine maximale Betriebsfrequenz im MHz-Bereich zu.

3.3 RTD im Emitterzweig

Befindet sich die RTD im Emitterzweig des Transistors, so ergibt sich nach [67] das XNOR-Gatter, das in Abbildung 3.7 zu sehen ist. Durch zwei als Emitterfolger geschaltete HBTs ergeben sich die Eingänge A und B, die über einen Spannungsteiler mit der Basis des RTBTs verbunden sind. Die beiden Eingangsstufen sorgen für eine rückwirkungsfreie Entkoppelung zwischen den Eingangssignalen und dem Ausgang. Über den Lastwiderstand R_L kann eine Pegelkompatibilität zwischen den Ein- und Ausgangssignalen eingestellt werden. Ist nur ein Eingang mit dem logischen 1-Pegel verbunden, so wird der RTBT in Sättigung betrieben und der Ausgang des Gatters führt den logischen 0-Pegel.

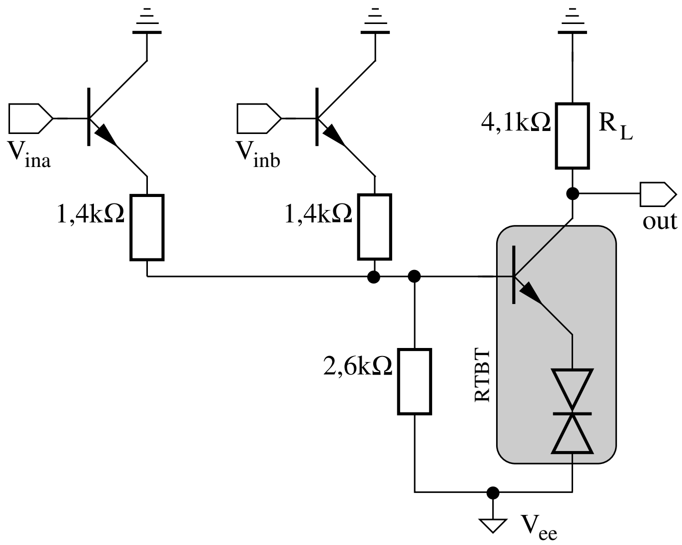


Abbildung 3.7: XNOR-Gatter mit RTD im Emitterzweig des Transistors

In Abbildung 3.8 entspricht dies dem Punkt C. Führen beide Eingänge des Gatters den logischen 1-Pegel, so wirkt die RTD in Punkt B als strombegrenzendes Element und der nächste stabile Arbeitspunkt ergibt sich in A, was dem logischen 1-Pegel des Ausgangs entspricht. Durch Verwendung eines Widerstandnetzwerkes zur Definition der logischen Funktion ergeben sich hierbei die gleichen Nachteile, die schon in Kapitel 3.1 beschrieben wurden. Der Sättigungsbetrieb des RTBTs erweist sich als nachteilig, da durch die Speicherzeit innerhalb der Transistorstruktur nur eine maximale Schaltfrequenz im MHz-Bereich erreicht werden kann (vgl. Kap. 3.2).

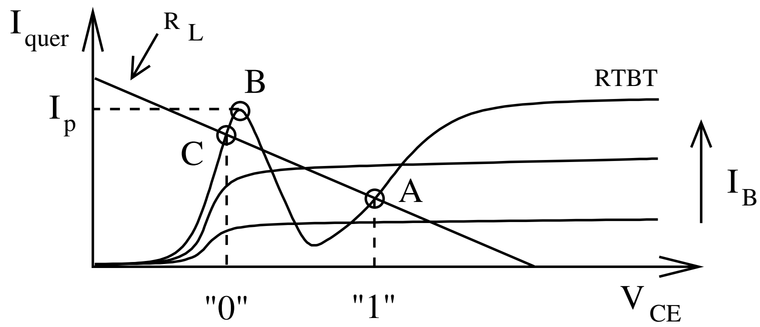


Abbildung 3.8: Kennlinienverlauf des XNOR-Gatters mit RTD im Emitterzweig

Durch den hohen Lastwiderstand R_L ergibt sich für dieses Schaltungskonzept ein geringer Fan-out, so dass der Einsatz eines zusätzlichen Ausgangsbuffers notwendig ist. Für dynamische schaltungstechnische Anwendungen muss dieser Buffer gleichzeitig noch die Latch-Funktion bereitstellen. In Abbildung 3.9 wird ersichtlich, dass bei diesem Konzept der Mehraufwand die Vorteile durch die funktionale Integration der RTD zunichte machen.

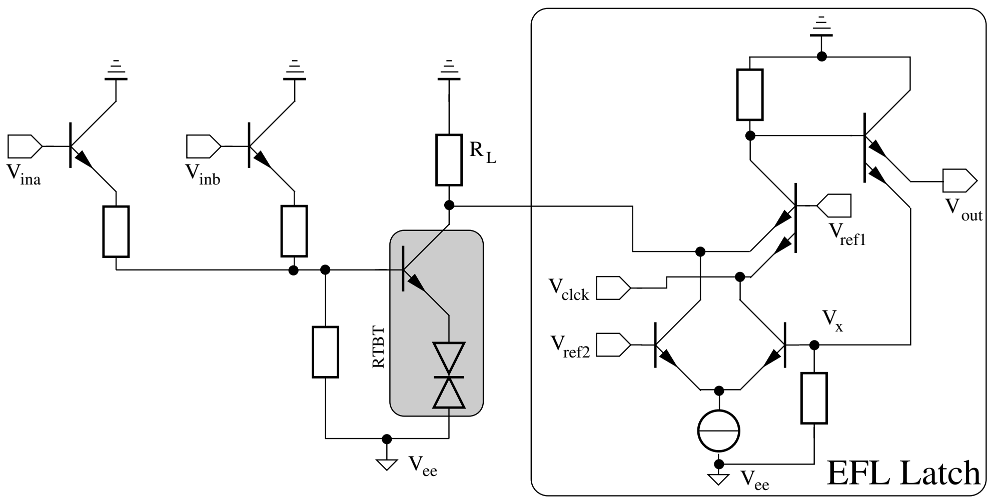
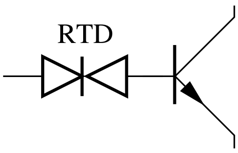
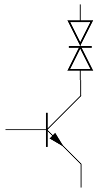
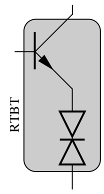


Abbildung 3.9: XNOR-Gatter mit EFL-Latch zur Kaskadierung in dynamischen Schaltungen

3.4 Überblick

Die in den Kapiteln 3.1 bis 3.3 vorgestellten Schaltungskonzepte setzen die erweiterte Strom-Spannungskennlinie der RTD gewinnbringend ein. Durch die Kombination mit dem dreipoligen HBT werden neuartige Bauelemente gebildet, die auf diese Weise die für die Schaltungstechnik wichtige Eigenschaft eines verstärkenden Bauelementes erlangen. Die RTD bietet in diesem Zusammenhang mehrere stabile Arbeitspunkte, so dass die Anzahl der aktiven Bauelemente pro logischer Funktion reduziert werden kann. Die hieraus resultierenden schaltungstechnischen Vorteile gehen aber größtenteils durch eine nicht funktionale Integration wieder verloren. So werden beispielsweise bei allen drei Schaltungskonzepten die Transistoren in Sättigung betrieben und so die maximale Betriebsfrequenz stark eingeschränkt. Tabelle 3.2 fasst die relevanten Eigenschaften der drei vorgestellten Varianten zusammen. So verfügen sie entweder über einen eingeschränkten Fan-in bzw. Fan-out und definieren die jeweilige logische Funktion über ein Widerstandsnetzwerk, das sich in der Regel nicht monolithisch integrieren lässt.

Tabelle 3.2: Vergleich der verschiedenen Schaltungskonzepte

Schaltungsvariante	**RTD im Basiszweig**	**RTD im Kollektorzweig**	**RTD im Emitterzweig**
			
Schaltungskonzept	Kap. 3.1 (statisch)	Kap. 3.2 (statisch, dyn.)	Kap. 3.3 (statisch)
Vorteile	- niedrige Eingangskapazität	- bedingt monolithisch integr. - statische und dynamisch - hoher Fan-out - rückwirkungsfreier Eingang	- niedrige Eingangskapazität - monolithisch integrierbar - rückwirkungsfreier Eingang
Nachteile	- Widerstände - nicht monolithisch integrierbar - Sättigung - niedriger Fan-out - keine Latch-Funktion - begrenzter Fan-in - kein rückwirkungsfreier Eingang	- Widerstände - keine Latch-Funktion - Sättigung	- Widerstände - Sättigung - keine Latch-Funktion - begrenzter Fan-in
schaltungstechnische Reife (Demonstrator)	- statischer Volladdierer - Multiplexer	- Schwellwertgatter	- XNOR-Gatter

4. RTBT-Monostabil-Bistabil-Logikelement

Die Idee eines Monostabil-Bistabilen-Logikelements (MOBILE) für Logikschaltungen geht auf einen Vorschlag von 1960 zurück, bei dem Esaki-Tunneldioden zum Einsatz kamen [29]. Der Mangel an einem überzeugenden Integrationskonzept für mehrstufige Schaltungen war die Hauptursache, warum sich das MOBILE nicht gegenüber der Bipolaren- und MOS-Schaltungstechnik durchsetzen konnte. Die reduzierte Schaltungskomplexität bei gleicher Funktionalität und die kompakte Implementierung der kombinierten Logik- und Latchfunktion waren die ausschlaggebenden Gründe für verschiedene Gruppen [2, 13, 58], die seit Mitte der 90er das MOBILE-Konzept wieder aufgegriffen haben. Durch die Resonanz-Tunneldiode (RTD), die an die Stelle der Esaki-Tunneldiode trat, erhöhten sich die Integrationsmöglichkeiten auf der Technologieseite und ermöglichten so die monolithische Integration von HBT/HFET und RTD. Diese neuartigen MOBILE-Schaltungskonzepte weisen eine ausreichende Verstärkung und Spannungshub auf.

4.1 Funktionsweise

Bei dem RTBT-Monostabil-Bistabilen-Logikelement (MOBILE) handelt es sich um ein pseudodynamisch getaktetes Gatter, dessen Funktion auf dem negativ-differentiellen Widerstand der in Serie verschalteten Resonanz-Tunneldioden (RTD) beruht. Durch die neuartige Kombination mit einem stromgesteuerten Bauelement (HBT) fallen erstmalig die aus anderen Forschungsprojekten [62, 20] bekannten Probleme des *enhancement type* HFETs weg. Parameterstreuungen, die sich besonders bei einer fortschreitenden Miniaturisierung des HFETs negativ auf die Streubreite der Einsatzspannung auswirken, werden beim HBT hingegen durch den fest vorgegebenen Bandabstand zwischen Basis- und Emittermaterial definiert. Die beiden RTDs befinden sich in Abhängigkeit von der Taktspannung in einem monostabilen bzw. bistabilen Zustand. Abbildung 4.1 zeigt ein Latch, um die Funktionsweise zu verdeutlichen. Bei diesem Gatter bildet ein weiterer RTBT, der sich parallel zum Takt-RTBT befindet, den Signaleingang. Das Gatter schaltet vom monostabilen in den bistabilen Zustand, sobald die Taktspannung V_{clck} die Umschaltspannung $V_{SW} = -0,14\,V$ (Abb. 4.2) überschreitet. Im bistabilen Zustand repräsentierten die beiden Gleichgewichtszustände die logischen Zustände 0 und 1. Am Umschaltpunkt befindet sich das Gatter in Abhängigkeit vom Dateneingang V_a entweder auf dem oberen oder unteren Kennlinienast (Abb. 4.2), so dass das RTBT-MOBILE auf der ansteigenden Taktflanke den logischen Wert des Dateneingangs übernimmt und speichert. Wurde die Umschaltspannung von der Taktspannung überschritten, so hat der Dateneingang keinen weiteren Einfluss auf das Gatter und der gespeicherte Wert bleibt solange erhalten, bis V_{clck} die Umschaltspannung wieder unterschreitet (engl. edge triggered).

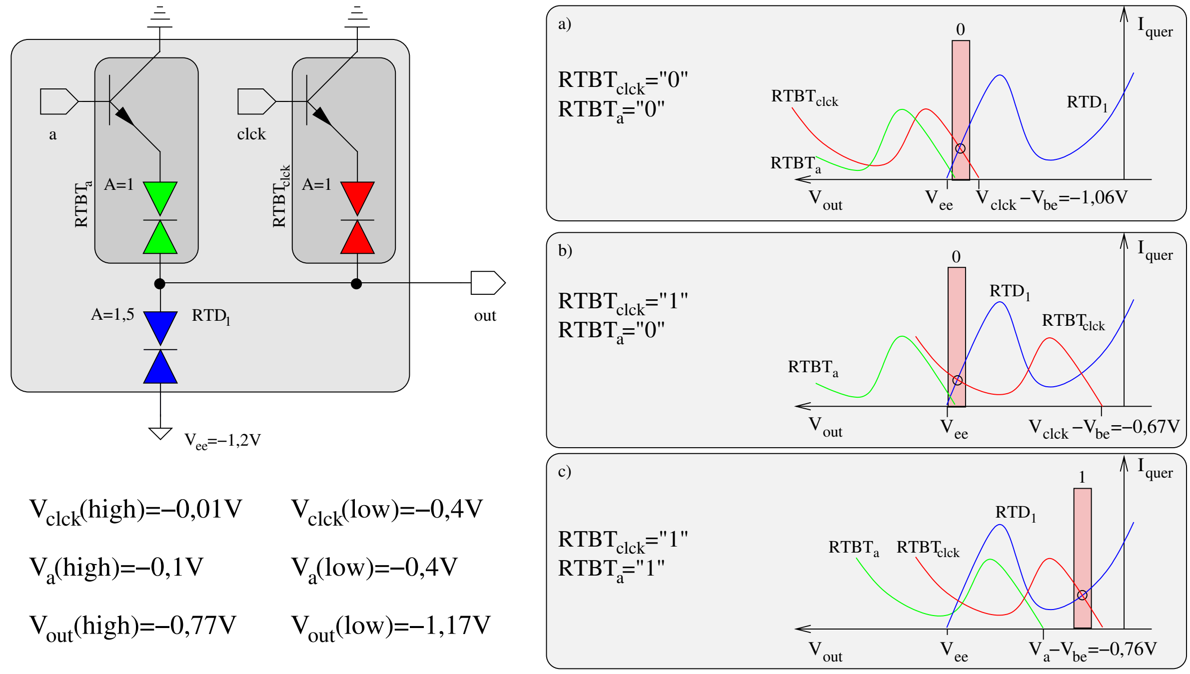


Abbildung 4.1: Funktionsweise der RTBT-Eingangsstufe

Die Umschaltschwelle und der logische Wert, den das RTBT-MOBILE-Gatter annimmt, werden bestimmt durch das Verhältnis der Querschnittsflächen der Resonanz-Tunnelstrukturen, durch die die Peakströme eingestellt werden. Der Peakstrom des Takt-RTBTs wird etwas kleiner gewählt als der Peakstrom der Schalt-RTD, um so eine Vorzugsrichtung für den logischen 0-Zustand vorzugeben. Wie in Abbildung 4.1 zu sehen ist, schaltet das RTBT-MOBILE-Gatter unter diesen Bedingungen nur in den logischen 1-Zustand wenn während einer steigenden Taktflanke am Dateneingang der logische 1-Zustand anliegt. Der metastabile Umschaltpunkt V_{sw}, der den monostabilen Bereich vom bistabilen Bereich trennt, liegt bei einer Taktspannung von $V_{clck} = -0,14\,V$. Die Peakspannung V_p beträgt $0,18\,V$, so dass sich ein Spannungshub von $\Delta V = 0,4\,V$ bei einer Taktspannung $V_{clck} = -0,01\,V$ ergibt. Die Spannung $V_{clck} - V_{be} - V_{ee} = 0,53\,V$, die über dem RTD-Paar während der aktiven Taktphase abfällt, liegt somit zwischen $2V_p = 0,36\,V$ und $3V_p = 0,54\,V$, so dass sich der in Abbildung 4.1 skizzierte Übergang vom monostabilen Zustand über den metastabilen zum bistabilen Zustand ergibt. Während der monostabilen Phase liegt der Arbeitspunkt des Takt-RTBTs und der Schalt-RTD unterhalb des Peakstroms (Abb. 4.1 a). Der Umschaltpunkt zeichnet sich dadurch aus, dass die Schalt-RTD den Übergang zum NDR-Bereich vor oder nach der Kombination, bestehend aus Takt-RTBT und Eingangs-RTBT, erreicht und in den zweiten Kennlinienast schaltet. Der maximale Schaltstrom im Umschaltpunkt ist somit gegeben durch den kleineren Peakstrom der Schalt-RTD und der Last-Anordnung. Dieser Peakstrom stellt auch gleichzeitig die Störschwelle dar, die im bistabilen Zustand überwunden werden muss, um das RTBT-MOBILE von einem logischen Zustand in den anderen zu schalten und macht das RTBT-MOBILE besonders robust.

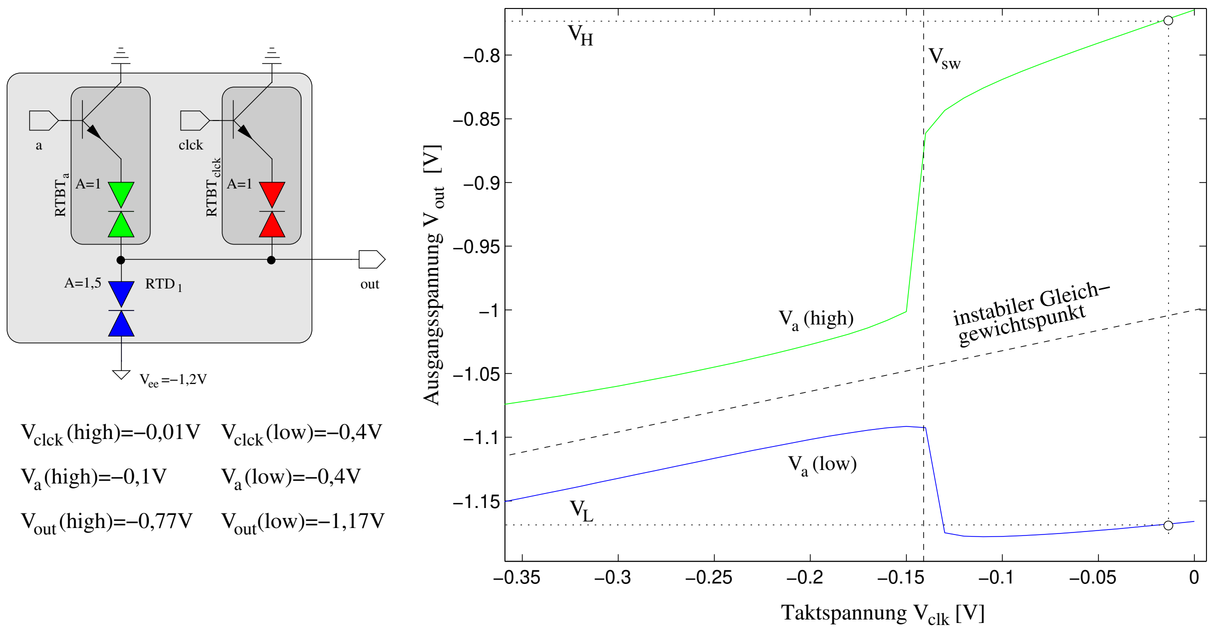


Abbildung 4.2: Funktionsweise des RTBT-MOBILE

Bei dem RTBT-MOBILE handelt es sich um ein stromgesteuertes getaktetes Gatter mit integrierter Speicherfunktion. Es stellt die Grundzelle dar, die sich durch die konsequente schaltungstechnische Kombination zweier stromgesteuerter Bauelemente (RTD und HBT) ergibt. Anstatt einer Informationsspeicherung in Form von elektrischer Ladung auf einer Kapazität werden die selbst-stabilisierenden statischen Zustände eines RTD-Paares ausgenutzt, die sich als robust gegenüber Ladungsverteilungseffekten auf parasitären Kapazitäten (engl. charge charing) und Leckströmen erweisen.

4.2 Lineares RTBT-Schwellwertgatter

Neben der klassischen Methode, bei der arithmetische Operationen durch Boolsche-Gatter realisiert werden, gibt es die Möglichkeit, arithmetische Funktionen durch ein Netzwerk zu beschreiben, das intern eine andere Zahlendarstellung als die digitale benutzt. Eine dieser Möglichkeiten ist die sogenannte Schwellwertlogik, für die bereits in den 50er Jahren von Neumann die theoretischen Grundlagen gelegt wurden. Sie erlangte bis heute nur unbedeutende Relevanz aus Mangel an einer einfachen und zu gleicher Zeit auch effizienten Implementierungsmethode, um konkurenzfähig zu sein zu einem Boolschen Logikgatter.

Ein lineares Schwellwertgatter berechnet die gewichtete Summe χ der digitalen Eingänge $x_k, k = 1, .., N$. Durch Vergleichen von χ mit einem vorgegebenen Schwellwert Θ wird der Ausgang zurückgeführt auf eine Boolsche Größe (Abb. 4.3).

Der Vorteil der Schwellwertlogik gegenüber der Boolschen Logik liegt in der Parallelver-

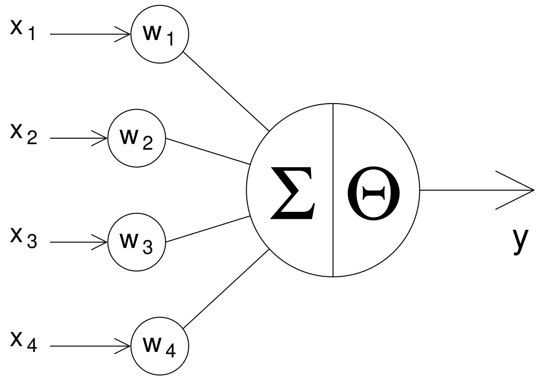


Abbildung 4.3: Lineares Schwellwertgatter

arbeitung, die sich durch die interne mehrwertige Zahlendarstellung ergibt. Durch die digitale Zahlendarstellung der Ein- und Ausgangsdaten ergibt sich ein gegen Parameterschwankungen robustes Gatter. Ein lineares Schwellwertgatter bestimmt eine lineare, separierbare Boolsche Funktion mit N Eingängen der folgenden Form:

$$y(\chi) = \text{sign}\ (\chi - \Theta) = \begin{cases} 1 & \text{if} \quad \chi \geq \Theta \\ 0 & \text{if} \quad \chi < \Theta \end{cases} \tag{4.1}$$

$$\chi = \sum_{k=1}^{N} w_k \cdot x_k, \qquad x_k = \{0, 1\}$$

$$w_k = \{0, \pm 1, \ldots, \pm w_{max}\}$$

$$\Theta = \{0, \pm 1, \ldots, \pm \Theta_{max}\} \quad .$$

Kombiniert man das RTBT-MOBILE-Prinzip aus Kapitel 4.1 mit der Schwellwertlogik, so lassen sich die Gewichte der digitalen Eingänge durch den Peakstrom der jeweiligen Resonanz-Tunnelstruktur darstellen. Der einzelne Transistor fungiert dabei nur noch als Schalter, da durch die RTD-Struktur eine Strombegrenzung vorgegeben ist, was zu einer inhärenten Diskretisierung der Eingangssignale führt. Die Entscheiderstufe ergibt sich direkt aus dem Funktionsprinzip des RTBT-MOBILEs und sorgt für eine Evaluation des Gatters mit jeder steigenden Taktflanke. Abbildung 4.4 a zeigt ein lineares RTBT-Schwellwertgatter mit zwei Eingangs-RTBTs im Lastzweig, die parallel zum Takt-RTBT liegen. In Abhängigkeit von der Gewichtswahl ergibt sich die nichtinvertierende AND- bzw. OR-Logik. In Abbildung 4.4 a ist der normierte Peakstrom für jede Resonanz-Tunnelstruktur angegeben. Er lässt sich über die Querschnittsfäche der RTD einstellen und stellt somit einen über die Lithographie leicht zu kontrollierenden Parameter dar [24]. Die Summe aus der Peakstromdichte des Takt-RTBTs (A=2) und eines Eingangs-RTBTs (A=1) beträgt 3 und übertrifft bereits die Peakstromdichte der Schalt-RTD_1 (A=2,5), so dass sich die logische OR Funktion ergibt. Gleichung 4.2 gibt die Funktion des Schwellwertgatters wieder:

$$y = \text{sign} \ (a + b - \Theta) \quad . \tag{4.2}$$

Der Schwellwert Θ wird über die Peakstromdichte der RTD_1 eingestellt. Für die schaltungstechnische Simulation wurden die Bauelementmodelle, die in Kapitel 2.1.2 und 2.2.2 vorgestellt wurden, verwendet.

4.3 Schaltungskonzept für RTBT-MOBILE-Gatter

Der schaltungstechnische Vorteil dieser Eingangsstufe gegenüber dem ursprünglichen MOBILE-Konzept von Chen [47] und dessen Erweiterung von Pacha [56] beruht auf der ausschließlichen Verwendung von monolithisch integrierten RTBTs, über die nicht nur die Signaleinkopplung, sondern auch die Taktung des Gatters erfolgt. Die relativen Flächenverhältnisse der Resonanz-Tunnelstrukturen dienen als einzige Entwurfsparameter, um die logische Funktion eines Gatters festzulegen. Abbildung 4.4 b zeigt ein Mikrofoto der fertigten Testschaltung. Die beiden Eingänge a und b dienen als Signaleingänge, während der dritte Eingang clck für den Takt des Gatters zuständig ist. Die nominelle Fläche A=1 entspricht $30\mu m^2$, so dass sich eine Flächendifferenz zwischen Schalt- und Last-RTD von $15\mu m^2$ ergibt. Infolgedessen muss mindestens ein Eingang eingeschaltet sein, um bei einem Taktsignal in den 1-Zustand zu schalten.

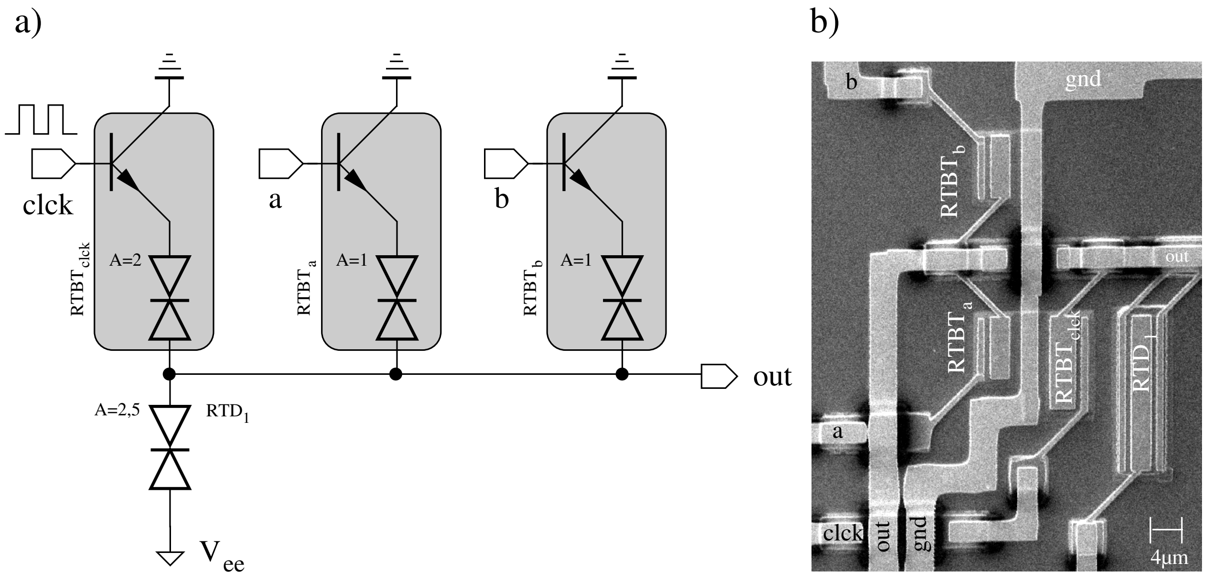


Abbildung 4.4: Eingangsstufe eines linearen RTBT-Schwellwertgatters (a) und Mikrofoto der gefertigten Testschaltung (b)

Abbildung 4.5 zeigt hierzu simulierte und experimentell gewonnene Ergebnisse. Die Spannungspegel aus den Überlegungen zu Abbildung 4.1 stimmen sehr gut überein mit den Simulationsergebnissen aus Abbildung 4.5 a. Die Messwerte des Ausgangs *out* in Abbildung 4.5 b

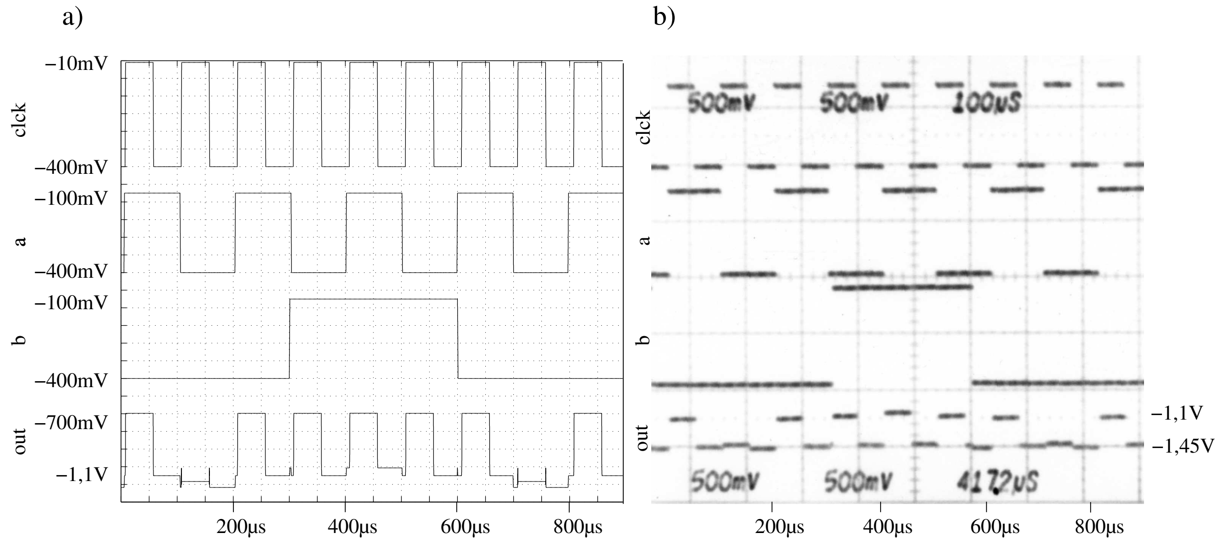


Abbildung 4.5: Simulationsergebnis (a) im Vergleich zum Messergebnis (b) der Eingangsstufe des linearen RTBT-Schwellwertgatters ($f_{clck} = 10\,kHz$)

weichen konstant um etwa $0,4\,V$ ab, weil die RTDs der Testschaltung aufgrund eines fertigungstechnischen Problems einen Serienwiderstand von etwa $15\,\Omega$ aufweisen [54], so dass die Peak-Spannung der RTDs im Bereich von $0,3\,V$ bis $5\,V$ liegt. Auf Grund dieser Tatsache wurde die Versorgungsspannung von $-1,2\,V$ auf $-1,45\,V$ verringert, um das RTBT-MOBILE im bistabilen Bereich betreiben zu können. Hierbei weist $V_{out}(low)$ einen Wert von $-1,45\,V$ und $V_{out}(high)$ einen Wert von $-1,1\,V$ auf. Die maximale Taktfrequenz ist bei dieser Messmethode ohne Ausgangspuffer begrenzt auf den kHz-Bereich, so dass die logische Funktionalität wohl noch im MHz-Bereich gegeben ist, aber der Signalhub mit steigender Frequenz immer geringer wird.

Um die Leistungsfähigkeit der RTBT-MOBILE-Eingangstufe abzuschätzen, wird im Weiteren das Skalierungsverhalten des Gatters betrachtet. Die minimale RTD-Fläche, die sich aus dem Quadrat der minimalen RTD-Kantenlänge L_{RTD} ergibt, kann dabei im Bereich von $400\,nm^2$ angenommen werden [53]. Die Peakspannung, die direkten Einfluss auf den Spannungshub $\Delta V \approx 2V_P$ und die Versorgungsspannung hat (vgl. Tabelle 4.3), kann von $0,18\,V$ nur noch maximal um etwa den Faktor $\eta = 2$ minimiert werden, um eine genügende Störsicherheit zu gewährleisten. Der Spannungshub liegt damit im Bereich vom On-Chip-Spannungshub von ECL-Gattern.

Der Skalierungsfaktor für die lateralen Strukturgrößen κ hat keinen Einfluss auf den Speed-Index der RTD, so dass eine Geschwindigkeitssteigerung allein durch die Erhöhung der Peakstromdichte erreicht werden kann. Die lateralen und vertikalen Strukturgrößen des HBTs können hierbei mitskaliert werden und man braucht nicht wie bei der HFET-RTD-Kombination die Transistorweite an den jeweiligen RTD-Peakstrom anzupassen [3]. Bei einer typischen Emitterweite von $2\mu m$ und einer Stromdichte vom $50\,\frac{kA}{cm^2}$ erreicht die Steilheit $g_m = \frac{\delta I_c}{\delta V_{BE}} = \frac{qI_C}{nkT}$ Werte von $39\,\frac{S}{mm}$ und liegt damit weit über den mit HFETs erreichten Werten von $1500\,\frac{mS}{mm}$ [45]. Die sich hieraus ergebende hohe Steilheit des RTBT lässt ihn schon mit geringen Eingangsspannungen (vgl. ECL Schaltungstechnik) betreiben und sorgt für ein schnelles Umladen der zu treibenden Kapazitäten. Der sich hieraus deutlich ergebende Flächenvorteil des Bipolartransistors gilt auch insbesondere bei einer Skalierung in den Submikrometerbereich [72].

Tabelle 4.1: Skalierung von HBT, RTD und RTBT

Bezeichnung	**Parameter**	**Einheit**	**Skalierung**
HBT-Größen			
Emitterfläche	A_E	μm^2	$1/\kappa^2$, $\kappa > 1$
Basisweite	W_B	μm	$1/\kappa$, $\kappa > 1$
Versorgungsspannung	V_{EE}	V	1
Stromdichte	$J = I_E/A_E$	kA/cm^2	κ^2
Basisladung	$Q_F = qA_E N_B W_B$	C	$1/\kappa^2$
Transitzeit	$\tau_F = \frac{W_B^2}{2D_b}$	ns	$1/\kappa^2$
Strom	$I_C = Q_F/\tau_F$	μA	1
Verlustleistung	P	μW	1
RTD-Größen			
RTD-Kantenlänge	L_{RTD}	μm	$1/\kappa$, $\kappa > 1$
Peakstromdichte	j_P	kA/cm^2	α , $\alpha > 1$
Peakspannung	V_P	V	$1/\eta$
RTD-Kapazität	$C_{RTD} = C_{RTD0}\, A_{RTD}^{min}$	fF	$1/\kappa^2$
RTD-Speed-Index	$SI = I_P/C_{RTD}$	V/ns	α
RTBT-Größen			
Minimale Emitterfläche	$A_{RTD}^{min} = L_{RTD}^2$	μm^2	$1/\kappa^2$
Peakstrom	$I_P = j_P\, A_{RTD}$	μA	α/κ^2
Spannungshub	$\Delta V \approx 2\, V_P$	V	$1/\eta$
Versorgungsspannung	$V_{EE} \approx -2.5 \cdot V_P - V_{be}$	V	$1/\eta^{0.8}$
Sperrschichtkapazitäten	$C_{sc} = C_{sc0}/\kappa$	fF	$1/\kappa$
	$C_{se} = C_{se0}/\kappa$	fF	$1/\kappa$
Diffusionskapazitäten	$C_{dc} = C_{dc0}/\kappa$	fF	$1/\kappa$
	$C_{de} = C_{de0}/\kappa$	fF	$1/\kappa$

4.4 Statische Speicherzelle

Speicher kurzer Zugriffszeit werden heute vornehmlich als statische Speicher realisiert, so dass im Gegensatz zu den dynamischen Speichern der zyklisch notwendige *Refresh* entfällt und ein nicht zerstörendes Lesen möglich ist. Leider liegt die Packungsdichte der statischen Speicherzelle aufgrund des komplexeren Aufbaus unter der einer dynamischen Speicherzelle. Die Anzahl

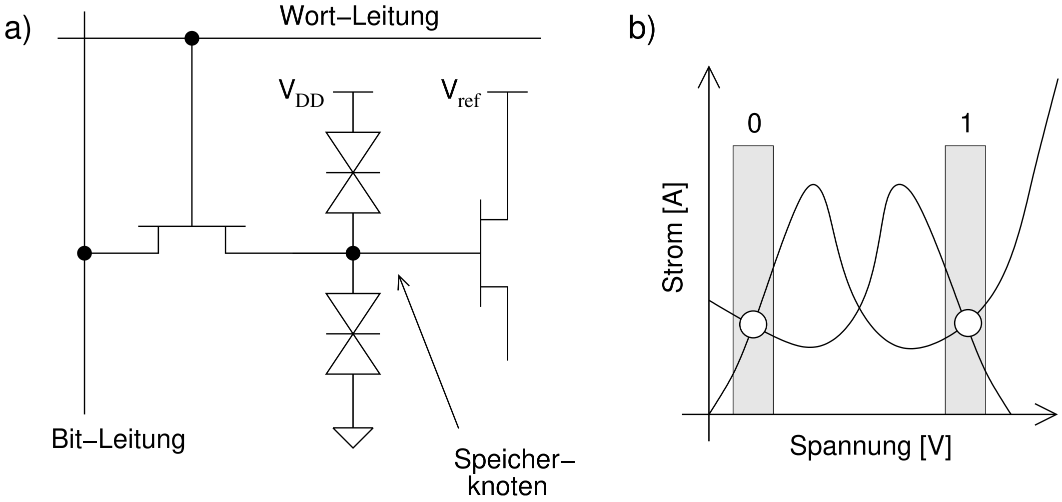


Abbildung 4.6: SRAM Zelle (a) und Strom-Spannungscharakteristik (b)

der aktiven Bauelemente eines statischen Speichers ist größer als bei einem dynamischen Speicher, hieraus ergibt sich eine höhere Verlustleistung.

Durch die konsequente Ausnutzung der bistabilen Zustände des MOBILEs, die sich durch die Integration der Resonanz-Tunneldiode mit einem dreipoligen Bauelement wie dem HBT ergibt, ist es möglich, bestimmte Schaltungsfunktionen mit einer höheren Geschwindigkeit bei gleichzeitig reduzierter Anzahl von aktiven Bauelementen durchzuführen. Die RTD-SRAM Speicherzelle in Abbildung 4.6 besteht, je nach Konfiguration, aus nur zwei RTDs und einem bzw. zwei HFET-Transistoren anstatt der klassischen Konfiguration, die sich aus sechs Transistoren zusammensetzt [78, 77]. Ihr Platzbedarf beträgt $150\mu m^2$ und der Leistungsverbrauch liegt mit $50nW$ etwa um den Faktor 200 unter dem eines GaAs SRAMs [14]. Grund für den geringen Leistungsverbrauch ist die Verwendung von RTDs mit niedriger Stromdichte, die im Ruhezustand nur den Leckstrom des Feldeffekttransistors bereitstellen müssen. In Verbindung mit Bipolartransistoren, wie beispielsweise dem HBT, ist im Ruhezustand zusätzlich noch der Basisstrom zur Verfügung zu stellen [23]. Durch die hohe Treibereigenschaft des HBTs ergeben sich auf diese Weise schnellere Speicherzugriffe auf Kosten einer höheren Verlustleistung. Auf das Geschwindigkeits-Verlustleistungs-Verhältnis kann über den Parameter der Stromdichte Einfluss genommen werden. Durch eine funktionale Integration verschmelzen datenverarbeitende und datenspeichernde Elemente miteinander und reduzieren so die Anzahl der Bauelemente pro logische Funktion [23].

Die AND-SRAM Speicherzelle in Abbildung 4.7 erfüllt die Funktion eines statischen Speichers in Verbindung mit einer logischen AND Funktion. Im Vergleich zum einzelnen RTBT-Multiplexer Kanal (vgl. Abb. 6.1) übernimmt der Eingang $clck$ an dieser Stelle die Funktion des Dateneingangs $data_{in}$ und der Eingang $data_a$ fungiert hier als $reset/write$-Eingang. Der HBT_{out} erhöht zum einen die Treibereigenschaft des Speicherknotens und ermöglicht ein erhaltendes Lesen des Datums, zum anderen ermöglicht er beim Lesen die Auswahl der Zelle.

Tabelle 4.2 zeigt in Anlehnung an [14] einen Vergleich von verschiedenen Speicherkonzepten

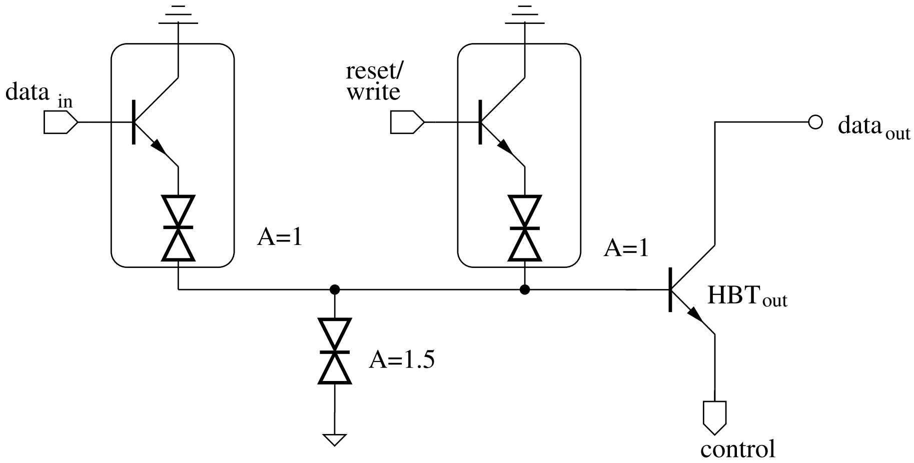


Abbildung 4.7: Schematische Ansicht der AND-SRAM Speicherzelle

im III/V-Halbleiter- und Si-RTD/CMOS-Bereich.

Tabelle 4.2: Verschiedene Speichertechnologien im Vergleich

Speicher Technologie	GHz	Speicherdichte $Mbit/cm^2$	Ruheverlustleistung W/Mbit
HFET-SRAM	1,0	0,1 - 0,4	0 - 200
1-T HFET-TSRAM	0,5	1,7 - 4,4	0,01
2-T HFET-TSRAM	1,0	1,0 - 2,0	0,01
RTBT-SRAM	1 - 3	1	0,03 - 0,04
Si-SRAM	0,03 - 0,1	5 - 10	0,01
Si-DRAM	0,01 - 0,02	60 - 150	$2{\cdot}10^{-4}$
1-T Si-TSRAM	0,01 -0,04	50	10^{-9}

TSRAM steht in diesem Zusammenhang für statisches RAM unter der Verwendung von Tunnelbauelementen. 1-T bzw. 2-T bezieht sich auf die Anzahl der Transistoren pro Speicherzelle.

Abbildung 4.8 zeigt die AND-SRAM Speicherzelle in Verbindung mit der in einer Matrixanordnung notwendigen Peripherie. Liegt das $\overline{control}$ Signal auf dem logischen 0-Pegel, so ist die Speicherzelle zum Lesen bzw. Schreiben ausgewählt. Ein vom 0- zum 1-Pegel wechselndes $write$ Signal speichert das am $data_{in}$-Eingang anliegende Signal, wie bei einem flankengesteuerten Flipflop.

Die Wahrheitstabelle 4.3 fasst die logischen Zustände der AND-SRAM Speicherzelle in Verbindung mit ihrer Peripherie zusammen.

Ist die Speicherzelle nicht ausgewählt ($\overline{control} = 1$), so hat der $data_{in}$ Eingang keinen Einfluss auf die gespeicherte Information. Das Lesen von gespeicherten Daten erfolgt über den Ausgang $data_{out}$. RTD_2 und RTD_3 fungieren in diesem Zusammenhang als Lastelemente. Ist die

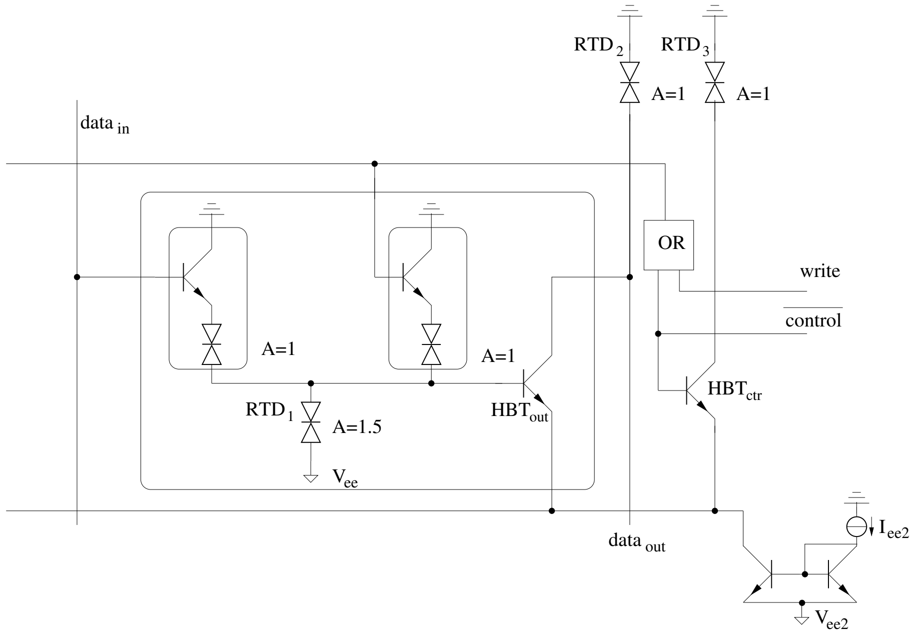


Abbildung 4.8: AND-SRAM Speicherzelle mit Peripherie

Zelle über $\overline{control} = 0$ ausgewählt, so ist der Transistor HBT_{ctr} inaktiv und der Strom I_{EE2} fließt nicht durch RTD_3, sondern in Abhängigkeit vom gespeicherten Wert durch RTD_2 und HBT_{out}. Im Fall $\overline{control} = 1$ ist die Zelle nicht ausgewählt und der Strom I_{EE2} fließt durch RTD_3 und HBT_{ctr}. Durch die Stromsteuerung der Schaltelemente ist es möglich, die Versorgungsspannung weiter zu reduzieren als dies bei einer Spannungssteuerung mit einzuhaltenden Spannungsstörabständen möglich ist.

In Abbildung 4.9 ist die Einbettung der AND-SRAM Zelle in eine Matrixanordnung zu sehen. Das Lesen und Schreiben der SRAM Struktur erfolgt auf Wortebene. Wird das Wort W_n durch den logischen 0-Pegel auf der Kontrollleitung $\overline{ctrl_n}$ ausgewählt, wird durch einen $0 \rightarrow 1$ Wechsel auf der *write* Leitung das aktuell anliegende Wort gespeichert. Befindet sich die *write* Leitung auf dem logischen 1-Pegel, wird ein Wort durch ein entsprechendes Signal auf der zugehörigen Kontrollleitung zum Lesen ausgewählt werden.

Tabelle 4.3: Zustände der AND-SRAM Speicherzelle

$\overline{control}$	*write*	**Funktion**
0	0→1	ausgewählt + schreiben
0	1	ausgewählt + lesen
1	0 / 1	nicht ausgewählt / speichern
0	0	zum Schreiben ausgewählt

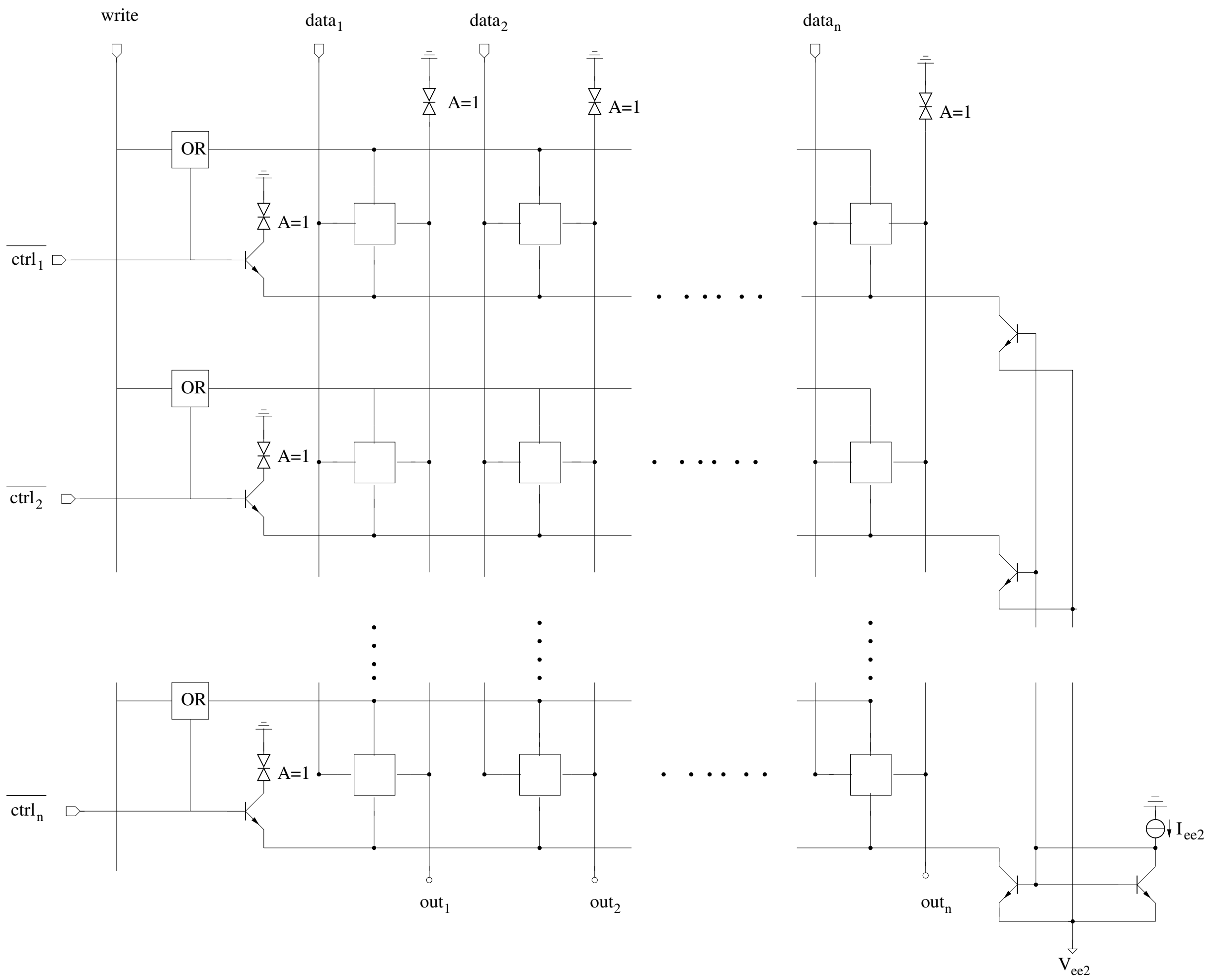


Abbildung 4.9: Matrixanordnung der AND-SRAM Zellen

5. Bufferdesign

Das im vorherigen Kapitel vorgestellte Schaltungskonzept für MOBILE-Gatter stellt aus zwei Gründen eine nur unvollständige Logikfamilie dar. Zum einen zeigt sich die fehlende Pegelkompatibilität zwischen den Ein- und Ausgangsspannungspegeln als nachteilig, sobald mehrstufige Schaltungen miteinander verbunden werden sollen, zum anderen lässt sich mit Hilfe des beschriebenen Konzepts nur eine nicht-invertierende Logik implementieren. Zusätzliche Eingangsstufen parallel zur Schalt-RTD lassen sich nicht hinzufügen, ohne eine weitere Spannungsebene einzufügen deren HBT-Struktur in Sättigungsbetrieb geraten würde [23, 25]. Das gängigste Verfahren, um diese Nachteile zu vermeiden, ist die Verwendung eines Ausgangsbuffers, der sowohl die Spannungspegel verschiebt als auch das Ausgangssignal invertieren kann. Im Folgenden werden drei verschiedene Bufferkonzepte diskutiert.

5.1 Differenzverstärker

Der Differenzverstärker liefert in Verbindung mit dem MOBILE-Gatter aus Kapitel 4.3 große Rauschabstände und geringe Rauschempfindlichkeit bei gleichzeitig geringem Spannungshub. Abbildung 5.1 zeigt hierzu die schematische Ansicht des RTBT-NOR-Gatters, dessen Eingangsstufe auf dem MOBILE-Prinzip beruht und dessen Ausgangsstufe aus einem modifizierten Differenzverstärker besteht. Durch Verwendung von RTDs als Lastelemente ist der ausgangsseitige Spannungshub des Differenzverstärkers nahezu unabhängig vom Querrstrom und wird vornehmlich von der Peakspannung der RTDs bestimmt. Der Eingang der Referenzspannung V_{ref} wird mit einem Referenzspannungsnetzwerk verbunden, auf das später noch in Kapitel 5.1.2 eingegangen wird.

Unter der Berücksichtigung, dass die Transistoren HBT_a und HBT_{ref} nicht in Sättigung geraten, lässt sich nach Gleichung 2.5 das Verhältnis von I_{Ca} und I_{Cref} darstellen als:

$$\frac{I_{Ca}}{I_{Cref}} = \frac{e^{\frac{V_m - V_x}{V_{diff}}} - 1}{e^{\frac{V_{ref} - V_x}{V_{diff}}} - 1} \approx e^{\frac{V_m - V_{ref}}{V_{diff}}} \quad . \tag{5.1}$$

Das Verhältnis der Kollektorströme ist eine exponentielle Funktion der Spannungsdifferenz zwischen V_m und V_{ref}. Eine Änderung der Spannung V_m um knapp $100\,mV$ bewirkt bereits, dass der gesamte Querstrom der Differenzstufe I_{EE} fast ausschließlich nur durch einen der beiden Differenzstufentransistoren fließt. Die Spannungspegel der unbelasteten komplementären Ausgänge bestimmt sich nach Gleichung 5.3 zu:

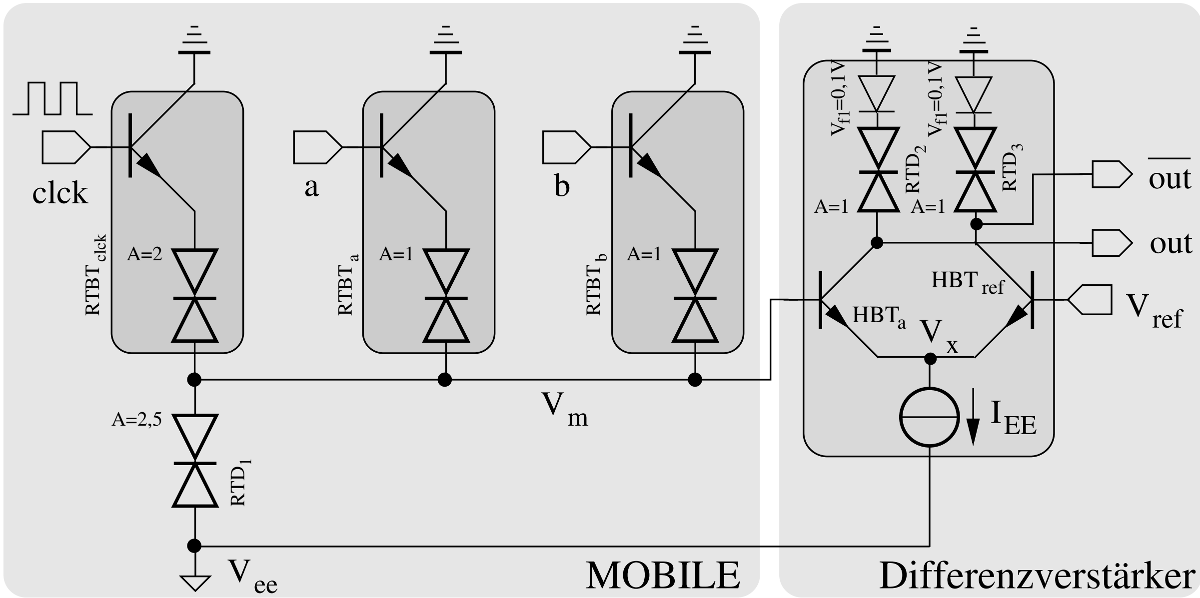


Abbildung 5.1: Schematische Ansicht eines RTBT-NOR-Gatters mit Differenzverstärker

$$V_{out} = V_{gnd} - V_{f1} \qquad \text{(logisch 1)} \tag{5.2}$$
$$\overline{V_{out}} = V_{gnd} - I_{EE} \cdot R_{RTD} - V_{f1} \quad \text{(logisch 0)} \quad .$$

Die beiden Schottky-Dioden im Differenzverstärker sorgen für einen konstanten Versatz der Ausgangsspannungen V_{out} und $\overline{V_{out}}$ um $100\,mV$ gegenüber dem Massepotential. Auf diese Weise wird die Pegelkompatibilität zum MOBILE-Gatter (Abb. 4.4), das der Eingangsstufe eines nachfolgenden Gatters entspricht, bereit gestellt. Wählt man I_{EE} etwas größer als den RTD-Peakstrom I_P, so lässt sich über die Peakspannung V_P der Spannungshub des Ausgangs einstellen.

Um eine genaue Aussage über die Propagationszeit und Schaltgeschwindigkeit des Gatters treffen zu können, ist eine aufwendigere Analyse notwendig als dies bei einem CMOS-Gatter beispielshalber nötig ist. Dies liegt in der komplexen Struktur, die interne Knoten enthält, begründet. Abbildung 5.6 zeigt das Gatter mit den relevanten parasitären Kapazitäten unter der Annahme eines Fan-outs von Eins und dient als Grundlage zur Berechnung der Propagationszeit zwischen V_{clck} und V_{out}. $RTBT_{clck}$ und $RTBT_a$ sind als Emitterfolger geschaltet, so dass sie sich stets im Normalbetrieb befinden. Die Spannung, die über den pn-Übergängen der Basis-Emitter Dioden abfällt, kann daher als konstant angenommen werden und erklärt so die in Abbildung 5.6 nicht eingezeichneten Sperrschichtkapazitäten und Schottky-Dioden. Das MOBILE-Gatter (vgl. Abb. 5.1) wird durch die Kapazität C_M belastet, die sich zum einen aus der intrinsischen RTD-Kapazität und zum anderen aus den parasitären Kapazitäten des Eingangstransistors HBT_a, der sich in der Differenzstufe befindet, zusammensetzt. C_M wird vornehmlich durch die RTD-Kapazität bestimmt, da der Transistor HBT_a nie in Sättigung gerät. Wählt man den Querstrom I_{EE} durch die Differenzstufe etwas größer als den RTD-Peakstrom I_P, so skaliert der Differenzverstärker Speed-Index mit dem gleichen Faktor α wie der MOBILE-Speed-Index (vgl. Tabelle 4.3). Bei dem Umschaltvorgang des Gatters steht nährungsweise zeitlich gemittelt nur der halbe Peakstrom zur Verfügung, was einen verminderten Speed-Index zu Folge hat. Mit den Daten aus Kapitel 2 ergibt sich für den unskalierten HBT (Probe 1) bzw. RTBT (Probe 2) ein Speed-Index für das MOBILE von $SI_{MOB} \approx \frac{5{,}5mA/2}{360fF} = 7,6V/ns$ und für den Differenzverstärker ein Speed-Index von $SI_{DIF} \approx \frac{6mA/2}{170fF} = 17,6V/ns$.

In Abbildung 5.2 ist das Mikrofoto des gefertigten RTBT-NOR-Gatters zu sehen. Die klare Trennung zwischen Ein- und Ausgangsstufe ist auch im Layout zu erkennen und ermöglicht so ein modulares Design, das sich aus vielen gleichartigen Zellen zusammensetzt.

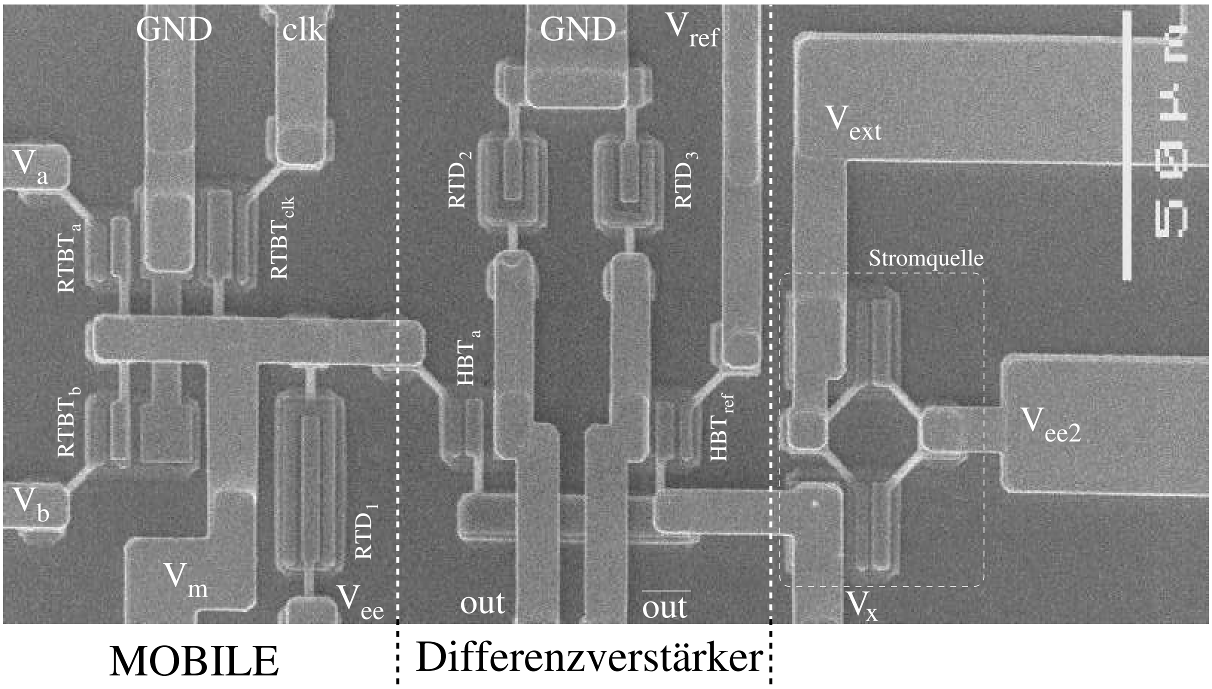


Abbildung 5.2: Mikrofoto des gefertigten RTBT-NOR-Gatters ($A \approx 225\mu m \cdot 117\mu m$), die Messergebnisse finden sich in den Abbildungen 5.3, 5.4 und 5.5

Ein fundamentaler Aspekt einer leistungfähigen Logikfamilie ist die Kompatibilität der logischen Eingangs- Ausgangsspannungspegel, die es ohne zusätzliche Potentialverschiebungsstufen zu erreichen gilt, um eine geringe logische Tiefe zu erzielen. Zur experimentellen Überprüfung dieser Eigenschaft wurde das zeitliche Verhalten des RTBT-NOR-Gatter für $V_a = -0,5V$ untersucht. Hierzu zeigt Abbildung 5.3 das gemessene Schaltverhalten für einen alternierenden Verlauf der Eingangssignale. Der logische 1-Pegel der beiden Ausgänge V_{out} und $\overline{V_{out}}$ zeigen mit $-150mV$ eine Spannungsüberhöhung von etwa $100mV$ gegenüber dem Eingangssignal V_b, was dadurch zu begründen ist, dass auf die Implementierung der ausgangsseitigen Schottky-Dioden bei diesem Technologiedurchlauf verzichtet wurde. Die Verschiebung des logischen 0-

Pegels der Ausgänge im Vergleich zum Eingang V_b von etwa $100\,mV$ bzw. $300\,mV$ deutet auf einen zu großen Querrstrom im Differenzverstärker, der während der Messung $9\,mA$ betrug, hin. Als Ursache für den unsymmetrischen Verstatz des logischen 0-Pegels kommt ein eventuelles matching-Problem zwischen den Transistoren HBT_a und HBT_{ref} und der Verzicht auf eine On-Chip-Referenzspannungsquelle in Betracht. Diese wurde beim Messaufbau durch ein Labornetzteil mit $V_{ref} = -1,15\,V$ ersetzt. Durch die Verwendung eines hochohmigen Oszilloskops ($1\,M\Omega$) ist dieser Messaufbau aufgrund der zu treibenden Leitungskapazitäten auf den kHz-Bereich beschränkt. Bei dieser niederfrequenten Messung lässt sich sehr gut die intrinsische Latchfunktion des MOBILEs erkennen, bei dem die Eingangssignale mit der steigenden Taktflanke von V_{clk} evaluiert werden und dann das Ergebnis so lange gültig bleibt, bis V_{clk} wieder zum logischen 0-Pegel zurückkehrt. Bei einem Fan-out von zwei und mit den Technologiegrößen des RTBTs aus Tabelle 5.1 ergibt sich ein MOBILE-Speed-Index von $SI_{MOB} = 7,6\,V/ns$ und ein Differenzverstärker Speed-Index von $SI_{DIF} = 17,6\,V/ns$, die bei Spannungshüben von $\Delta V_m = 0,3\,V$ und $\Delta V_{out} = 0,4\,V$ zu einer intrinsischen Schaltzeit von $t_{int} = 62,2 \cdot 10^{-12}\,s$ führt. Durch diese Abschätzung lässt sich mit $f_{clk} = 1/(10\,t_{int}) \approx 1,6\,GHz$ erkennen, dass Frequenzen im Gigahertz-Bereich erreichbar sind.

Um dies experimentell zu untersuchen, wurde im Folgenden das hochohmige Oszilloskop durch ein Oszilloskop ersetzt, dessen Eingänge mit $50\,\Omega$ abgeschlossen sind. Zwar ergibt sich auf diese Weise eine hohe ohmsche Belastung für das zu untersuchende Gatter, aber die im vorherigen Versuch geschwindigkeitsbegrenzenden Kapazitäten können sich nicht mehr störend auf die Messung auswirken. Die hohe ohmsche Last, die so auf dem Chip i.A. nicht auftritt, reduziert die Amplitude der Ausgangssignale. Allerdings sollte die korrekte logische Funktion noch erkennbar sein. Als ein weiteres messtechnisches Problem stellte sich die frequenzabhängige Einkopplung der Signale in das Gatter heraus. Durch die fehlende Anpassung der Gattereingänge an die $50\,\Omega$ Umgebung der Messanordnung kam es zu Reflexionen am Eingang der Testschaltung. Dies konnte durch eine schrittweise Erhöhung der Signalfrequenzen gelöst werden, so dass Messungen in den Bereichen vorgenommen werden konnten, bei denen die Reflexion minimal war. Die logische Funktion des RTBT-NOR-Gatters mit Differenzverstärker wurde bei dieser Vorgehensweise bei folgenden Frequenzen erfolgreich gemessen: $93\,MHz$, $500\,MHz$, $653\,MHz$, $1,173\,GHz$, $1,373\,GHz$, $2,133\,GHz$, $2,5333\,GHz$ und $3,2333\,GHz$.

Exemplarisch zeigen die Abbildungen 5.4 und 5.5 die Messergebnisse der gefertigen Testschaltung. Der Eingang V_a befand sich, wie bei der vorherigen Messung, auf dem logischen 0-Pegel. Durch Erhöhung des Querrstromes durch den Differenzverstärker auf $I_{EE} = 26\,mA$ war es trotz der hohen ohmschen Last durch die Messanordnung möglich, die ausgangsseitige Spannungsamplitude für die Messung bei $f(V_{clk}) = 653\,MHz$ so zu erhöhen, dass sie wieder kompatibel zum Spannungsbereich der Eingangssignale war. Wie in Abbildung 5.5 zu sehen ist, konnte die korrekte logische Funktion für den einzelnen Ausgang bis in den GHz-Bereich nachgewiesen werden.

5.1.1 Verlustleistungs-Verzögerungsprodukt

Die im Schaltvorgang auftretende Verlustleistung P_{MOBsw} des MOBILEs ergibt sich aus dem Schaltstrom während des monostabil-bistabilen bzw. bistabil-monostabilen Übergangs. Diese

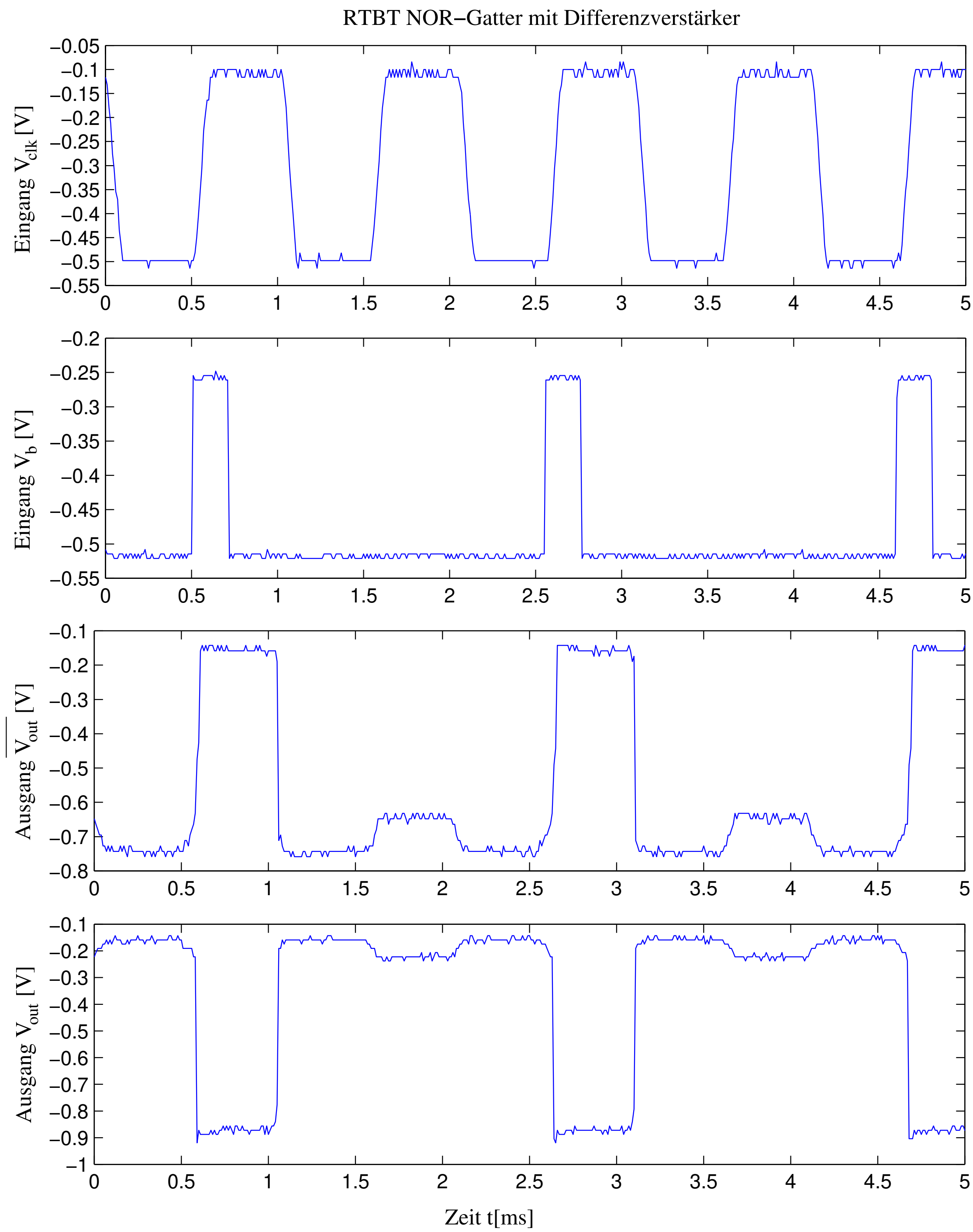


Abbildung 5.3: Messung der Latchfunktion des RTBT-NOR-Gatters

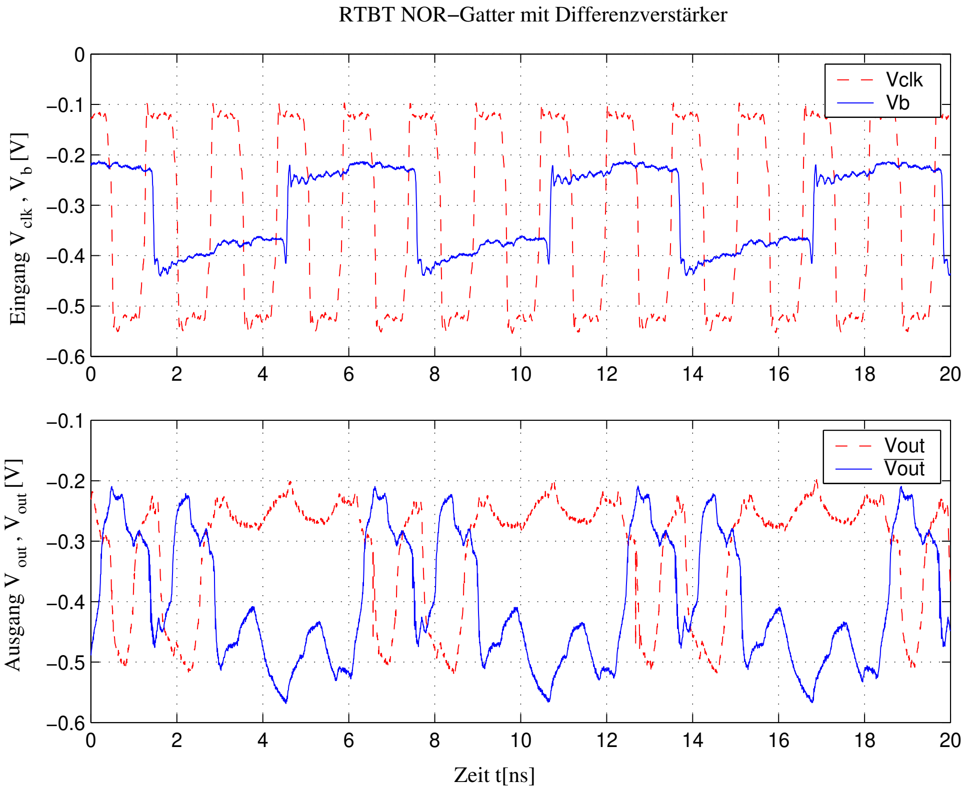


Abbildung 5.4: Messergebnis des RTBT-NOR-Gatters (f(V_{clk}) = 653 MHz)

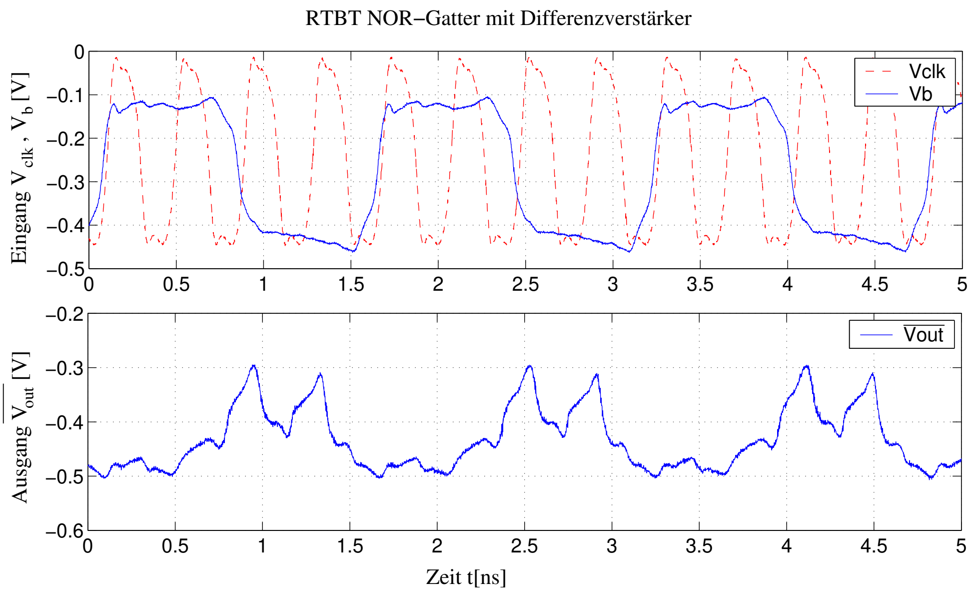


Abbildung 5.5: Messergebnis des RTBT-NOR-Gatters (f(V_{clk}) = 2.53 GHz)

Übergänge entsprechen jeweils etwa 10 % der Periodendauer eines Taktzyklus T. Mit einem mittleren Schaltstrom von $\overline{I_{SW}} \approx 2I_P$ und dem Umschaltpunkt $V_{SW} \approx 1,5\,V_P$ ergibt sich bei einer Anstiegszeit von $t_{CR} = \frac{T}{10}$ eine Verlustleistung im Schaltvorgang von:

$$P_{MOBsw} = 2\overline{I_{SW}}V_{SW}\frac{t_{CR}}{T} \approx \frac{3}{5}I_P V_P \quad . \tag{5.3}$$

Die statische Verlustleistung des NOR-Gatters teilt sich auf in einen Anteil für das MOBILE und einen Anteil für den Differenzverstärker. Der Anteil des RTBT-MOBILEs wird durch den Ruhestrom bestimmt und entspricht in beiden bistabilen Zuständen näherungsweise dem Valleystrom I_V der Resonanz-Tunnelstruktur. Die Dauer der aktiven Taktphase t_{CH} beträgt 40 % des Taktzyklus T, so dass bei einem Verhältnis des Peak- zu Valleystroms von $PVR = \frac{I_P}{I_V} = 5$ gilt:

$$P_{MOBstat} = I_V|V_{EE}|\frac{t_{CH}}{T} = I_V(2,5V_P + V_{be})\frac{2}{5} = I_V(V_P + \frac{2}{5}V_{be}) \approx \frac{3}{5}V_P I_P \quad . \tag{5.4}$$

Der Anteil des Differenzverstärkers an der statischen Verlustleistung setzt sich zusammen aus dem Teil der durch die mit den Emitter verbundenen Transistoren HBT_a und HBT_{ref} entsteht und aus dem Teil der von der Referenzspannungsquelle benötigt wird. Der Leistungsverbrauch der Referenzspannungsquelle kann aber auf mehrere Gatter verteilt werden.

$$P_{DIFstat} = |V_{EE}|\left(I_{EE} + \frac{I_{bias}}{N}\right) \approx (2,5V_P + V_{be})\left(I_P + \frac{I_{bias}}{N}\right) \approx \frac{28}{5}V_P I_P \tag{5.5}$$

N entspricht der Anzahl der Gatter die durch eine Referenzspannungsquelle versorgt werden können. Die dynamische Verlustleistung P_{DIFdyn} des Differenzverstärkers ergibt sich durch das mit jedem Taktzyklus verbundene Umladen sowohl der internen als auch der externen Lastkapazitäten. Bei einem Fan-out von Zwei entspricht die Lastkapazität $C_L = C_{rtd} + C_{sc} + 2(C_{sc} + C_{de})$, so dass gilt:

$$P_{DIFdyn} = C_L|V_{EE}|\Delta V_{out} f \quad . \tag{5.6}$$

Die dynamische Verlustleistung des MOBILEs wird bestimmt durch die Lastkapazität $C_M = C_{rtd} + C_{sc} + C_{de} + C_{se}$, die pro Taktzyklus einmal umgeladen wird. Die gemittelte Spannung

$$\overline{V_m} = \frac{1}{2}(V_{mH} + V_{mL}) \approx \frac{1}{2}(2V_P + 0,2V_P) \approx V_P \tag{5.7}$$

hat direkten Einfluss auf die Leistung:

$$P_{MOBdyn} = C_M\overline{V_m^2}f \approx C_M V_P^2 f \quad . \tag{5.8}$$

Als Summe der drei Komponenten ergibt sich eine Gesamtverlustleistung des MOBILEs von

$$P_{MOBges} = \frac{3}{5}I_P V_P + \frac{3}{5}I_P V_P + C_M\overline{V_m^2}f = \frac{6}{5}I_P V_P + C_M\overline{V_m^2}f \quad . \tag{5.9}$$

Die Gesamtverlustleistung der Differenzstufe setzt sich aus deren statischer und dynamischer Verlustleistung nach Gleichung 5.5 und 5.6 zusammen.

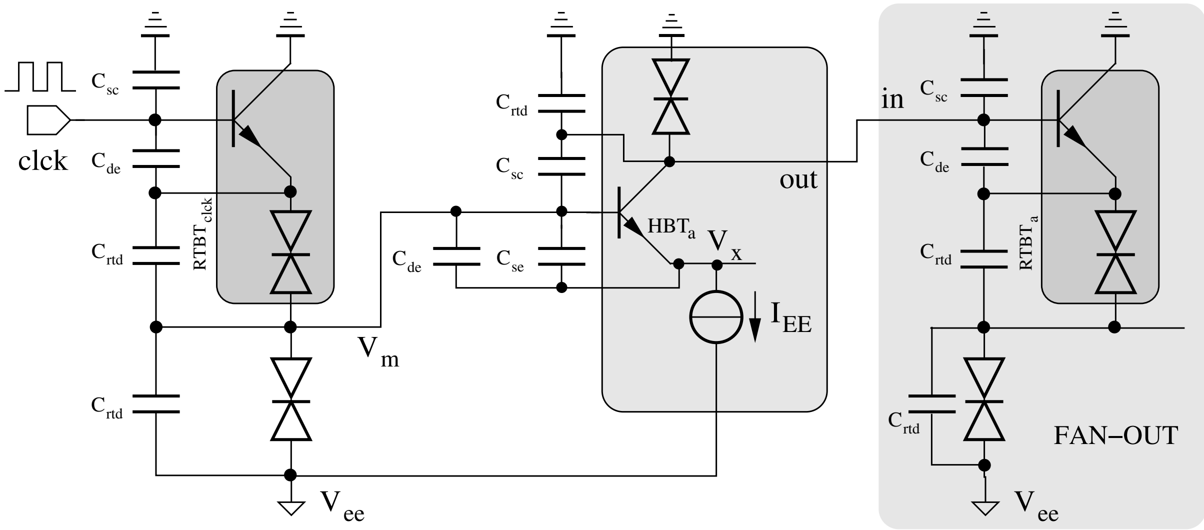


Abbildung 5.6: Schaltungsmodell des NOR-Gatters mit parasitären Kapazitäten bei einem Fan-out von Eins

$$P_{DIFges} = \frac{28}{5} V_P I_P + C_L |V_{EE}| \Delta V_{out} f \tag{5.10}$$

Der zeitabhängige, dynamische Anteil des MOBILEs macht auch bei Taktfrequenzen von $f > 1\,GHz$ nur einen geringen Anteil aus, da die Kapazität C_M, die vom Gatter-Fan-out unabhängig ist, den Fan-out des MOBILEs bestimmt. Wie aus Gleichung 5.10 hervorgeht, dominiert der hohe statische Anteil des unbelasteten Differenzverstärkers auch für hohe Taktfrequenzen den Verlustleistungsanteil.

Eine genaue Analyse ist nur mit einem Schaltungssimulator wie HSPICE und den dazu in Kapitel 2 eingeführten Modellen möglich.

5.1.2 Referenzspannungsquelle

Die Aufgabe einer Referenzspannungsquelle ist es, eine konstante Spannung V_{ref} zur Verfügung zu stellen, die als Vergleichs- oder Eichmaß fungiert. Die in Kapitel 5.1 angesprochene Referenzspannungsquelle sollte eine Spannung liefern, die so genau wie möglich zwischen dem logischen 1-Zustand V(high) und dem logischen 0-Zustand V(low) liegt. Weiter sollte die Referenzspannungsquelle die gleiche Temperaturabhängigkeit aufweisen wie die zu versorgende Schaltung. Die Referenzspannungsquelle in Abbildung 5.7 besteht aus zwei MOBILE, die sich immer in der aktiven Taktphase befinden.

Die Peakströme der Resonanz-Tunnelstrukturen sind so dimensioniert, dass ein MOBILE sich im logischen 1-Zustand befindet und das andere im logischen 0-Zustand. Zwei in Serie geschaltete RTDs verbinden die Ausgänge der beiden MOBILEs und dienen unter Ausnutzung

Tabelle 5.1: Skalierung der MOBILE-Eingangsstufe und des Differenzverstärkers

Bezeichnung	Parameter	Einheit	Skalierung
MOBILE-Lastkapazität	$C_M = C_{rtd} + C_{sc} + C_{de} + C_{se}$	fF	$\frac{C_{rtd}}{\kappa^2} + \frac{C_{sc}+C_{de}+C_{se}}{\kappa}$
MOBILE-Speed-Index	$SI_{MOB} = I_P \, / \, 2C_M$	V/ns	α
Diff. Lastka. (Fan-out 2)	$C_L = C_{rtd} + C_{sc} + 2(C_{sc} + C_{de})$	fF	$\frac{C_{rtd}}{\kappa^2} + \frac{C_{sc}}{\kappa} + \frac{2(C_{sc}+C_{de})}{\kappa}$
Diff. Speed-Index	$SI_{DIF} = \frac{I_{EE}}{2C_L} \approx \frac{I_P}{2C_L}$	V/ns	α
Intr. Gatter-Schaltzeit	$t_{int} = \frac{\Delta V_M}{SI_{MOB}} + \frac{\Delta V_{out}}{SI_{DIF}}$	ns	$1/(\alpha\,\eta)$
Periodendauer	$T = 10\, t_{int}$	ns	$1/(\alpha\,\eta)$
Verl. im Schaltvorgang	$P_{MOBsw} = \frac{3}{5}\; I_P\, V_P$	μW	$\frac{\alpha}{\eta\,\kappa^2}$
stat. Verl. MOB. ($PVCR = 5$)	$P_{MOBstat} = \frac{3}{5}\; I_P\, V_P$	μW	$\frac{\alpha}{\eta\,\kappa^2}$
stat. Verl. Diff.	$P_{DIFstat} = \frac{28}{5}\; I_P\, V_P$	μW	$\frac{\alpha}{\eta\,\kappa^2}$
Dyn. Verl. MOBILE	$P_{MOBdyn} = C_M\, V_P^2\, f$	μW	$\frac{\alpha}{\kappa\,\eta}$
Dyn. Verl. Diff.	$P_{DIFdyn} = C_L \lvert V_{EE} \rvert \Delta V_{out}\, f$	μW	$\frac{\alpha}{\kappa\,\eta}$
Verlustleistungs-Verzögerungszeitprodukt	$P_{ges}\, t_{int} \approx (P_{MOBstat} + P_{MOBsw} + P_{DIFstat}) \cdot t_{int}$	fJ	$\frac{1+\kappa}{\eta^2\,\gamma^2}$

ihres ohmschen Anlaufbereiches als Spannungsteiler. Bedingt durch das symmetrische Teilverhältnis ergibt sich die Referenzspannung zu:

$$V_{ref} = \frac{1}{2}\,(V(high) + V(low)) \quad . \tag{5.11}$$

Der Strom durch die in Serie geschalteten RTDs ist etwas kleiner als der Peakstrom und ist somit mindestens um den Faktor 100 größer als der Strom, der von einem Logikgatter als Referenzstrom benötigt wird. Simulationen zeigten bei einer Belastung der Referenzstromquelle mit 20 Gattern, dass die Abweichung der Referenzspannung von ihrem Sollwert bei unter 3 % liegt.

5.2 Rückgekoppelter Differenzverstärker

Um den schaltungstechnischen Aufwand einer Referenzspannungsquelle zu umgehen, koppelt man den Ausgang *out* in Abbildung 5.8 zurück auf den Referenzeingang. Wie in [66, 65] beschrieben, aber unter Berücksichtigung der Gleichtaktspannung, geschieht diese Rückkopplung über eine Diode, die den Spannungspegel vom Ausgang *out* um V_f in den Bereich der Ausgangsspannung des MOBILEs V_m verschiebt. Die Übertragungskennlinien des Differenzverstärkers ergeben sich näherungsweise mit $V_D = V_m - V_{ref} = V_m - (V_{out} - V_{f2})$ für $R_E = 0$ zu [75]:

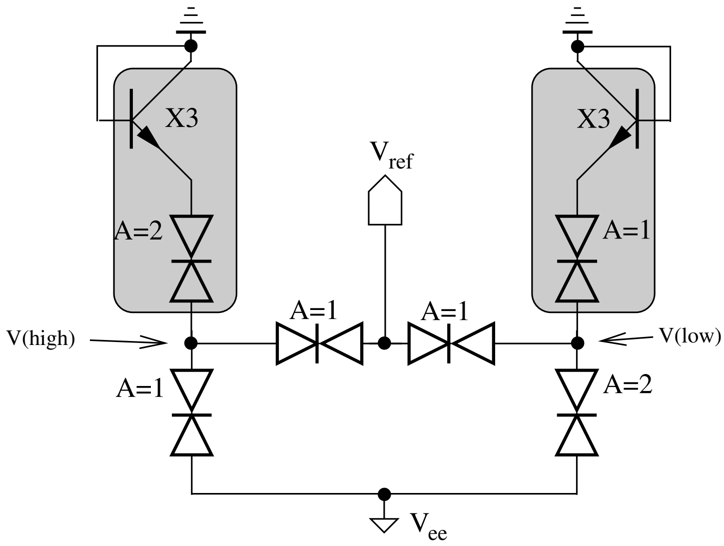


Abbildung 5.7: Referenzspannungsquelle

$$V_{out} = -V_{f1} - I_{EE}R_C\left(1 + tanh\frac{V_D}{2V_{diff}}\right) \tag{5.12}$$

$$\overline{V_{out}} = -V_{f1} - I_{EE}R_C\left(1 - tanh\frac{V_D}{2V_{diff}}\right) \quad . \tag{5.13}$$

Diese Gleichungen gelten unter der Voraussetzung, dass sich die Transistoren im Normalbetrieb befinden und berücksichtigen nicht die Basisweitenmodulation. Um den Sättigungsbetrieb zu vermeiden, müssen die Kollektor-Emitter-Spannungen $V_{ce,a}$ und $V_{ce,ref}$ größer sein als die Sättigungsspannung $V_{ce,sat}$, die man mit $V_{ce,sat} \approx 0,5V$ aus Abbildung 2.9 entnehmen kann. Aus Abbildung 5.8 folgt:

$$V_{ce,a} = V_{out} + V_{be} - V_m \quad , \quad V_{ce,ref} = \overline{V_{out}} + V_{be} - V_{ref} \quad . \tag{5.14}$$

Mit $V_{CE} > V_{ce,sat} \approx 0,5V$, $V_{be} \approx 0,6V$ und der minimalen Ausgangsspannung $V_{out,min} = -I_{EE}R_C$ erhält man:

$$max\{V_{out}, \overline{V_{out}}\} < -I_{EE}R_C - V_{ce,sat} + V_{be} \approx -0,5V \quad . \tag{5.15}$$

Diese Bedingung ist nach Abbildung 4.2 mit $V_{out}(high) = -0,77V$ stets erfüllt, so dass die Transistoren HBT_a und HBT_{ref} nicht in Sättigung betrieben werden.

Ab einem bestimmten Spannungshub zeigt die Schaltung, wie in Abbildung 5.9 a) zu sehen ist, für $R_E = 0$ eine mit dem Spannungshub wachsende Hysterese und arbeitet als Schmitt-Trigger. Eine stark ausgeprägte Hysterese ist aber von Nachteil, weil es unter diesen Bedingungen schwieriger ist das Gatter von einem logischen Zustand in den anderen zu schalten, selbst wenn dies erwünscht ist.

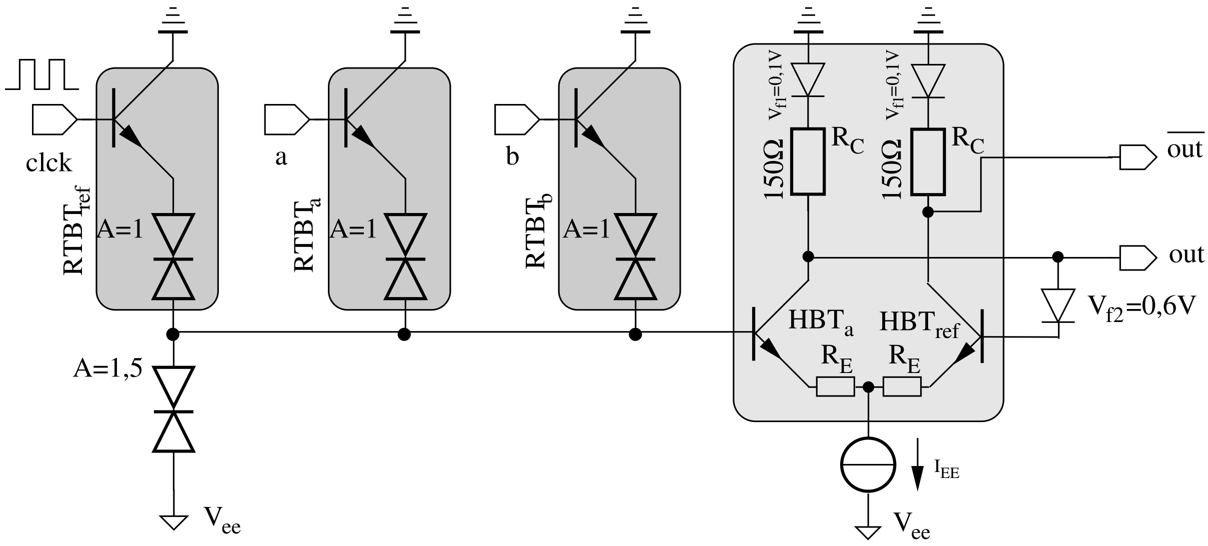


Abbildung 5.8: RTBT-NOR-Gatter mit rückgekoppelter Referenzspannung

Zur Verbesserung des Übertragungsverhaltens wird im Folgenden der Differenzverstärker mit einer Stromgegenkopplung versehen ($R_E > 0$), so dass die störende Hysterese verschwindet. Für die Schaltung in Abbildung 5.8 gilt:

$$\frac{I_{Ca}}{I_{Cref}} = \frac{I_{Ca}}{I_{EE} - I_{Ca}} = \frac{e^{\frac{V_{BEa}}{V_{diff}}} - 1}{e^{\frac{V_{BEref}}{V_{diff}}} - 1} \approx e^{\frac{V_{BEa} - V_{BEref}}{V_{diff}}} \quad . \tag{5.16}$$

Der gesamte Querstrom der Differenzstufe I_{EE} fließt fast ausschließlich durch einen der beiden Differenzstufentransistoren, so dass sich aus Gleichung 5.16 unter Berücksichtigung von $\Delta V_{out} \approx R_C \cdot I_{EE}$ und $I_{Ca} = -(V_{out} - V_{f1})/R_C$ Gleichung 5.17 ergibt:

$$V_{BEa} - V_{BEref} = -V_{diff} \cdot ln\left(\frac{\Delta V_{out}}{V_{out} - V_{f1}} - 1\right) \quad . \tag{5.17}$$

Berücksichtigt man den Maschenumlauf

$$V_{BEa} + I_{Ca} \cdot R_E - V_m = V_{BEref} + I_{Cref} \cdot R_E - (V_{out} - V_{f2}) \quad , \tag{5.18}$$

so erhält man aus Gleichung 5.17 folgende Übertragungscharakteristik:

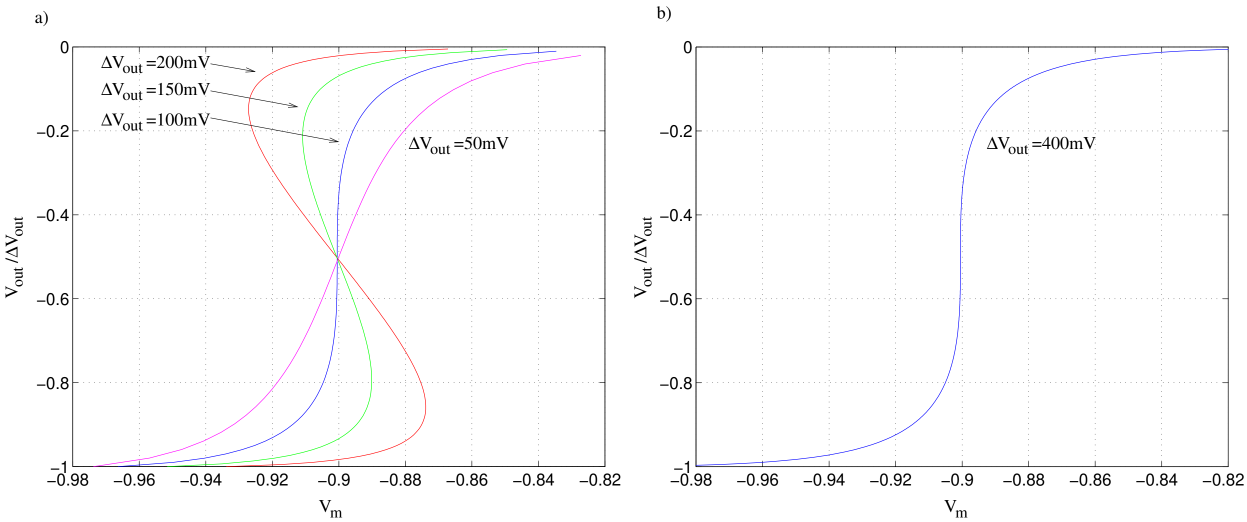


Abbildung 5.9: Übertragungskennlinie des rückgekoppelten Differenzverstärkers ohne Stromgegenkopplung (a) und mit Stromgegenkopplung (b)

$$V_m = -V_{diff} \cdot ln\left(\frac{\Delta V_{out}}{V_{out} - V_{f1}} - 1\right) + V_{out} \cdot \left(1 - 2\frac{R_E}{R_C}\right) - I_{EE}R_E - V_{f2}$$

$$V_m = -V_{diff} \cdot ln\left(\frac{\Delta V_{out}}{\overline{V_{out}} - V_{f1}} - 1\right) + \overline{V_{out}} \cdot \left(2\frac{R_E}{R_C} - 1\right) + I_{EE}R_E - I_{EE}R_C - V_{f2}$$

$$\text{mit} \quad V_{out} = -\overline{V_{out}} - R_C I_{EE} \quad . \tag{5.19}$$

Als Funktion der Ausgangsspannungsamplitude lässt sich über den Widerstand R_E die Steilheit des Differenzverstärkers im Umschaltpunkt $V_{out0} = \Delta V_{out}/2$ einstellen, so dass sich auch für größere Spannungsamplituden der optimale Spannungsverstärkungsfaktor im Umschaltpunkt von $A_V^* = \infty$ ergibt. Der optimale Wert R_{E0} ergibt sich aus den Gleichungen 5.19:

$$R_{E0} = \frac{1}{2}R_C\left[\frac{V_{diff}\Delta V_{out}}{\frac{1}{4}\Delta V_{out}^2 - V_{f1}^2} + 1\right] \tag{5.20}$$

Abbildung 5.9 b) zeigt den Verlauf der Übertragungsfunktion des rückgekoppelten Differenzverstärkers mit einem Spannungshub von $400\,mV$ und $R_{E0} = 62{,}5\,\Omega$.

Durch die Rückkopplung des nichtinvertierten Ausgangs auf den Referenzpunkt des Differenzverstärkers ergibt sich eine erhöhte Störsicherheit, bedingt durch die steile Übertragungscharakteristik ($A_V^* = \infty$). Desweiteren entfällt die Bereitstellung einer Referenzspannung, so dass eine erhöhte Packungsdichte und eine Reduktion des power-delay Produktes erreicht wird. Eine mögliche parasitäre Kopplung der einzelnen Gatter über eine gemeinsame Referenzspannungsquelle entfällt ebenfalls.

5.2.1 Verlustleistungs-Verzögerungsprodukt

Die statische als auch dynamische Verlustleistung des rückgekoppelten Differenzverstärkers entspricht der des in Kapitel 5.4 beschriebenen Differenzverstärkers mit Ausnahme der von der Referenzspannungsquelle aufgenommenen Leistung, die für den rückgekoppelten Differenzverstärker entfällt. Gleichung 5.5 vereinfacht sich hierdurch zu:

$$P_{DIFRstat} = |V_{EE}| I_{EE} \approx (2,5V_P + V_{be}) I_P \approx \frac{26}{5} V_P I_P \quad . \tag{5.21}$$

Die Gesamtverlustleistung der Differenzstufe setzt sich nach wie vor aus deren statischen und dynamischen Verlustleistungen nach Gleichung 5.21 und 5.6 zusammen:

$$P_{DIFRges} = \frac{26}{5} V_P I_P + C_L |V_{EE}| \Delta V_{out} f \quad . \tag{5.22}$$

Der statische Anteil bestimmt auch beim rückgekoppelten Differenzverstärker die Gesamtverlustleistung.

5.3 Invertierender Buffer mit Stromgegenkopplung

Als eine weitere Möglichkeit eine Pegelkompatibilität zwischen zwei aufeinander folgenden Gattern zu garantieren und gleichzeitig, die für eine vollständige Logikfamilie notwendige Invertierung bereitzustellen, stellt sich die Emitterschaltung dar [27]. Als nachteilig in diesem Zusammenhang zeigt sich zum einen die Temperaturabhängigkeit und der Sättigungsbetrieb dieser Schaltung. Dem kann jedoch durch eine Stromgegenkopplung begegnet werden. Abbildung 5.10 zeigt das MOBILE verschaltet mit der stromgegengekoppelten Emitterschaltung als NOR-Gatter. Diese Schaltungsvariante stellt an seinem Ausgang im Vergleich zum Differenzverstärker nur den invertierten logischen Ausgangswert der MOBILE-Stufe zur Verfügung. Die Level-Shifter Diode ist gegebenenfalls notwendig, um den Spannungspegel des logischen 1-Zustandes an den Pegel der Eingangsstufen anzupassen.

Die Ausgangsspannung bestimmt sich unter diesen Bedingungen näherungsweise zu

$$V_{out} \approx V_{gnd} - V_f - \frac{R_1}{R_2} (V_{ee} - V_m - V_{be}) \tag{5.23}$$

und die Spannungspegel des unbelasteten Ausgangs zu

$$\begin{aligned} V_{out} &= V_{gnd} - V_{f1} && \text{(logisch 1)} \\ V_{out} &= V_{gnd} - V_{f1} - \tfrac{R_1}{R_2} (V_{ee} - V_m - V_{be}) && \text{(logisch 0).} \end{aligned} \tag{5.24}$$

Wie beim Differenzverstärker steht dem Gatter im Umschaltpunkt näherungsweise zeitlich gemittelt nur der halbe Peakstrom zur Verfügung. Geht man von der Dimensionierung in Abbildung 5.10 aus und strebt die gleiche Ausgangsamplitude wie beim Differenzverstärker an, so

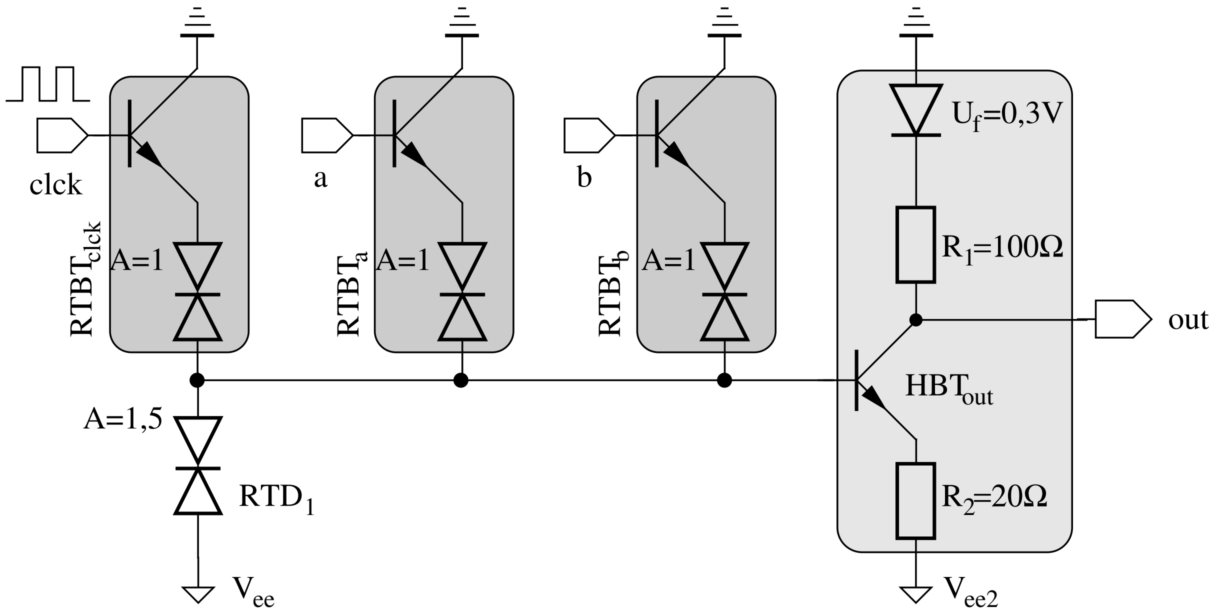


Abbildung 5.10: RTBT-NOR-Gatter mit Level-Shifter Diode

liegt der Peakstrom der Emitterschaltung bei etwa $I_{EF} \approx \frac{400\,mV}{100\,\Omega} = 4\,mA$. Der Speed-Index ergibt sich mit Abbildung 5.14 zu $SI_{EF} \approx \frac{4\,mA/2}{40\,fF} = 50\,V/ns$.

Wie schon bei der Untersuchung der Kombination aus MOBILE und Differenzverstärker festgestellt wurde, ist ein zentraler Aspekt für die Leistungsfähigkeit einer Logikfamilie die Kompatibilität der Eingangs- und Ausgangssignale bei gleichzeitiger geringer logischer Tiefe. Zur experimentellen Untersuchung dieser Eigenschaft wurde wiederum das zeitliche Verhalten des RTBT-NOR-Gatters für $V_a = -0,5\,V$ untersucht. Hierzu zeigt Abbildung 5.12 das gemessene Schaltverhalten für einen alternierenden Verlauf der Eingangssignale. In Abbildung 5.11 ist die zugehörige Testschaltung zu sehen, die ohne Schottky-Diode gefertigt wurde. Der gemessene logische 1-Pegel des Ausgangs V_{out} weicht mit $-140\,mV$ um $-140\,mV$ vom Simulationsergebnis ab. Diese Abweichung ist mit einem Unterschied zwischen dem Soll- und dem tatsächlichen Widerstandswert von $R_2 = 20\,\Omega$ zu begründen. Der maximale Strom der Spannungsquelle V_{ee2} betrug anstatt der simulierten $4\,mA$ lediglich $1\,mA$. Der simulierte und gemessene logische 0-Pegel des Ausgangs stimmen überein und decken sich mit dem eingangsseitigen 0-Pegel. Durch die Verwendung eines hochohmigen Oszilloskops ($1\,M\Omega$) ist dieser Messaufbau aufgrund der zu treibenden Leitungskapazitäten auf den MHz-Bereich beschränkt. Auch an dieser Stelle lässt sich sehr gut die intrinsische Latchfunktion des MOBILEs erkennen, bei dem die Eingangssignale mit der steigenden Taktflanke von V_{clk} evaluiert werden und dann das Ergebnis so lange gültig bleibt, bis V_{clk} wieder zum logischen 0-Pegel zurückkehrt. Bei einem Fan-out von Zwei und mit den Technologiegrößen des RTBTs aus Tabelle 5.1 ergibt sich ein MOBILE-Speed-Index von $SI_{MOB} = 7,6\,V/ns$ und ein Speed-Index des Buffers mit Stromgegenkopplung von $SI_{EF} = 50\,V/ns$, die bei Spannungshüben von $\Delta V_m = 0,3\,V$ und $\Delta V_{out} = 0,4\,V$

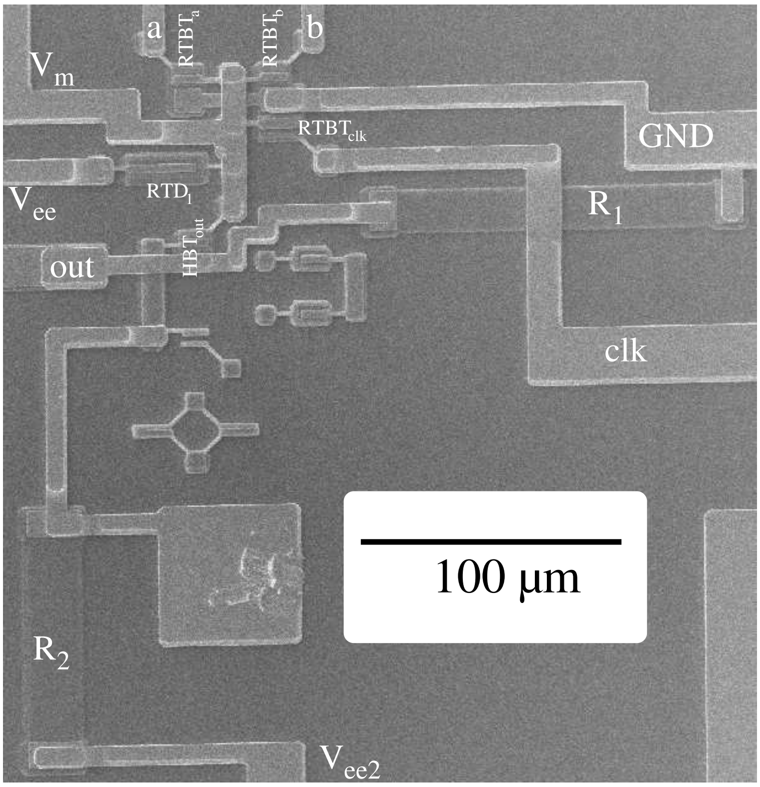


Abbildung 5.11: Mikrofoto des gefertigten RTBT-NOR-Gatters mit stromgegengekoppeltem Emitterfolger ($A \approx 291\mu m \cdot 302\mu m$)

zu einer intrinsischen Schaltzeit von $t_{int} = 47 \cdot 10^{-12}s$ führt. Durch diese Abschätzung lässt sich mit $f_{clk} = 1/(10_{int}) \approx 2,1\,GHz$ auch für die Schaltungsvariante mit dem stromgegengekoppelten Buffer erkennen, dass Frequenzen im GHz-Bereich erreichbar sind.

Bedingt durch den schaltungstechnischen Aufbau kann bei der stromgegengekoppelten Buffervariante die Treiberfähigkeit, im Gegensatz zum Differenzverstärker (vgl. Kapitel 5.1), nur sehr begrenzt durch einen höheren Querstrom erhöht werden. Die große ohmsche Last ($50\,\Omega$) der Messanordnung ließ daher einen Nachweis der logischen Funktion nur bis zu einer Frequenz von $93\,MHz$ zu. Abbildung 5.13 zeigt die zugehörigen Messkurven, bei denen der Querstrom $I_{EE2} = 8\,mA$ betrug.

5.3.1 Verlustleistungs-Verzögerungsprodukt

Die im Schaltvorgang auftretende Verlustleistung P_{MOBsw}, die statische Verlustleistung $P_{MOBstat}$ und die dynamische Verlustleistung P_{MOBdyn} des MOBILEs ergeben sich wie schon in Kapitel 5.1.1 beschrieben zu:

$$P_{MOBsw} = 2\overline{I_{SW}}V_{SW}\frac{t_{CR}}{T} \approx \frac{3}{5}I_P V_P \tag{5.25}$$

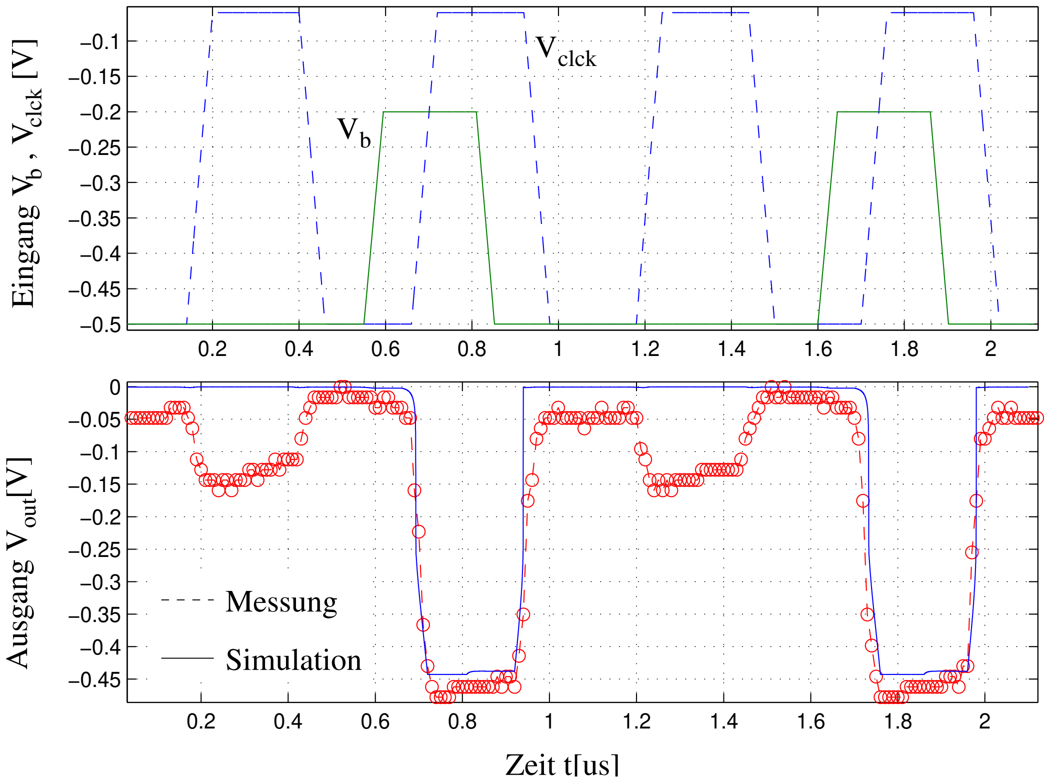


Abbildung 5.12: Messergebnis und HSPICE-Simulation des NOR-Gatters (f(V_{clk})= 2 MHz)

und

$$P_{MOBstat} = I_V|V_{EE}|\frac{t_{CH}}{T} = I_V(2,5V_P + V_{be})\frac{2}{5} = I_V(V_P + \frac{2}{5}V_{be}) \approx \frac{3}{5}V_P I_P \tag{5.26}$$

und

$$P_{MOBdyn} = C_M \overline{V_m^2} f \approx C_M V_P^2 f \quad . \tag{5.27}$$

Der Anteil der stromgegengekoppelten Emitterschaltung an der statischen Verlustleistung hängt vom logischen Zustand des Gatterausgangs ab. Im logischen 1-Zustand fließt praktisch kein Strom durch HBT_{out} und es fällt keine statische Verlustleistung an. Befindet sich der Gatterausgang im logischen 0-Zustand, so fließt ein statischer Strom von $I_{EF} = 4\,mA$. Der gemittelte Strom $\overline{I_m} = \frac{1}{2}I_{EF} \approx \frac{1}{2}I_P$ geht folgendermaßen in die statische Verlustleistung der stromgegengekoppelten Emitterschaltung ein:

$$P_{EFstat} = |V_{EE}|\overline{I_m} \approx (2,5\,V_P + V_{be})\frac{1}{2}I_P \approx 2,5\,V_P I_P \quad . \tag{5.28}$$

Die dynamische Verlustleistung P_{EFdyn} der Emitterschaltung wird bestimmt durch den mit jedem Taktzyklus verbundenen Umladevorgang der internen und externen Lastkapazitäten. Bei

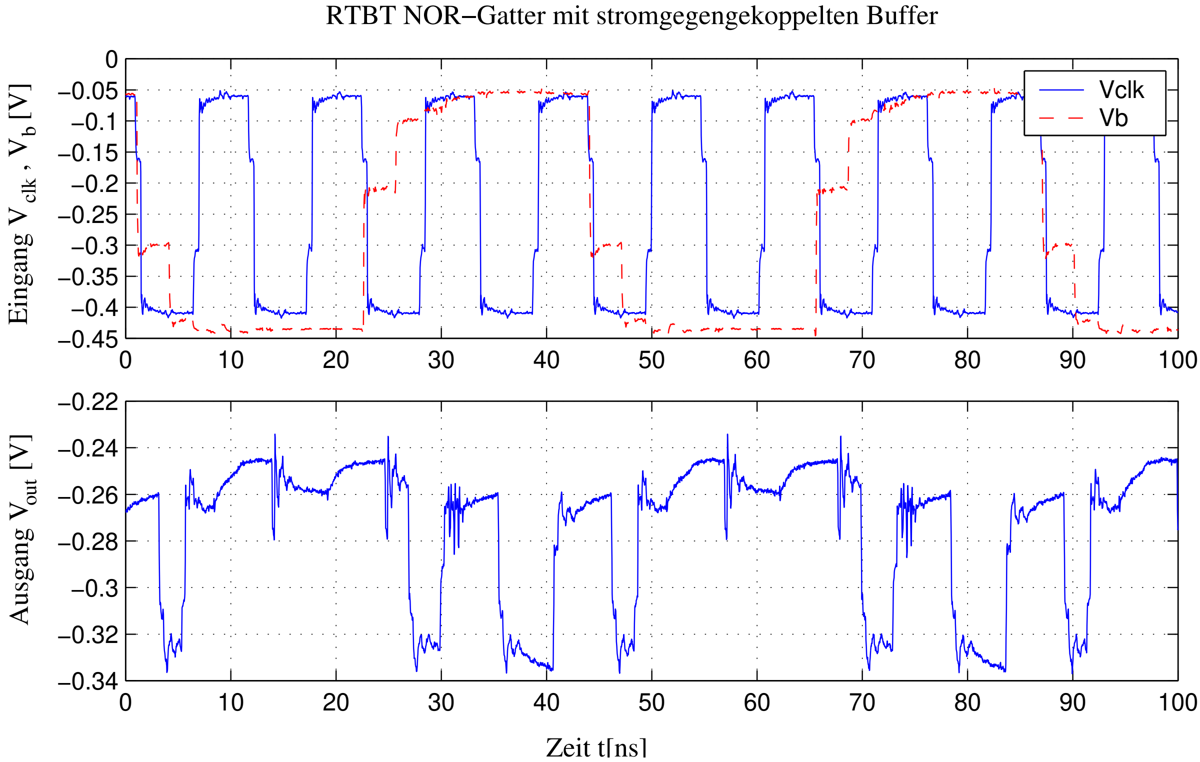


Abbildung 5.13: Messergebnis des gefertigten NOR-Gatters (f(V_{clk})= 93 MHz)

einem Fan-out von Zwei beträgt diese Lastkapazität $C_L = C_{sc} + 2(C_{sc} + C_{de})$. Die dynamische Verlustleistung berechnet sich wie folgt:

$$P_{EFdyn} = C_L |V_{EE}| \Delta V_{out} f \quad . \tag{5.29}$$

In Tabelle 5.2 wird das Skalierungsverhalten des Differenzverstärkers mit der stromgegengekoppelten Emitterschaltung verglichen.

Durch die höhere kapazitive Belastung des Differenzverstärkers ergibt sich ein höherer Speed-Index und eine geringere dynamische Verlustleistung für die Emitterschaltung bei gleicher Spannungsamplitude. Die statische Verlustleistung der Emitterschaltung fällt um 55% geringer aus als bei dem Differenzverstärker, ist aber immer noch etwa doppelt so groß wie die Summe aus der Verlustleistung im Schaltvorgang und der statischen Verlustleistung des MOBILEs.

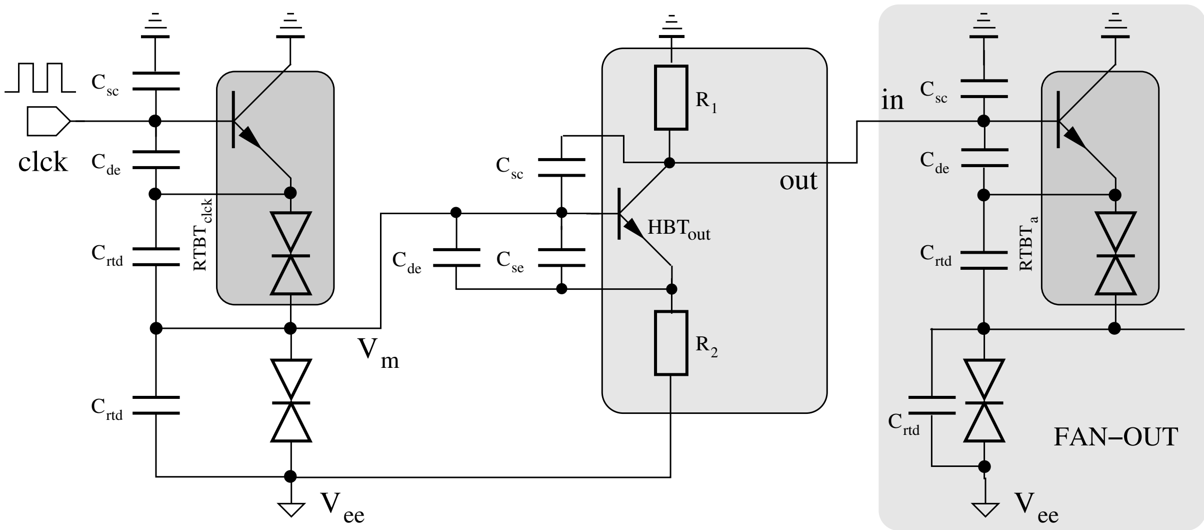


Abbildung 5.14: Schaltungsmodell des NOR-Gatters mit parasitären Kapazitäten bei einem Fan-out von Eins

Tabelle 5.2: Skalierung des Differenzverstärkers im Vergleich mit der stromgegengekoppelten Emitterschaltung

Bezeichnung	**Parameter**	**Einheit**	**Skalierung**
Diff. Lastka. (Fan-out 2)	$C_{Diff-L} = C_{rtd} + C_{sc} + 2(C_{sc} + C_{de})$	fF	$\frac{C_{rtd}}{\kappa^2} + \frac{C_{sc}}{\kappa} + \frac{2(C_{sc}+C_{de})}{\kappa}$
Emit. Lastka. (Fan-out 2)	$C_{EF-L} = C_{sc} + 2(C_{sc} + C_{de})$	fF	$\frac{C_{sc}}{\kappa} + \frac{2(C_{sc}+C_{de})}{\kappa}$
Diff. Speed-Index	$SI_{DIF} = \frac{I_{EE}}{2C_{Diff-L}} \approx \frac{I_P}{2C_{Diff-L}}$	V/ns	α
Emit. Speed-Index	$SI_{EF} = \frac{I_{EE}}{2C_{EF-L}} \approx \frac{I_P}{2C_{EF-L}}$	V/ns	α
stat. Verl. Diff.	$P_{DIFstat} = \frac{28}{5}\ I_P\ V_P$	μW	$\frac{\alpha}{\eta\,\kappa^2}$
stat. Verl. Emit.	$P_{EFstat} = \frac{12{,}5}{5}\ I_P\ V_P$	μW	$\frac{\alpha}{\eta\,\kappa^2}$
Dyn. Verl. Diff.	$P_{DIFdyn} = C_{Diff-L} \lvert V_{EE} \rvert \Delta V_{out} f$	μW	$\frac{\alpha}{\kappa\,\eta}$
Dyn. Verl. Emit.	$P_{EFdyn} = C_{EF-L} \lvert V_{EE} \rvert \Delta V_{out} f$	μW	$\frac{\alpha}{\kappa\,\eta}$

6. Pseudo-dynamische Logik

Ähnlich wie bei der dynamischen Logik wird der Schaltvorgang eines pseudo-dynamischen Gatters durch einen Takt kontrolliert. Jedoch wird im Gegensatz zur dynamischen Logik der logische Zustand nicht in Form einer elektrischen Ladung auf einer Kapazität gespeichert, sondern es wird auf das in Kapitel 4 beschriebene selbst-stabilisierende MOBILE-Prinzip mit integrierter Latchfunktion zurückgegriffen. Die von der dynamischen Logik bekannte Vorladephase (engl. pre-charging) entfällt daher. Dieses Konzept eignet sich zur Implementierung eines Schwellwertgatters, da die Entscheiderfunktion fest mit dem MOBILE-Funktionsprinzip verbunden ist. Die gewichtete Summe der RTBT-Eingangsstufen liegt in Form der Peakstromsumme als diskretes Signal vor. Die Entscheiderfunktion beruht demnach nicht auf einem analogen Signal, sondern auf dem, durch den NDR-Bereich des RTBTs, hervorgerufenen Peakstrom. Die inhärente Verknüpfung von Latch- und Logikfunktion erlaubt eine Pipeline Verarbeitung auf Bit-Ebene, ohne zusätzlichen Pipeline-Overhead.

6.1 2:1 RTBT-Multiplexer

Ausgangspunkte der folgenden Überlegungen zum 2:1 RTBT-Multiplexer sind die MOBILE-Schaltung aus Kapitel 4 und der Differenzverstärker aus Kapitel 5.1. Die beiden MOBILE-Stufen in Abbildung 6.1 bilden jeweils eine logische UND-Funktion, deren Eingangsstufe sich aus zwei RTBTs zusammensetzt.

Die Eingänge $data_a$ und $data_b$ dienen als Signaleingänge, während mit den beiden übrigen Eingängen $clck$ und $\overline{clck}$ der jeweilige Eingangskanal des Multiplexers bestimmt wird. Die Flächendifferenz der RTD-Strukturen wurde mit $\Delta A = 0,5 \cdot A_{min} = 15\mu m^2$ so gewählt, dass sich am Umschaltpunkt ein maximaler Schaltstrom von $1,5 \cdot I_P$ ergibt.

Wie aus Abbildung 6.2 ersichtlich wird, müssen also beide Eingänge eingeschaltet sein, damit das MOBILE in den 1-Zustand schaltet. Durch die komplementären Eingänge $clck$ und $\overline{clck}$ wird sichergestellt, dass stets nur eine der beiden MOBILE-Stufen in den logischen 1-Zustand schalten kann. Befindet sich der Eingang eines Taktsignals im 0-Zustand, so ist dieser Kanal des Multiplexers deaktiviert.

Wie beim NOR-Gatter in Kapitel 5.1 wird das Ausgangssignal des MOBILEs einem Differenzverstärker zugeführt. Durch Parallelschaltung eines weiteren HBTs wird die Ausgangsstufe erweitert, so dass das Signal der zweiten MOBILE-Stufe eingekoppelt werden kann. Wie später noch detailliert diskutiert wird, lassen sich an dieser Schaltung die Möglichkeiten des MOBILE-Konzepts erahnen, die sich aus einer Erweiterung der Eingangsstufe ergeben. Durch weitere

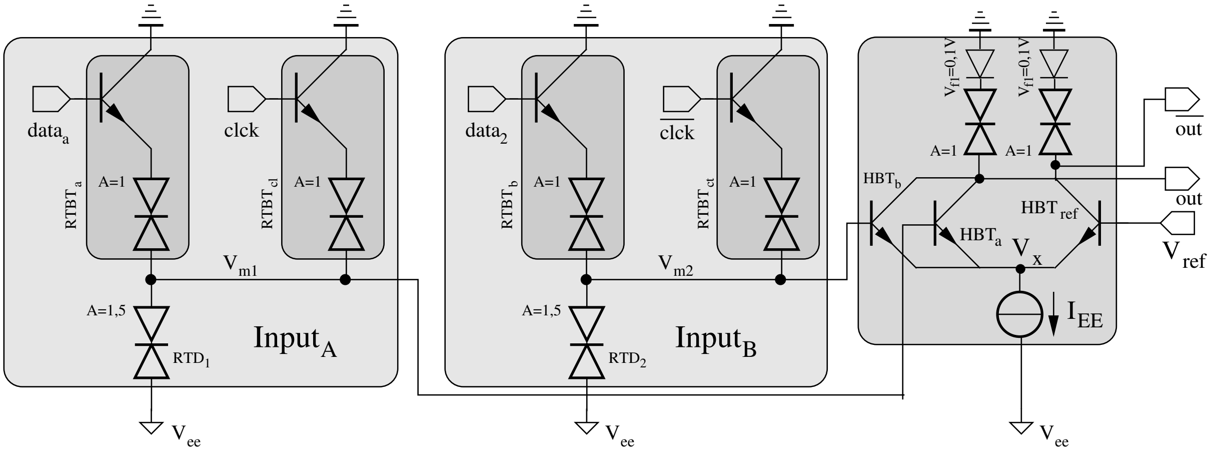


Abbildung 6.1: RTBT-Multiplexer

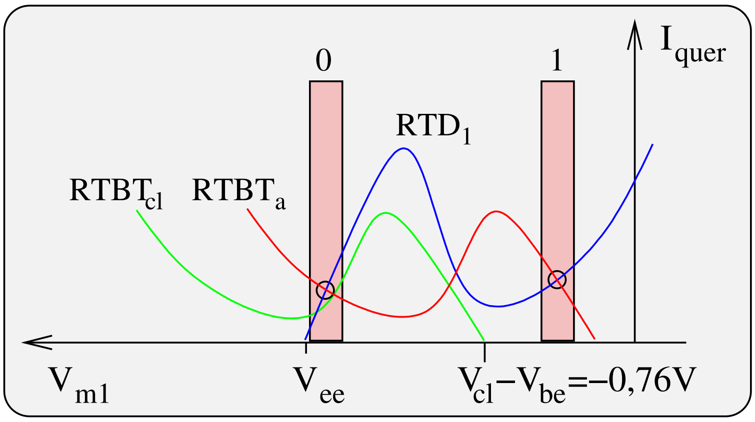


Abbildung 6.2: Strom- Spannungscharakteristik des ersten RTBT-MUX-Kanals

RTBTs in der Eingangsstufe lassen sich mit geringem Bauelementeaufwand komplexe logische Funktionen realisieren.

Multiplexerschaltungen der nächsten Generation von digitalen Empfängern [21], ATM switches und Buffer [49] sind auf höchstintegrierte und kompakte Funktionsblöcke angewiesen.

Die Mikrofotografie der 2:1 RTBT-Multiplexerschaltung ist in Abbildung 6.3 dargestellt. Der symmetrische Aufbau und die Trennung der Eingangs- und Ausgangsstufe ist auch in der realisierten Schaltung erkennbar. Durch die platzsparende monolithische vertikale Integration des RTBTs lässt er sich in der Aufsicht nicht vom HBT unterscheiden.

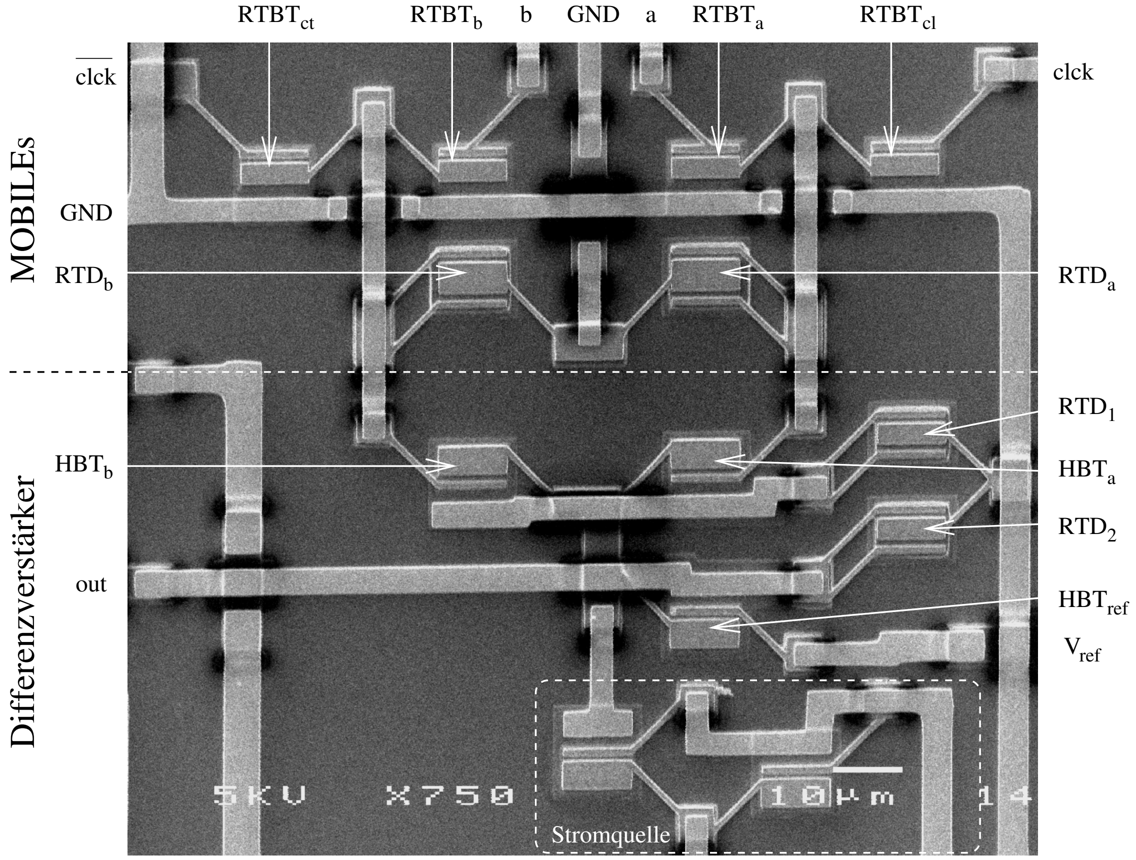


Abbildung 6.3: Mikrofoto des gefertigten 2:1 RTBT-Multiplexers ($A \approx 125\mu m \cdot 130\mu m$)

6.2 RTBT-Schieberegister

Um die Eigenschaften von mehrstufigen getakteten pseudo-dynamischen Schaltungen zu analysieren wurde beispielhaft ein auf RTBTs basierendes Schieberegister untersucht. Schaltungen wie diese finden unter anderem Anwendung in der Breitbandkommunikation [21] und stellen wichtige arithmetische Grundfunktionen zur Verfügung, die beispielsweise bei der Gleitkommaberechnung ihre Anwendung finden [64].

Abbildung 6.4 zeigt die schematische Ansicht des Schieberegisters, das sich aus einer Master-Slave-Flipflop-Konfiguration zusammensetzt. Die einzelnen Zellen bestehen aus HBT-RTD-Kombinationen und weisen die gleiche geringe Komplexität auf wie der 2:1 RTBT-Multiplexer im vorherigen Abschnitt. Die einzeln Stufen bilden bei Aktivierung durch einen logischen 1-Zustand am $clck_1$- bzw. $clck_2$-Eingang eigenständige bistabile Elemente (MOBILE). Diese schalten, wie in Kapitel 4 beschrieben, bei einem gesetzten Eingangssignal in den 1-Zustand und speichern (Latchfunktion) den logischen Zustand bis das zugehörige $clck$-Signal wieder in den 0-Zustand wechselt. Durch Einführung eines doppelt überlappenden Taktschemas (Abb.6.5) werden die einzelnen MOBILEs zeitlich versetzt aktiviert, so dass die Daten in Abhängigkeit von den Takt-

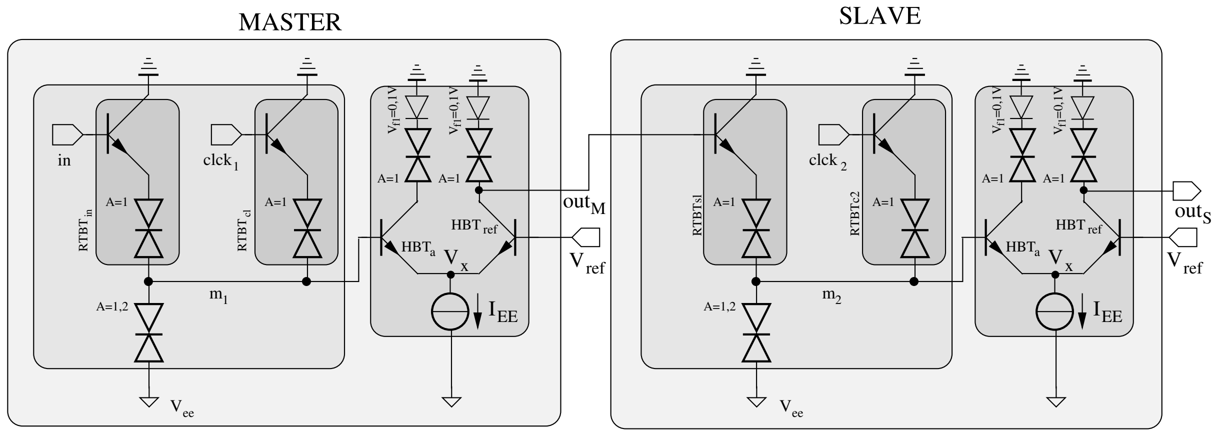


Abbildung 6.4: RTBT-Schieberegister

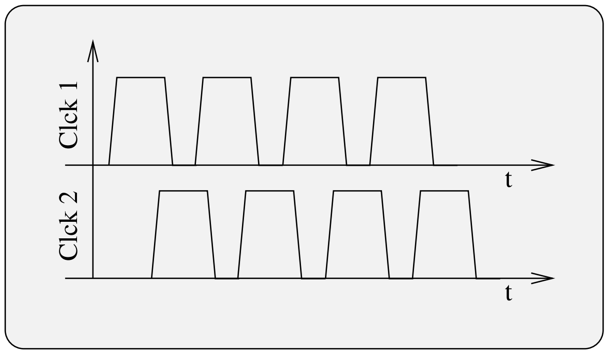


Abbildung 6.5: Doppelt überlappendes Taktschema

signalen durch das Schieberegister propagieren.

Abbildung 6.6 zeigt den Verlauf der simulierten Spannungen bei einer Frequenz von $f_{clck} = 1{,}25\,GHz$. Der logische 1-Zustand wird während der steigenden Taktflanke von $clck_1$ in den in-Eingang eingespeist. Das MOBILE schaltet ab etwa $V_{clck1} = -140\,mV$ in den bistabilen Zustand, so dass sich der Knoten m_1 in Abhängigkeit vom *in*-Eingang im 0- oder 1-Zustand befindet. Die Latchfunktion des MOBILEs wird an dieser Stelle deutlich erkennbar: Befindet sich der Knoten m_1 im 1-Zustand, so bleibt dieser Zustand solange erhalten, bis die Taktflanke von $clck_1$ wieder zum logischen 0-Zustand zurückkehrt und kann durch eine Veränderung am *in*-Eingang nicht mehr beeinflusst werden. Die beiden Taktsignale $clck_1$ und $clck_2$ wurden um $400\,ps$ phasenverschoben, so dass sich ein doppelt überlappendes Taktschema mit einer Anstiegszeit von $100\,ps$ ergibt. Ein gespeicherter 1-Zustand im Knoten m_1 wird über die Leitung out_M des Ausgangsbuffers an die zweite Stufe weiter gereicht, die dann mit steigender Taktflanke von $clck_2$ den Wert der ersten Stufe übernimmt und im Knoten m_2 speichert. Über den Ausgang out_S des zweiten Ausgangsbuffers kann das Signal an nachfolgende Stufen weitergereicht werden.

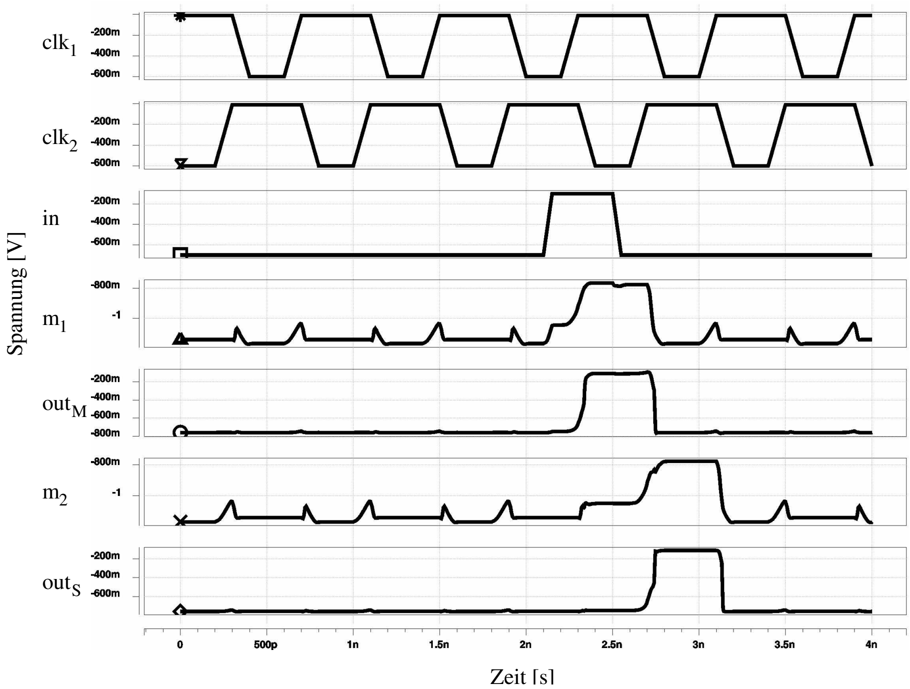


Abbildung 6.6: HSPICE-Simulation des RTBT-Schieberegisters bei einer Taktfrequenz von $f_{clck} = 1,25\,GHz$

6.3 Pseudo-dynamischer RTBT-Volladdierer

Eine der meist benötigten arithmetischen Operationen in modernen anwendungsspezifischen Schaltungen (engl. ASIC) und Mikroprozessoren (engl. CPU) ist die binäre Addition. Sie hat einen großen Einfluss auf die jeweilige Systemleistung, weil sie sich häufig im kritischen Pfad der Logik befindet.

Abbildung 6.7 zeigt das Blockschaltbild des pseudo-dynamischen Volladdierers, der sich aus zwei Stufen zusammensetzt. Während der steigenden Taktflanke werden die jeweiligen Eingänge des Gatters evaluiert. Hierzu ist die, bei dynamischen Gattern vorgelagerte, precharge-Phase überflüssig. Der Ausgang der getakteten Stufen ist während des Nutzzyklus gültig (engl. duty cycle). Um den logischen Ausgangswert von einer Stufe an die nächste zu übergeben, ist daher ein doppelt überlappendes Taktschema (Abb.6.5) notwendig. Während der fallenden Taktflanke kehrt das RTBT-MOBILE vom bistabilen zum monostabilen Zustand zurück und das Gatter wird für eine neue Berechnung zurückgesetzt.

Die erste Stufe, die in Abbildung 6.8 zu sehen ist, besteht aus dem in Kapitel 4.2 beschriebenen Schwellwertgatter und berechnet das Übertragsbit (engl. carry bit) c_{i+1}:

$$c_{i+1} = \text{sign} \ (a_i + b_i + c_i - \Theta_c) \quad . \tag{6.1}$$

In Gleichung 6.1 stellt Θ_c den Schwellwert für die Übertragsberechnung dar und wird zu 2,5 gewählt. Das Übertragsbit c_{i+1} wechselt vom logischen 0-Zustand in den logischen 1-Zustand,

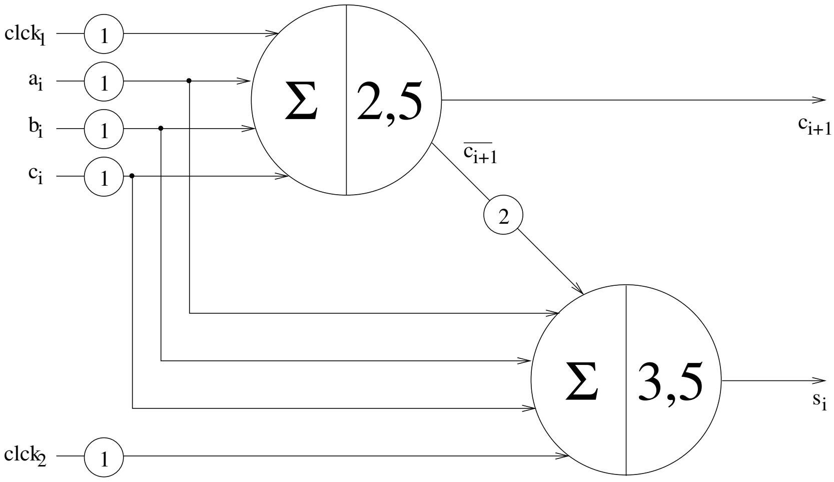


Abbildung 6.7: Blockschaltbild des pseudo-dynamischen Volladdierers

wenn sich wenigstens zwei Eingänge im logischen 1-Zustand, während der steigenden Taktflanke, befinden. Um eine Pegelkompatibilität der einzelnen Stufen zu gewährleisten und um negative Eingangsgewichte zu ermöglichen, wird der in Kapitel 5.1 vorgestellte Differenzverstärker verwendet.

Auch die zweite Stufe des Volladdierers besteht aus einem Schwellwertgatter. Diese Stufe verwendet ein negatives Eingangsgewicht und berechnet das Summenbit (engl. sum bit):

$$s_i = \text{sign}\ (a_i + b_i + c_i - 2 \cdot c_{i+1} - \Theta_s) \quad . \tag{6.2}$$

Um das negative Eingangsgewicht in Gleichung 6.2 schaltungstechnisch umzusetzen, wird anstatt einer Eingangsstufe, die sich parallel zur Schalt-RTD befinden müsste, der invertierte Ausgang $\overline{c_{i+1}}$ der vorherigen Stufe verwendet. Auf diese Weise wird auf eine weitere Spannungsebene verzichtet, deren HBT-Struktur in Sättigung geraten würde [23, 25].

Mit einem Schwellwert von $\Theta_s = 3.5$ berechnet Gleichung 6.3 das Summenbit s_i des pseudo dynamischen Volladdierers:

$$s_i = \text{sign}\ (a_i + b_i + c_i + 2 \cdot \overline{c_{i+1}} - \Theta_s) \quad . \tag{6.3}$$

Aufgrund des no-cut-Effekts [16] ergibt sich kein gemeinsamer Schnittpunkt für den logischen 1-Zustand zwischen den Stromspannungskennlinien des Takt-RTBTs und der Treiber-RTD. Wie in Abbildung 6.9 zu sehen ist, tritt dieser Effekt bei einem größeren Fan-In und gleichzeitig niedrigem Peak-to-Valley Verhältnis (PVR) in Erscheinung. Bei der in dieser Arbeit verwendeten RTD-Struktur mit einem $PVR \approx 5$ lässt sich der no-cut-Effekt für Schwellwertgatter mit einem Fan-In > 3 beobachten. Dieser Effekt kann vermieden werden, indem man die Querschnittsfläche und damit den Peakstrom des Takt-RTBTs vergrößert. Für den konkreten Fall der Summenbitberechnung wurde eine Querschnittsfläche von $A = 1,9$ für den Takt-RTBT gewählt.

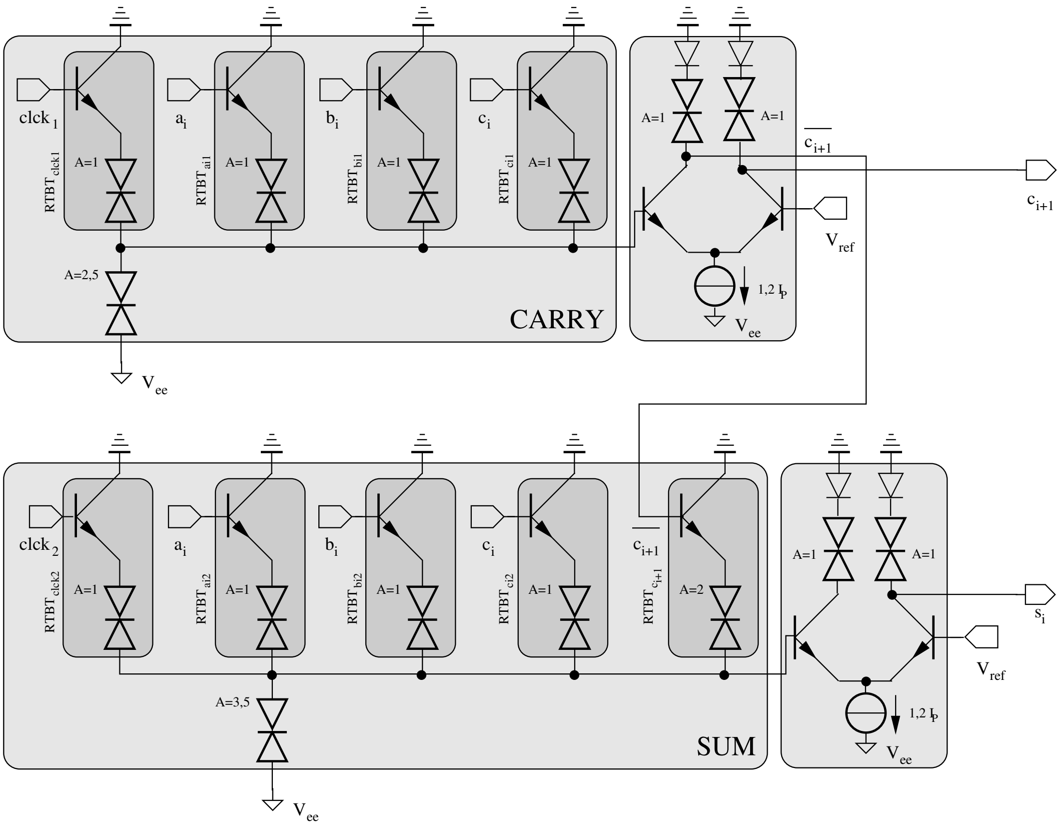


Abbildung 6.8: RTBT-basierter pseudo-dynamischer Volladdierer

Auf eine individuelle Dimensionierung der HBTs zur Anpassung an die verschiedenen Peakströme kann verzichtet werden, weil der stromgesteuerte HBT eine hohe Treiberfähigkeit besitzt. Ein HBT mit minimalen Abmessungen treibt, im Gegensatz zu einer HFET-RTD-Kombination [56], auch RTDs mit größerer Peakstromdichte.

Abbildung 6.10 zeigt den Spannungsverlauf des simulierten pseudo-dynamischen RTBT-Volladdierers bei einer Frequenz von $f_{clck} = 1,25\,GHz$ für die logischen Zustände $a_i + b_i + c_i = 0,1,2,3$. Bei einer konstanten Stromdichte wurde die minimale RTD-Fläche auf $1\mu m$ skaliert. Auch hier lässt sich, wie schon im vorherigen Kapitel, die Latchfunktion des MOBILEs erkennen. Die Ausgangszustände bleiben auch dann noch erhalten, wenn die Eingangssignale auf den logischen 0-Zustand zurückgehen. Die Phasenverschiebung zwischen den Takten $clck_1$ und $clck_2$ beträgt $100\,ps$ mit einer Taktanstiegszeit von $100\,ps$.

Die mittlere Verlustleistung pro Taktzyklus, die sich als zeitliches Mittel aller möglichen Logikkombinationen für die beiden RTBT-MOBILEs ergibt beträgt $\overline{P} = 558\mu W$. Die maximale Verlustleistung im monostabilen-bistabilen Umschaltpunkt der RTBT-MOBILEs beträgt $P_{max} = 1,5\,mW$, während die statische Verlustleistung in der aktiven Taktphase $P_{stat} = 300\mu W$ beträgt. Die Verlustleistung der Differenzverstärker ist nahezu unabhängig vom Schaltzustand des Volladdierers und beträgt $P_{DIF} \approx 1,2\,mW$.

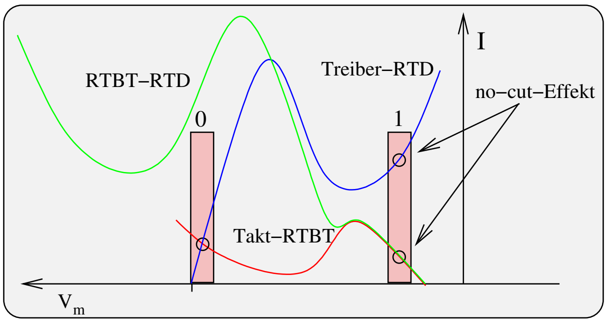


Abbildung 6.9: No-cut-Effekt, der aufgrund eines großen Fan-In entsteht und durch Verbreiterung des Takt-RTBTs vermieden wird

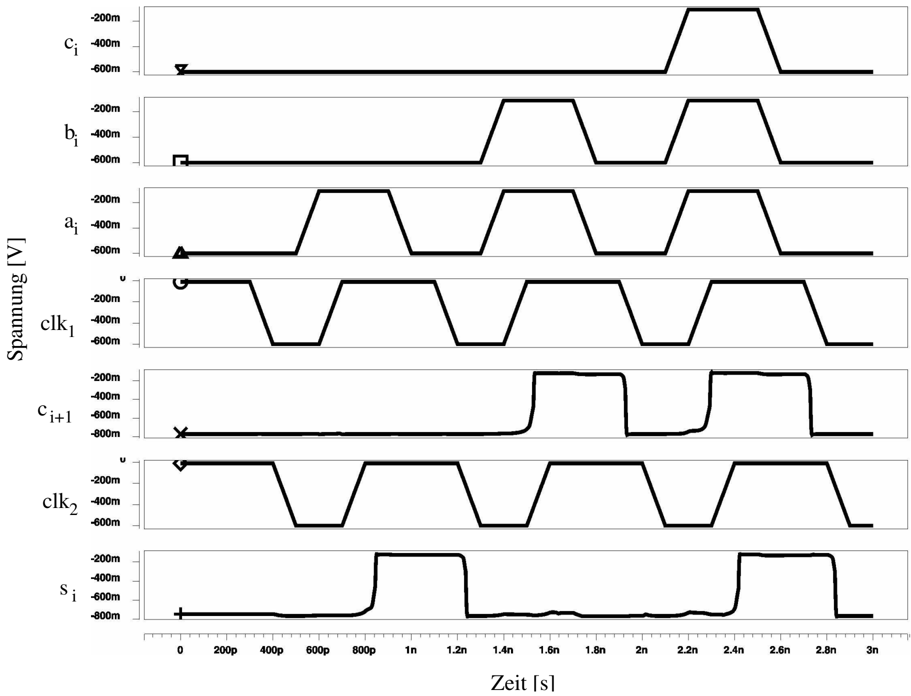


Abbildung 6.10: HSPICE-Simulation des RTBT-Volladdierers bei einer Taktfrequenz von $f_{clck} = 1,25\,GHz$

7. Asynchrone Schaltungstechnik

Sowohl das klassische HFET-RTD-MOBILE als auch das RTBT-MOBILE zeichnen sich durch die Kombination von Logikfunktion und flankengesteuertem Latch in einer einzigen Stufe aus. Dies ist von besonderem Interesse für die synchrone und die asynchrone Pipelineverarbeitung, weil durch die kombinierte Logik-Latch-Funktion kein erhöhter Pipline-overhead in Form einer erhöhten Latenzzeit und zusätzlichen Registern entsteht. Hierbei ist aber zu beachten, dass die synchrone Pipelineverarbeitung aus folgenden Gründen mit steigendem Integrationsgrad und Taktrate immer schwieriger wird:

- Die maximale Taktfrequenz wird begrenzt durch die Chipgröße, denn die Signale breiten sich nur mit endlicher Geschwindigkeit aus (ca. $1\,mm$ pro $100\,ps$). Dies führt zum sogenannten *clock skew*.

- Unbenutzte Komponenten werden mitgeschaltet und verursachen dadurch unnötige Verlustleistung, was zu thermischen Problemen führen kann.

- Die Taktfrequenz der Pipeline richtet sich nach der langsamsten Komponente und bremst das System aus. Der durchschnittliche Datendurchsatz der gleichen Pipeline bei asynchronem Betrieb ist in der Regel wesentlich höher.

- Ein moderner Mikroprozessor wie der Alpha 21164 benötigt 40% seiner Leistungsaufnahme alleine für den Systemtakt [64], so dass durch ein asynchrones Schaltungskonzept die Verlustleistung reduziert wird.

Die internationale Technologie Roadmap [1] sagt bereits für das Jahr 2007 eine Mikroprozessor Chipfläche von $310\,mm^2$ bei einer Packungsdichte von $1357 \cdot 10^6$ Transistoren pro $1\,cm$ und einer Taktfrequenz von $6,4\,GHz$ voraus. Dies hätte zur Folge, dass ein Signal etwa 11 Takte benötigen würde um einen Chip mit einer Kantenlänge von $17,6\,mm$ zu durchqueren. Dieser Trend lässt sich an einer Studie von Intel [8], die von Pacha [56] um das HFET-RTD-MOBILE erweitert wurde, in Abbildung 7.1 ablesen. Mit steigender Taktfrequenz nimmt die Anzahl der Logikstufen zwischen zwei synchronisierenden Pipeline-Registern ab, wodurch der Pipeline-overhead steigt und die Effizienz pro Taktzyklus sinkt.

Um diese Problematik bei zukünftigen Schaltungsarchitekturen zu umgehen, wird im folgenden ein neues asynchrones Schaltungskonzept vorgestellt, das ausgehend vom Sender- Empfängermodell von Sutherland [73] die schaltungstechnischen Vorteile des RTBT-MOBILE-Konzepts gewinnbringend einsetzt. Durch diese neuartige Kombination von asynchronem Schaltungskonzept und einer dynamischen bipolaren Schaltungstechnik mit Quantenbauelementen ergeben

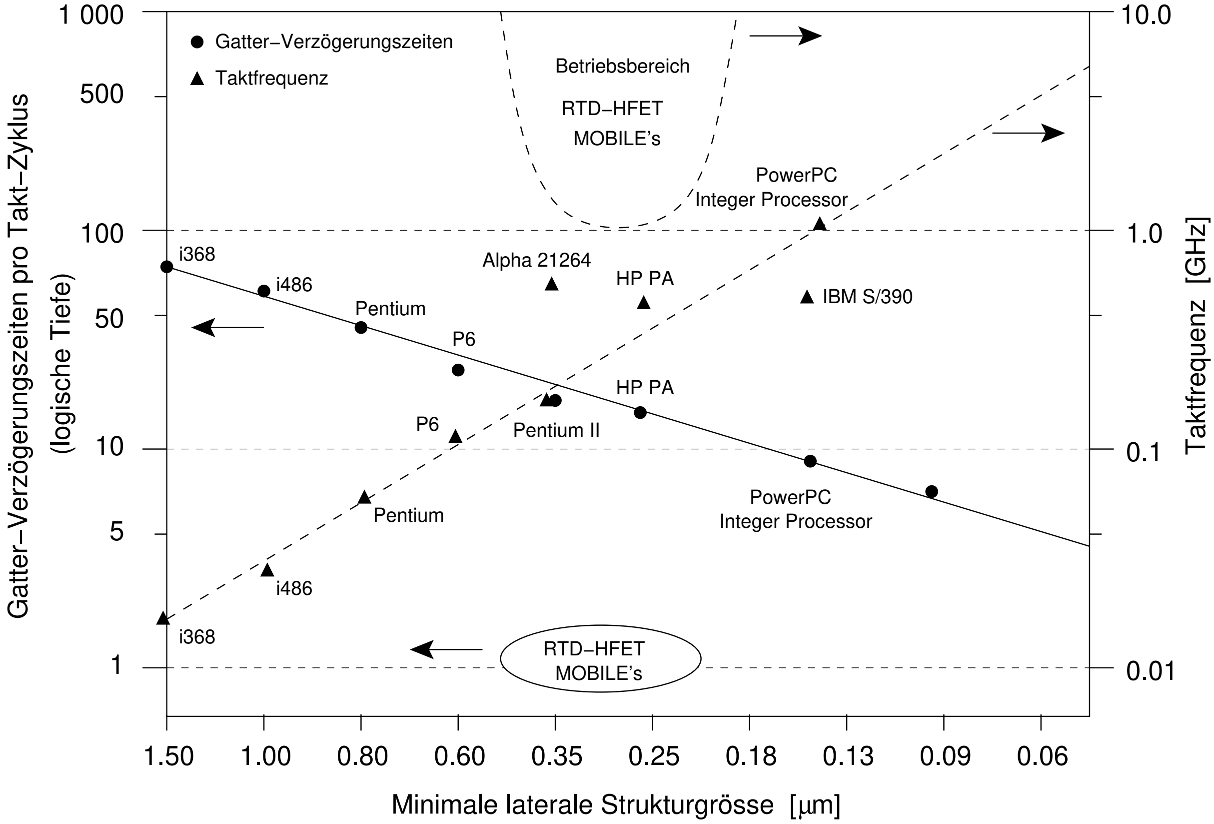


Abbildung 7.1: Abnahme der Logikstufen zwischen den Synchronisierungsregistern

sich dynamische Digitalschaltungen hoher Funktionsdichte. In Kapitel 7.1 wird die klassische asynchrone Pipeline-Architektur vorgestellt. Diese wird in Kapitel 7.2.2 zur asynchronen RTBT-Schaltungstechnik erweitert. Als Beispiel für eine statische Logikschaltung, wie sie bei der asynchronen RTBT-Schaltungstechnik zum Einsatz kommt, wird in Kapitel 7.3 ein statischer RTBT-Volladdierer vorgestellt.

7.1 Asynchrone Schaltungskonzepte

Im Gegensatz zu synchronen Schaltungskonzepten existiert kein globales Taktsignal innerhalb einer asynchronen Schaltung. Stattdessen bedient man sich eines Quittierungs Protokolls, dem sogenannten *handshake* Protokoll, dass mit den beiden Signalen "Anforderung" (engl. *request*) und "Bestätigung" (engl. *acknowledge*) die Übertragung und Verarbeitung von gültigen Daten steuert. Dieses Protokoll kommt zum Einsatz zwischen den einzelnen Pipeline-Stufen und signalisiert das Vorhandensein eines gültigen Datums bzw. bestätigt die Übernahme eines solchen. Durch die Kodierung des Ausgangsdatums auf zwei Leitungen (engl. *dual rail coding*) ist es möglich, festzustellen ob ein gültiges Datum vorhanden ist. Durch diese redundante Datendarstellung ist es für die nachfolgende Stufe möglich festzustellen, wann die Evaluierungsphase der vorherigen Stufe abgeschlossen ist und das gültige Datum übernommen werden kann.

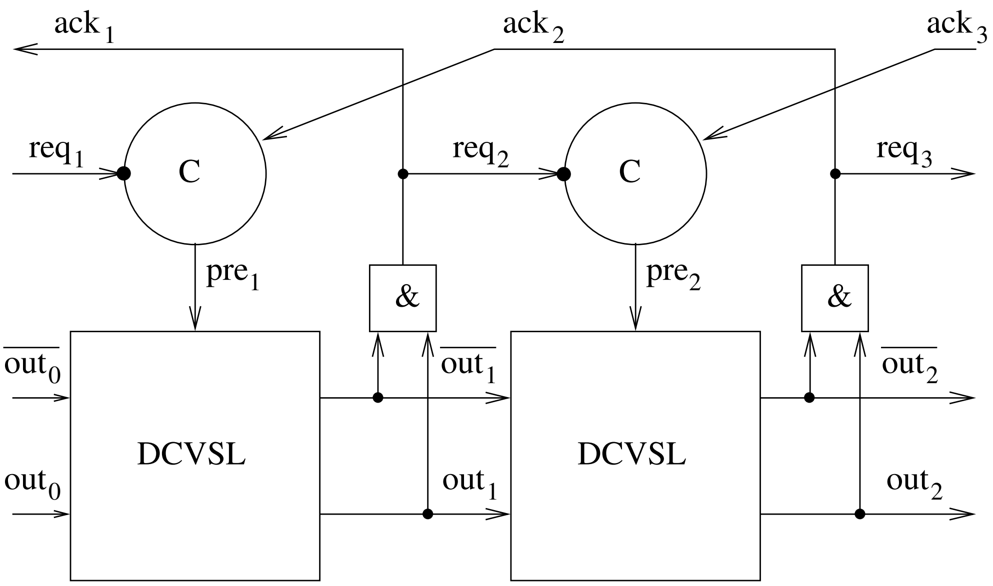


Abbildung 7.2: Klassische asynchrone Pipeline-Architektur

Tabelle 7.1: Redundante Datendarstellung zur Bewertung der Gültigkeit der Daten

Ausgangszustand	*out*	$\overline{out}$
ungültig (busy)	0	0
0	0	1
1	1	0
verboten	1	1

Tabelle 7.1 zeigt hierzu exemplarisch die redundante Datendarstellung wie sie bei der DCVSL (differential cascode voltage switch logic) [34] zum Einsatz kommt. Es liegt in der Natur dieser Logik, dass in der precharge-Phase beide Ausgänge auf den logischen 0-Pegel abgesenkt werden und nur ein Ausgang auf den logischen 1-Pegel in der anschließenden Evaluations-Phase gesetzt wird. So ist es für die nachfolgende Stufe stets möglich über eine UND-Verknüpfung der Signale *out* und $\overline{out}$ die Gültigkeit der Eingangsdaten zu prüfen.

Abbildung 7.2 zeigt die klassische Architektur einer asynchronen Pipeline unter Verwendung der DCVSL und des C-Elements [73]. Die Gültigkeit des jeweiligen Ausgangs wird über die komplementären Ausgangssignale mit einem UND-Gatter bestimmt und dem C-Element der vorherigen Stufe zugeführt. Das C-Element nimmt eine zentrale Rolle bei der asynchronen Datenverarbeitung ein, denn es stellt die strenge Einhaltung des *handshake* Protokolls sicher.

Das Verhalten des C-Elements wird von der Zustandstabelle 7.2 wiedergegeben und lässt sich als ein ereignisgesteuertes UND-Gatter beschreiben. Der Ausgangswert des C-Elements ist eine Kopie der Eingangswerte für den Fall, dass beide Eingangssignale gleich sind. Wenn sich eines der beiden Eingangssignale ändert, verbleibt das C-Element im vorherigen Zustand. Klassisch

Tabelle 7.2: Zustandstabelle des C-Elements

Eingang A	**Eingang** B	**Ausgang** C_{n+1}
0	0	0
0	1	C_n
1	0	C_n
1	1	1

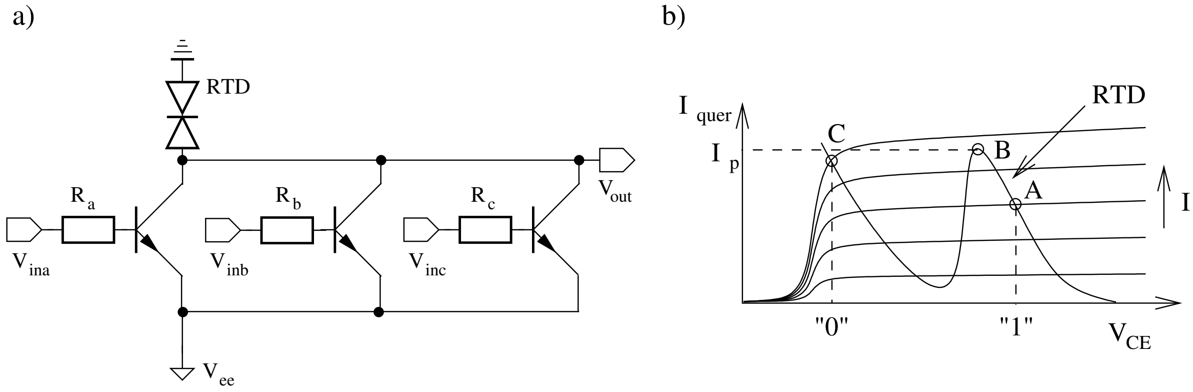


Abbildung 7.3: Statisches Schwellwertgatter mit RTD im Kollektorzweig und HBTs im Pull-down Pfad (a) und zugehöriger Transferkennlinie (b)

lässt sich ein C-Element aus einem RS-Flipflop und zwei UND-Gattern aufbauen [64]. Eine elegantere Möglichkeit mit einem RTBT-MOBILE wird später in Kapitel 7.2.1 vorgestellt.

Das Protokoll schreibt vor, dass ein Gatter über die Beendigung der Berechnung seinen Vorgänger und Nachfolger informiert. Erst wenn das nachfolgende Gatter über das *handshake* Protokoll die Übernahme des Datums bestätigt und das vorherige Gatter ein neues Datum bereithält, kann das Gatter mit einer neuen Berechnung starten. Im Folgenden wird nun das bereits beschriebene Schaltungskonzept der DCVSL-Logik durch das RTBT-MOBILE-Konzept erweitert.

7.2 Statische RTBT-Logik

Beim Design einer asynchronen Schaltungstechnik nehmen, neben den dynamischen, auch die statischen Schaltungskomponenten einen hohen Stellenwert ein. Neben den in Kapitel 3.1 und 3.3 beschriebenen statischen RTBT-Schaltungsvarianten, lässt sich die Resonanz-Tunnelstruktur auch als Lastelement integrieren. Abbildung 7.3 a) zeigt ein statisches Schwellwertgatter, dessen Gewichte sich über die Widerstände R_a, R_b und R_c einstellen lassen.

Durch die Widerstände erfolgt eine Spannungs-Stromwandlung der Eingangssignale. Der Peakstrom I_P der RTD wirkt als Schwellwert für die Stromsumme der Eingangstransistoren.

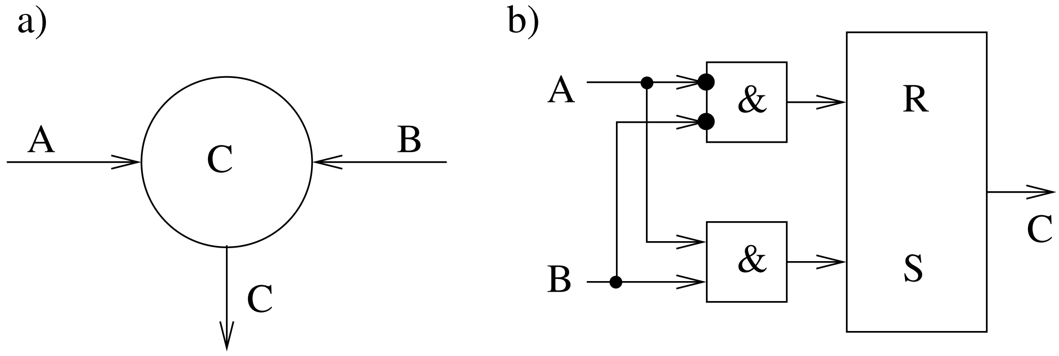


Abbildung 7.4: Schaltungssymbol (a) und klassische schaltungstechnische Realisierung (b) des Muller-C-Elements

7.2.1 RTBT-Muller-C-Element

Das Muller-C-Element lässt sich als ein ereignisgesteuertes UND-Gatter beschreiben; deren Zustände in Tabelle 7.2 zu sehen sind. Abbildung 7.4 zeigt neben dem Schaltungssymbol die klassische schaltungstechnische Realisierung des C-Elements.

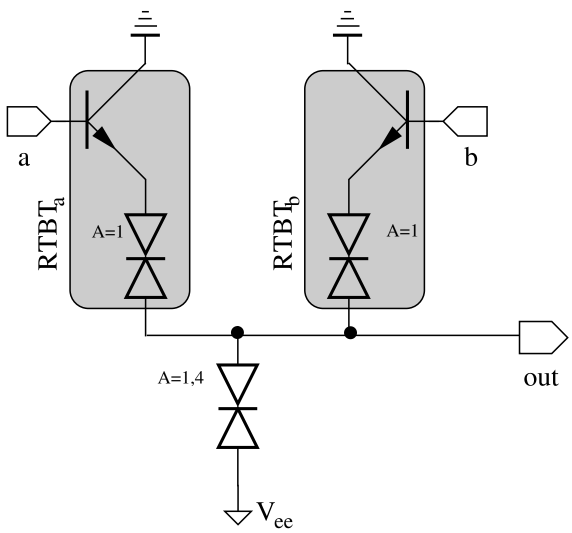


Abbildung 7.5: RTBT-Muller-C-Element

Die Realisierung des C-Elements unter Ausnutzung der intrinsischen Bistabilität ist eine weitere Anwendung von bistabilen RTBT-Schaltungen. Hierzu werden zwei RTBT mit einer RTD in Serie geschaltet (Abb. 7.5). Im Unterschied zum RTBT-MOBILE ist die Versorgungsspannung etwas geringer und der Takteingang entfällt.

Wie in der Strom- Spannungscharakteristik des RTBT C-Elements in Abbildung 7.6 zu sehen ist, liegt die konstante Versorgungsspannung knapp über der zweifachen Peakspannung. Damit

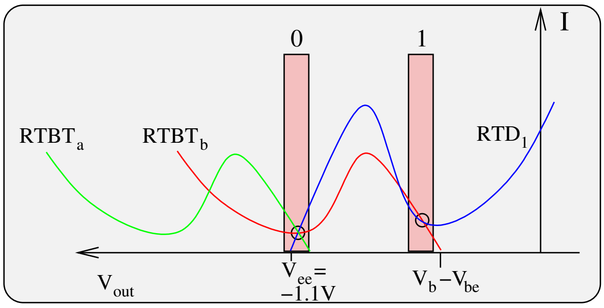


Abbildung 7.6: Strom- Spannungscharakteristik des RTBT C-Elements

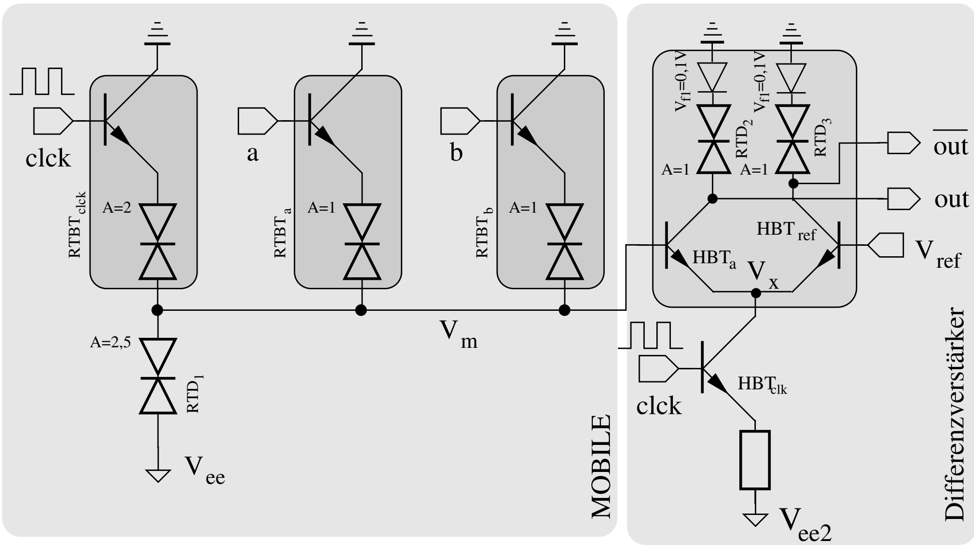


Abbildung 7.7: RTBT-NOR-Gatter mit getaktetem Differenzverstärker

ergeben sich zwei stabile Arbeitspunkte im Lastdiagramm, die die logischen Zustände repräsentieren. Der logische 1-Pegel wird nur erreicht, wenn beide Eingänge a und b den logischen 1-Pegel führen. Befindet sich das RTBT C-Element einmal im logischen 1-Pegel, so bleibt dieser Zustand erhalten, bis beide Eingänge zum logischen 0-Pegel zurückkehren. Falls die Eingänge unterschiedliche Pegel tragen, behält der Ausgang seinen vorherigen Pegel.

7.2.2 Asynchrone RTBT-Schaltungstechnik

Der wesentliche Unterschied zwischen einem synchronen und asynchronen Logikgatter besteht in einem zusätzlichen Mechanismus, der das Ende der aktuellen Berechnung signalisiert und damit die Daten am Ausgang des Gatters als gültig erklärt. Dieser Mechanismus ist in der Regel nicht kostenlos und erfordert zusätzlichen schaltungstechnischen Aufwand. Ein erster einfacher

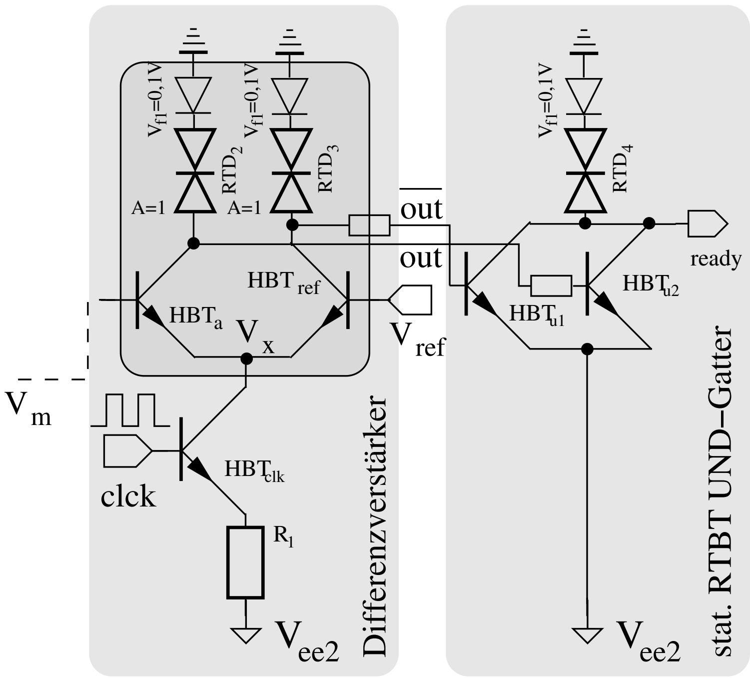


Abbildung 7.8: Getakteter Differenzverstärker mit *ready*-Signal Generierung

Ansatz versucht mit herkömmlichen Gattern auszukommen und stützt sich auf das sogenannte *bounded delay model*. Dieses Modell nimmt einen Maximalwert für die jeweilige Berechnung an und geht vom ungünstigsten Fall aus: Ungünstiges Bitmuster mit vielen Schaltvorgängen, höchste zulässige Temperatur, und geringste zulässige Versorgungsspannung.

Eine schaltungstechnisch schnellere und elegantere Variante ergibt sich durch eine redundante Daten Repräsentation, wie sie in Kapitel 7.1 für die DCVSL-Logik beschrieben wurde. Bei dieser Variante ist es stets möglich, die Gültigkeit der Ausgangsdaten zu erfragen. Im Folgenden soll dieses Verhalten auf das RTBT-MOBILE Konzept übertragen werden. Exemplarisch wird hierzu das RTBT-NOR-Gatter mit Differenzverstärker (Abb. 5.1) aus Kapitel 5.1 derart erweitert, dass die beiden Ausgänge *out* und $\overline{out}$ den gleichen logischen Pegel besitzen, solange die Berechnung des Gatters noch nicht beendet ist. Dieses wird erreicht, indem die Stromquelle I_{EE} des Differenzverstärkers durch den Schalttransistor HBT_{clk} ersetzt wird, der über die gleiche Taktleitung wie der $RTBT_{clk}$ des MOBILEs angesteuert wird. Die Taktleitung wird nicht wie bei einer synchronen Architektur mit einem globalen Taktsignal, sondern über das zugehörige C-Element mit einem lokalen Taktsignal versorgt (siehe Abb. 7.2).

Befindet sich das Taktsignal im logischen 0-Pegel, so ist sowohl das MOBILE als auch der Differenzverstärker in Abbildung 7.7 inaktiv. In diesem Fall ist der Stromfluss durch HBT_{clk} unterbrochen und die beiden Ausgänge *out* und $\overline{out}$ sind über die Schottky-Dioden, RTD_2 und RTD_3 mit *gnd* verbunden. Bezogen auf den logischen Pegel führen beide Ausgänge unter diesen Bedingungen den 1-Pegel.

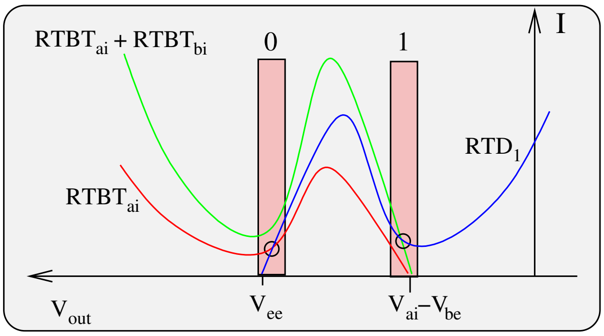


Abbildung 7.9: Strom- Spannungscharakteristik einer einzelnen Multiplexerstufe

Startet das C-Element durch Ausgabe des 1-Pegels die Berechnung des Logikgatters, so wird auch automatisch der Stromspiegel in Betrieb genommen. Nach Beendigung der Evaluierungsphase und des Einschwingvorganges wechselt einer der beiden Ausgänge in den 0-Pegel und das Ergebnis der Berechnung steht unmittelbar am Ausgang des Gatters zur Verfügung. Durch die kombinierte Latch-Logik Funktion des RTBT-MOBILE Konzepts ergibt sich an dieser Stelle ein Zeit- und Flächenvorteil gegenüber der herkömmlichen DCVSL-Logik. Die beiden Phasen *precharge* und *evaluation* verschmelzen bei dem hier neu gewählten Ansatz zu einer einzigen Phase. Die Ausgänge behalten ihre Gültigkeit solange der Takt gesetzt ist. Eine zusätzliche Pufferung durch ein Register entfällt somit.

Zur Auswertung der logischen Ausgangspegel und zur Generierung des End-Signals (*ready*) wird das statische Schwellwertgatter aus Abbildung 7.3 a) eingesetzt. Es kommt an dieser Stelle in einer einfachen Variante als UND-Gatter mit zwei Eingängen zum Einsatz. Abbildung 7.8 zeigt den getakteten Differenzverstärker mit End-Signal Generierung.

7.3 Statischer RTBT-Volladdierer

Inspiriert durch den Entwurf von auf Transfer-Elementen basierenden Volladdierern [79] wird im Folgenden ein neues Volladdierer Design vorgestellt, das auf den in Kapitel 6.1 beschriebenen RTBT-Multiplexer aufbaut. Der wesentliche Unterschied zu der hier verfolgten RTBT-MOBILE-Eingangsstufe ist die auf $V_{ee} = 2V_P$ begrenzte Versorgungsspannung und der gewinnbringende Einsatz des no-cut-Effekts (siehe Kapitel 6.3). Wie in Abbildung 7.9 zu sehen ist, ergibt sich aufgrund der reduzierten Betriebsspannung und des no-cut-Effekts kein Schnittpunkt für den logischen 1-Pegel zwischen den Kennlinien von RTD_1 und $RTBT_{ai}$ bzw. $RTBT_{bi}$. Infolgedessen geht die Latchfunktion für das RTBT-MOBILE verloren und der 1-Pegel wird nur erreicht, solange beide Eingänge auf dem 1-Pegel liegen. Die korrekte logische Funktion ist nur bei unterdrückter Latchfunktion gegeben und daher an dieser Stelle von elementarer Bedeutung. Erst durch den Verzicht auf diese — bei der pseudo-dynamischen-Schaltungstechnik fundamentale — Eigenschaft erhalten beide Eingänge die gleiche Priorität und garantieren das richtige Schaltverhalten.

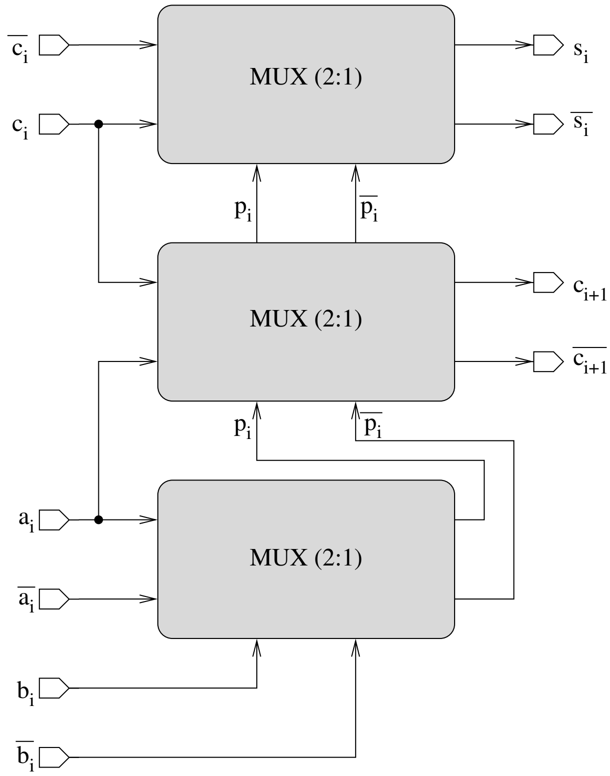


Abbildung 7.10: Blockschaltbild des statischen RTBT-Volladdierers

Abbildung 7.10 zeigt das Blockschaltbild des statischen RTBT-Volladdierers, der sich aus drei statischen 2:1 Multiplexern zusammensetzt und eine geringe logische Tiefe aufweist [28]. Der kritische Pfad verkürzt sich im Vergleich zum pseudo-dynamischen-RTBT-Volladdierer auf eine Stufe, weil das Summen- und das Übertragsbit in dieser Anordnung parallel berechnet werden. Dies ist aufgrund der differenziellen Logik-Pegel, bei denen eine Inversion durch einfaches Vertauschen der Signalleitungen erreicht wird, möglich. Der wesentliche Unterschied zwischen den RTBT-MOBILE-Gattern im statischen und dynamischen Volladdierer ist die Taktstufe.

Abbildung 7.11 zeigt die schematische Ansicht des statischen RTBT-Volladdierers. Aus den Eingangsgrößen a, $\overline{a}$, b und $\overline{b}$ bildet einer der drei Multiplexer die internen Größen p_i und $\overline{p_i}$. Diese internen Größen bilden die zur Kanalwahl nötigen Eingangsgrößen für die beiden übrigen Multiplexer. Diese bestimmen aus den Eingangssignalen a_i, c_i und $\overline{c_i}$ das Summenbit s_i und $\overline{si}$, sowie das Übertragsbit c_{i+1} und $\overline{c_{i+1}}$.

Der Vorteil der statischen Schaltungstechnik gegenüber der RTBT-MOBILE-Schaltungstechnik besteht darin, dass kein doppelt überlappendes Taktschema notwendig ist und somit die logische Tiefe um eine Stufe verringert wird. Durch die Verwendung des gleichen Differenzverstärkers wie bei der RTBT-MOBILE-Schaltungstechnik ergeben sich kompatible Logikpegel.

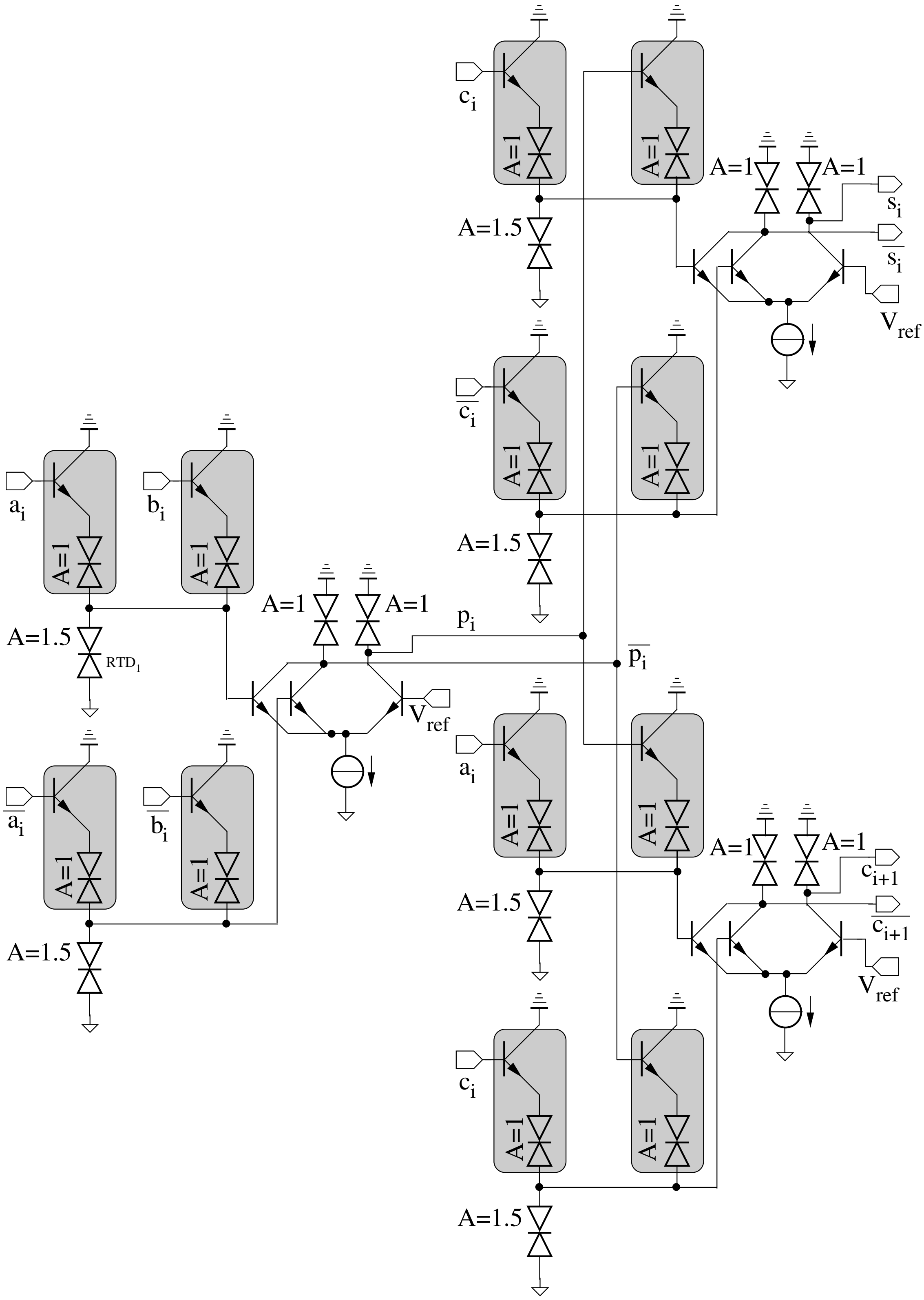


Abbildung 7.11: Statischer RTBT-Volladdierer

8. Bewertung der vorgestellten Schaltungstechniken

8.1 Leistungsvergleich der Volladdierer

Um die Leistungssteigerung und insbesondere die Zunahme der Funktionsdichte der verschiedenen RTBT basierten Schaltungstechniken beurteilen zu können, wird im Folgenden beispielhaft anhand des Volladdierers ein Vergleich zu etablierten Schaltungstechniken angestrebt. Tabelle 8.1 stellt die Eigenschaften verschiedener dynamischer und statischer Volladdiererdesigns in einer technologieunabhängigen Weise dar und vergleicht deren logische Tiefen. Es wird angenommen, dass der Flächenbedarf der verschiedenen Technologien näherungsweise proportional zur Anzahl der verwendeten Transistoren bzw. Bauelemente ist, da die unterschiedlichen RTBT-, ECL- und HFET-RTD-Designs in der gleichen bzw. ähnlichen III-V Halbleitertechnologie implementiert werden können. Um einen Bezug zur Siliziumtechnologie herzustellen wurde das statische CMOS und das dynamische np-CMOS Volladdiererdesign in die Tabelle mit aufgenommen. Zur Gegenüberstellung der verschiedenen Designs wird das normierte Flächen-Zeit-Produkt (engl. Area-Time-Product, ATP) gebildet. Der maximale Fan-in eines Gatters reduziert die Gatterschaltgeschwindigkeit und erhöht die Empfindlichkeit gegenüber Parametervariationen. Die Inverter zur lokalen Takterzeugung, sowie die Referenzspannungsquellen, wurden bei der Bauelementanzahl und der Schaltzeit nicht berücksichtigt.

Beide Varianten von Huber [35] (statisch und dynamisch) sind für größere schaltungstechnische Umsetzungen nicht praktikabel, weil sie die jeweilige logische Funktion über nicht monolithisch integrierbare Widerstände definieren und die Transistoren in Sättigung betreiben (vgl. Kapitel 3). Das dynamische np-CMOS Design schneidet bezüglich des Flächen-Zeit-Produkts wegen der hohen Transistoranzahl am schlechtesten ab. Hinsichtlich des Flächenbedarfs und des normierten Flächen-Zeit-Produkts ist die, in dieser Arbeit vorgestellte, dynamische RTBT-Logik effizienter als die restlichen dynamischen Volladdiererdesigns. Das Flächen-Zeit-Produkt ist etwa um den Faktor 1,5 geringer als beim dynamischen Latched ECL Design. Wegen der differentiellen Signalpegel besitzt der statische RTBT-Volladdierer den geringsten Fan-in. Bezüglich der Transistoranzahl sind der statische ECL Volladdierer und der statische RTBT-Volladdierer etwa gleich groß. Der statische HFET-RTD-Volladdierer weist sowohl die geringste Transistoranzahl als auch das geringste Flächen-Zeit-Produkt auf.

Bedingt durch die Diodenspannung des HBTs bzw. RTBTs ergibt sich im Vergleich zum HFET-RTD-MOBILE eine höhere Betriebsspannung, so dass die mittlere Verlustleistung pro Gatter höher ist. Für RTBT-MOBILE-Gatter (Abb. 8.1) liegt die Verlustleistung bei RTD-Flächen

Tabelle 8.1: Vergleich verschiedener Volladdierer-Designs; RTBT-Schaltungen sind hinsichtlich Anzahl der Schaltelemente und vom ATP [a] am günstigsten

Design	**RTBT / HBT HFET / RTD**	**Wider-stände**	**logische Tiefe**	**ATP** [a]	**Fan-in**
Dynamisch:					
RTBT	13	-	2	26	4
Latched RTBT vgl. Huber [35]	13	16	1	29	3
Latched ECL	30	8	1	38	3
HFET-RTD	16	-	2	32	4
np-CMOS	37	-	2	74	6
Statisch:					
RTBT	21	-	2	42	2
RTBT nach Huber [35]	5	12	2	34	3
ECL	22	4	2	52	3
HFET-RTD	15	-	2	30	4
CMOS	28	-	2	56	12

[a] Flächen-Zeit-Produkt (engl. Area-Time-Product, ATP)

unterhalb von $10\mu m^2$ zwischen $300\mu W$ und $2,5\,mW$. Verglichen mit der HBT-ECL-Logik weist die RTBT-MOBILE-Logik vergleichbare Schaltzeiten auf. Durch die erhöhte Funktionsdichte und der strombegrenzenden Wirkung der Tunnelelemente ist die Verlustleistung jedoch geringer.

8.2 Spannungspegel und Robustheit

Robustheit ist von grundlegender Bedeutung für die Großintegrationstechnik und könnte für zukünftige Mikroprozessoren, sowie für viele andere ICs, von marktentscheidender Bedeutung sein [5]. Aus diesem Grund werden im Folgenden die Auswirkungen von Parametervariationen auf das Schaltverhalten des RTBT-MOBILEs untersucht. Um die Robustheit der RTBT-Eingangsstufe (Abb. 4.1) gegenüber Schwankungen der Versorgungsspannung und der Taktspannung zu untersuchen, wurde die Übertragungsfunktion V_{out} als Funktion der logischen Eingangs-

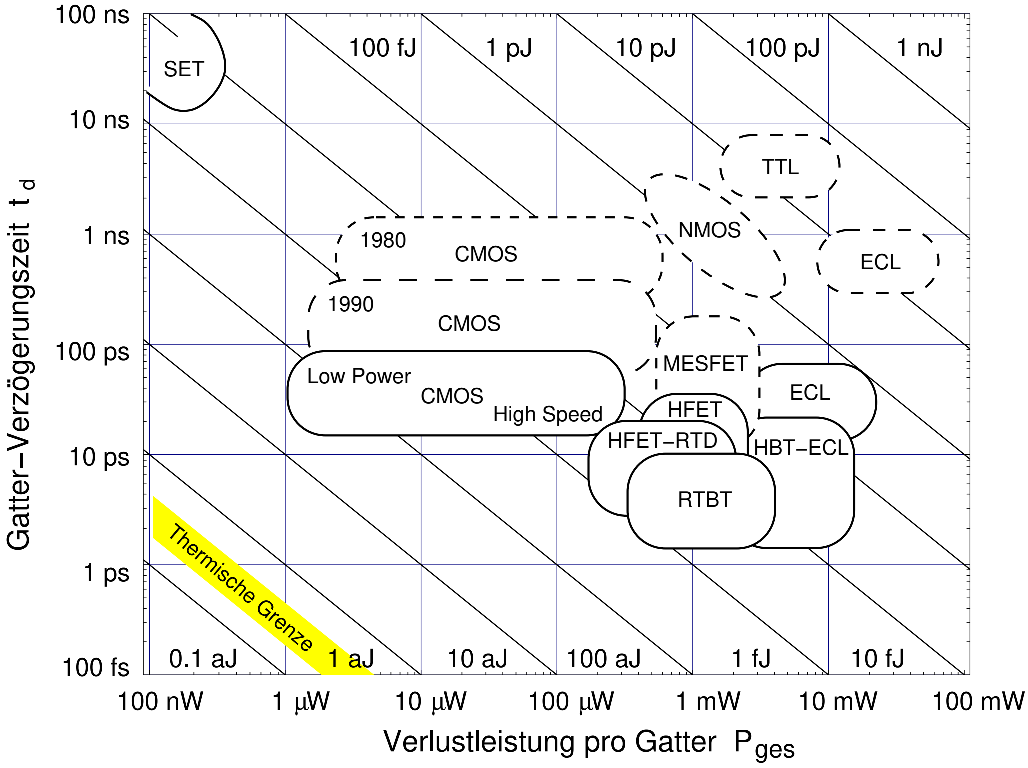


Abbildung 8.1: Verlustleistungs-Verzögerungszeit-Diagramm für verschiedene Halbleitertechnologien und Logikfamilien

größen $V_a = V_{clk}$ und $V_a = -0,5\ V$ simuliert. Die Versorgungsspannung wurde im Bereich von $V_{ee} = -1,15V$ bis $V_{ee} = -1,45V$ in Schritten von $0,1V$ variiert. Zur Abschätzung der Abweichungen von den nominellen Werten $V_L = -1,17\ V$ und $V_H = -0,77\ V$ wurde eine Variation von $\Delta V_{clk} = \Delta V_{ee} = \pm 0,1\ V$ angenommen.

Abbildung 8.2 zeigt den durch Simulation ermittelten Einfluss einer Variation von $\Delta V_{clk} = \pm 0,1\,V$ auf den Ausgang V_{out} der RTBT-Eingangsstufe. Das Simulationsergebnis in Abbildung 8.3 lässt den Einfluss einer Versorgungsspannungsschwankung auf den Ausgang V_{out} erkennen. Beide Variationen beeinflussen die beiden logischen Pegel V_H und V_L auf unterschiedliche Art und Weise: Während der logische 0-Pegel V_L nahezu unbeeinflusst von Taktspannungsschwankungen bleibt, wirken sich Schwankungen der Versorgungsspannung stärker aus. Wie durch die grauen Flächen in den Abbildungen 8.2 und 8.3 zu erkennen ist, lässt sich die Verschiebung von V_H im Bereich von $-0,95\,V < V_H < -0,85\,V$ vornehmlich auf die Variation der Taktspannung zurückführen. Weiter geht aus Abbildung 8.3 hervor, dass es kritisch ist, die Versorgungsspannung über eine bestimmte Spannung zu erhöhen. Eine Versorgungsspannung von $V_{ee} = -1,15\,V$ ist bei einer Taktspannung von $V_{clk} = -0,15\,V$ nicht mehr zulässig, weil die Bifurkationskurve erst oberhalb einer Taktspannung von $-0,1\,V$ öffnet.

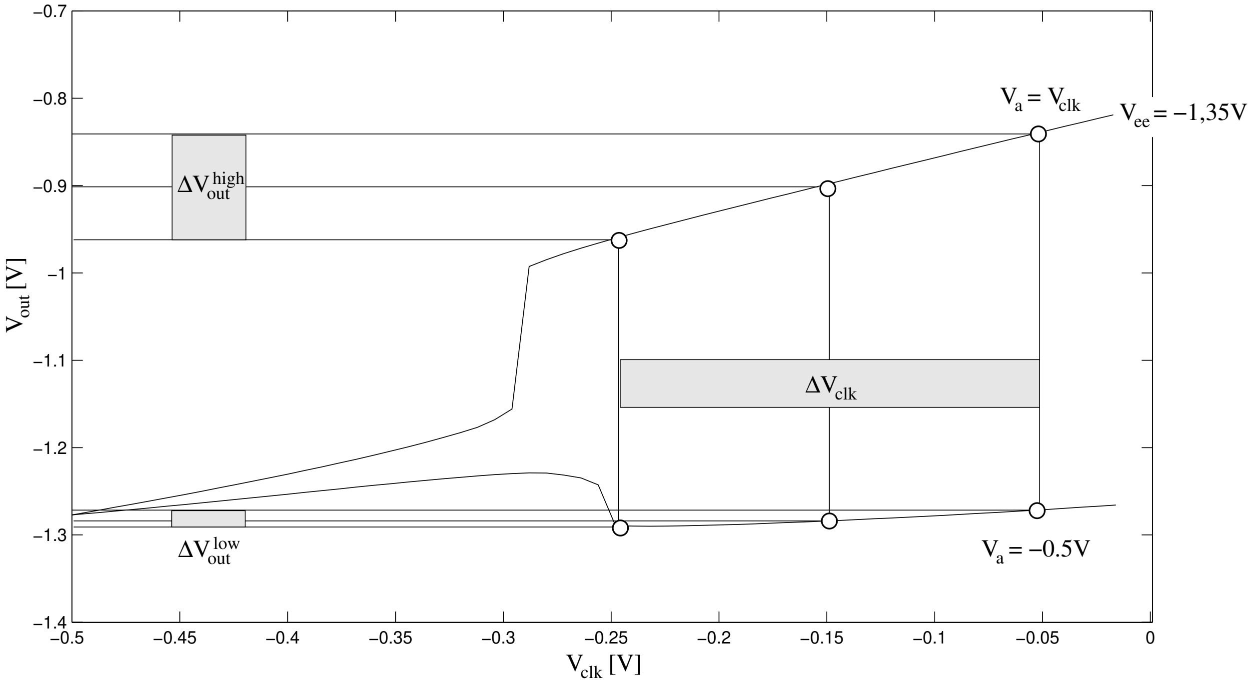


Abbildung 8.2: Auswirkungen von Schwankungen der Taktspannung $\Delta V_{clk} = \pm 0,1V$ auf das RTBT-MOBILE

Die Referenzspannungsquelle (Abb. 5.7) hält die Referenzspannung V_{ref} fortlaufend in der Mitte von V_L und V_H, so dass die korrekten Spannungspegel durch diese Selbst-Justage des Differenzverstärkers sichergestellt werden. Des Weiteren verschiebt sich der Umschaltpunkt V_{SW} vom monostabilen in den bistabilen Arbeitspunkt für kleinere Versorgungsspannungen zu niedrigeren Taktspannungen. Dieses Verhalten tritt in abgeschwächter Form auf, wenn das RTBT-MOBILE in den logischen 0-Pegel schaltet.

Die Pegelkompatibilität der Ein- und Ausgangsspannungen ohne zusätzliche Potentialverschiebestufe (engl. level shifter) ist von großer Bedeutung für jede Logikfamilie und hat direkten Einfluss auf die logische Tiefe. Tabelle 8.2 zeigt die verschiedenen Spannungspegel der HFET-RTD-Logik [56] im Vergleich zu denen der RTBT-Logik. Wegen der vom Materialsystem vorgegebenen Basis-Emitter-Spannung V_{be} des RTBTs ist die Betriebsspannung des RTBT-MOBILEs geringfügig höher als die des HFET-RTD-MOBILEs.

Der unterschiedliche Einfluss von Parameterschwankungen auf beide MOBILE-Typen wird in Tabelle 8.3 gegenübergestellt. Der logische 0-Pegel des HFET-RTD-MOBILE verhält sich robuster bezüglich Schwankungen der Takt- und Versorgungsspannung als der 0-Pegel des RTBT-MOBILEs. Der logische 1-Pegel des RTBT-MOBILEs erweist sich hingegen robuster als der 1-Pegel des HFET-RTD-MOBILEs. Der Spannungsversatz der Schaltspannung V_{SW} in Abhängigkeit von der Versorgungsspannung verhält sich für beide MOBILE-Typen identisch. Eine Erhöhung der Versorgungsspannung reduziert in beiden Fällen die Schaltspannung ΔV_{SW}.

Abweichungen der Spannungspegel haben auf das RTBT-MOBILE einen geringeren Einfluss

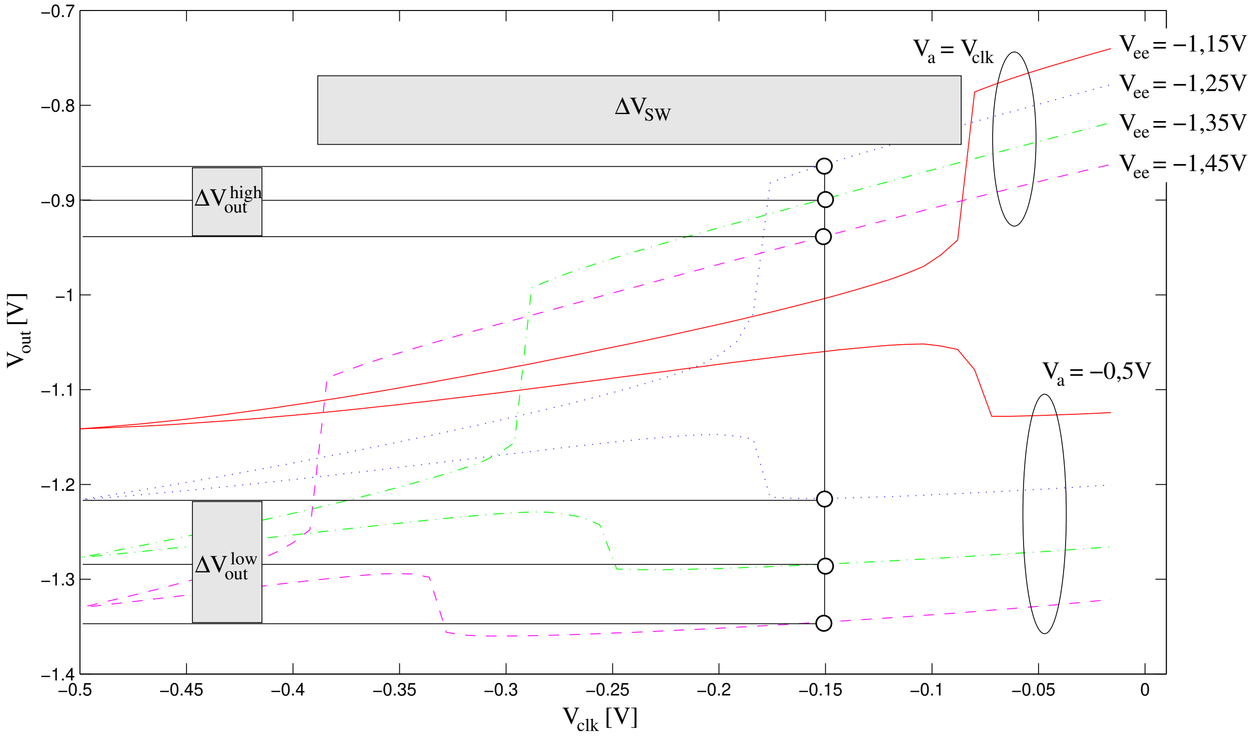


Abbildung 8.3: Auswirkungen von Schwankungen im Bereich von $-1,15V$ bis $-1,45V$ der Versorgungsspannung auf das RTBT-MOBILE

als auf das HFET-RTD-MOBILE [26]. Durch die Selbst-Justage der Referenzspannungsquelle (Abb. 5.7) regeneriert der Differenzverstärker die korrekten Spannungspegel.

Auf Grund der Tatsache, dass das RTBT-MOBILE zwischen dem lateralen Skalierungsfaktor κ und dem Skalierungsfaktor α, der für die Peakstromdichte zuständig ist, unterscheidet, kann durch eine Veränderung von α direkt Einfluss auf den Speed-Index und den Fan-out der Schaltung genommen werden. Die Funktion des einzelnen Transistors ist somit auf die eines Schalters reduziert worden, der durch die Resonanz-Tunnelstruktur eine Strombegrenzung erfährt. Durch das exponentielle Verhältnis zwischen Basis- und Emitterstrom und der inhärent höheren Steilheit des HBTs ist es für einen skalierten HBT einfacher, diese Anforderungen zu erfüllen als für einen HFET. Im Gegensatz zu der HFET-RTD-Kombination wird beim RTBT die Einsatzspannung durch den Bandabstand des Basis- und Emitterhalbleitermaterials bestimmt. Neben anderen Effekten wird die Einsatzspannung des HFETs durch die Dotierstoffkonzentration bestimmt, so dass bei fortschreitender Skalierung eine genaue Kontrolle der Einsatzspannung immer schwieriger wird [46].

Die in Tabelle 5.1 betrachtete einfache Näherung des Skalierungsverhaltens vom RTBT-MOBILE lässt erkennen, dass auch für hohe Taktfrequenzen die Verlustleistung vornehmlich durch die statische Verlustleistung des Differenzverstärkers bestimmt wird.

Tabelle 8.2: Vergleich zwischen den Spannungspegeln des HFET-RTD- und RTBT-MOBILEs

Spannung	HFET-RTD-MOBILE	RTBT-MOBILE
Betriebsspannung	$V_{DD} = 2,5V_P \approx 0.7V$	$V_{EE} = -2,5V_P - V_{be} \approx -1,15V$
Schaltspannung V_{SW}	$0,5V$	$-0,14V$
Logischer 0-Pegel V_L	$0,05V$	$-0,4V$
Logischer 1-Pegel V_H	$0,7V$	$-0,1V$
Spannungsamplitude ΔV	$= 2 - 2,5V_P \approx 0,65V$	$\approx 2V_P = 0,3V$

Tabelle 8.3: Fluktuations Einfluss auf $\Delta V_{clk} = \pm 0,1V$, $\Delta V_{DD} = \pm 0,1V$ und $\Delta V_{ee} = \pm 0,1V$

Spannung	HFET-RTD-MOBILE	RTBT-MOBILE
Logischer 0-Pegel ΔV_L	$0,02V$	$0,06V$
Logischer 1-Pegel ΔV_H	$0,09V$	$0,05V$
Schaltspannung ΔV_{SW}	$0,3V$	$0,3V$

8.3 Ausblick

Bedingt durch die höhere Verlustleistung des RTBT-MOBILEs im Vergleich zum HFET-RTD-MOBILE ist das, in dieser Arbeit vorgestellte, RTBT-Konzept bei Anwendungen, bei denen keine hohe Verarbeitungsgeschwindigkeit notwendig ist und stattdessen ein möglichst geringer Energieverbrauch (z.B. mobile computing) im Vordergrund steht nicht unmittelbar konkurrenzfähig. Vielmehr sind potentielle Anwendungen im Bereich von signalverarbeitenden Schaltungen geringer Komplexität zu finden. Inwieweit die vorgestellten Schaltungskonzepte für die weitere Entwicklung der Mikro- bzw. Nanoelektronik von Relevanz sind, hängt stark von der weiteren Entwicklung bestehender Technologien ab. So sagt die internationale Technologie Roadmap [1] das Ende der Skalierbarkeit der CMOS Technologie bei einer physikalischen Kanallänge von $9\,nm$ für das Jahr 2016 voraus. Die Berücksichtigung innovativer Technologien und Schaltungskonzepte in der Roadmap, wie z.B. der Polymerelektronik, geben für die Tunnelbauelemente einen klaren Hinweis auf anwendungsrelevante Aspekte.

9. Zusammenfassung

Im Rahmen der vorliegenden Arbeit wurden auf Grundlage des Resonanz-Tunnel-Heterostruktur-Bipolar-Transistors (RTBT) dynamische Digitalschaltungen und Architekturen vorgestellt, die sich durch eine hohe Funktionsdichte auszeichnen. Insbesondere konnte für dynamische RTBT-Gatter innerhalb der gleichen Technologie ein Flächen-Zeit-Produkt nachgewiesen werden, das um den Faktor 1,5 unter dem eines Latched ECL-Gatters liegt. Ausgehend von einer Analyse der elektrischen Eigenschaften der stromgesteuerten Bauelemente (HBT, RTD) wurde deren monolithische Verschmelzung zum dreipoligen RTBT dargelegt und anhand von bestehenden Schaltungstechniken analysiert. Durch die Erweiterung des Monostabil-Bistabilen-Logikelement (MOBILE) Konzepts durch den RTBT wurde erstmalig ein dynamisches, stromgesteuertes Schaltungskonzept für Quantenbauelemente demonstriert, das die wesentlichen Anforderungen an eine robuste Logikfamilie erfüllt. Der zur Regeneration der Logikpegel und zur Invertierung der logischen Funktion notwendige Ausgangsbuffer wurde sowohl auf Grundlage theoretischer Überlegungen, als auch durch Messungen an verschiedenen Testschaltungen detailliert diskutiert. Als Grundlage für den digitalen Schaltungsentwurf wurden die Modellparameter der physikalisch basierten HSPICE-Modelle an die jeweiligen experimentell gewonnenen Strom-Spannungskennlinien der Einzelbauelemente angepasst. Das statische und dynamische Schaltverhalten sowie die Verlustleistung des RTBT-MOBILEs in Kombination mit den verschiedenen Ausgangsbuffervarianten wurde exemplarisch anhand eines RTBT-NOR-Gatters untersucht und mit bestehenden Schaltungstechniken verglichen. Hierzu wurden Skalierungsgesetze für die elektrischen Kenngrößen des RTBT-MOBILEs nach dem Prinzip der ähnlichen Verkleinerung aufgestellt. Durch die Verwendung stromgesteuerter Bauelemente wurde eine erhöhte Robustheit gegenüber Bauelementparameterschwankungen erreicht und das Problem der Enhancement-Type-HFETs beim HFET-RTD-MOBILE gelöst.

Die hohe Treiberfähigkeit des RTBT-MOBILEs beruht auf den stromgesteuerten Bauelementen sowie auf dem Ausgangsbuffer, so dass auf Gatterebene sowohl durch Simulation, als auch experimentell Taktfrequenzen im GHz-Bereich nachgewiesen werden konnten. Zur Steuerung mehrstufiger Schaltungen ist in diesem Zusammenhang ein überlappendes Taktschema für synchrone Digitalschaltungen notwendig. In Verbindung mit der reduzierten Schaltungskomplexität ergibt sich eine Pipeline-Verarbeitung auf Bit-Ebene, die unter anderem für einen pseudodynamischen RTBT-Volladdierer vorgestellt wurde. Alternativ wurde ein geeignetes asynchrones Schaltungskonzept vorgestellt, das durch die kombinierte Latch-Logik Funktion des RTBT-MOBILEs gewisse Vorteile bietet. Ausgehend von der klassischen asynchronen Pipeline-Architektur und dem Schaltungskonzept der DCVSL-Logik wurde eine asynchrone RTBT-Schaltungstechnik vorgestellt. Hierzu wurde das RTBT-MOBILE um statische RTBT-Logikkomponenten wie einem Muller C-Element und einem UND-Gatter erweitert. Weiterhin wurde die reduzierte Schaltungskomplexität der RTBT-MOBILE Schaltungstechnik in Verbindung mit der Schwellwertlogik sowohl für Multiplexer- und Schieberegister- als auch für statische Speicheranwendungen demonstriert.

Die vorgestellte Designstrategie wurde mit dem schon bestehenden HFET-RTD-MOBILE Konzept in den Punkten der Skalierbarkeit, Verzögerungszeit und Verlustleistung verglichen. Anhand von detaillierten HSPICE Simulationen, die sich auf experimentelle Daten stützen, wurde der Einfluss von Parameterschwankungen auf das Schaltverhalten untersucht. Zusammenfassend lässt sich festhalten, dass das RTBT-MOBILE die gleiche Robustheit gegenüber Schwankungen der Versorgungsspannung aufweist wie das HFET-RTD-MOBILE. Es bietet dabei eine höhere Treiberfähigkeit zum Preis eines höheren Verlustleistungs-Verzögerungs-Produkts.

Diese Arbeit zeigt, dass das RTBT-MOBILE bereits die nötige schaltungstechnische Reife für den Einsatz in digitalen Schaltungen wie z.B. linearen Schwellwertgattern, die eine deutliche Reduzierung der logischen Tiefe und der Schaltungskomplexität ermöglichen, besitzt. Im Vergleich zu anderen III-V-Logikfamilien weist die RTBT-MOBILE Logik vergleichbare Schaltzeiten bei geringerer Bauelementanzahl und Verlustleistung auf. Die jüngsten, auf Siliziumhalbleitermaterial basierenden Erfolge von Interband- [15, 52] und Resonanz- [60, 70] Tunnelbauelementen zeigen ein vorhandenes Potential zur Schaltungsfertigung [52]. Damit können die im Rahmen dieser Arbeit vorgestellten Schaltungskonzepte und Designstrategien in die Siliziumtechnologie überführt werden.

Literaturverzeichnis

[1] *International Technology Roadmap for Semiconductors*. http://public.itrs.net, 2001.

[2] AKEYOSHI, T., K. MAEZAWA und T. MIZUTANI: *Weighted Sum Threshold Logic Operation of MOBILE's (Monostable-Bistable Transition Logic Element) Using Resonant-Tunneling Transistors*. IEEE Electron Device Letters, 14(10):475–477, Oktober 1993.

[3] AUER, U. und W. PROST: *Layout eines Volladdierers in RTD-HFET Technologie*. Internal Report, MEL-ARI LOCOM Project Meeting, Februar 2000.

[4] AVANT!: *Star-Hspice Manual*, Release 1999.2 Auflage, Juni 1999.

[5] BASS, M.J. und C.M. CHRISTENSEN: *The Future of the Microprocessor Business*. IEEE Spectrum, Seiten 34–39, April 2002.

[6] BETSER, Y., D. SCOTT, D. MENSA, S. JAGANATHAN, T. MATHEW und M. J. RODWELL: *InAlAs/InGaAs HBTs with Simultaneously High Values of F_T and F_{max} for Mixed Analog/Digital Applications*. IEEE Electron Device Letters, 22(2):56–58, February 2001.

[7] BHATTACHARYA, M.: *Simulation and Emulation of Digital Integrated Circuits Containing Resonant Tunneling Diodes*. Dissertation, University of Michigan, Computer Science and Engineering, 1999.

[8] BORKAR, S.: *Technology Trends and Design Challenges for Microprocessor Designs*. In: *Proceedings of the 24th European Solid-State Circuits Conference ESSCIRC, The Hague, NL*, Seiten 7–8, September 1998.

[9] BROEKAERT, T.P.E., B. BRAR, J.P.A. VAN DER WAGT, A.C. SEABAUGH, F. MORRIS, T. MOISE, E.A. BEAM und G. FRAZIER: *A Monolithic 4-Bit 2 GSps Resonant Tunneling Analog-to-Digital Converter*. IEEE Journal of Soild-State Circuits, 33(9):1342–1349, September 1998.

[10] CAPASSO, F., S. SEN, F. BELTRAM, L.M. LUNARDI, A.S. VENGURLEKAR, P.R. SMITH, N.J. SHAH, R.J. MALIK und A.Y. CHO: *Quantum Functional Devices: Resonant-Tunneling Transistors, Circuits with Reduced Complexity , and Multiple-Valued Logic*. IEEE Transactions on Electron Devices, 10(36):2065–2082, Oktober 1989.

[11] CHANG, L.L., L. ESAKI und R. TSU: *Resonant tunneling in semiconductor double barriers*. Applied Physics Letters, 24(12):593–595, Juni 1974.

[12] CHAN, H. L., S. MOHAN, , P. MAZUMDER und G.I. HADDAD: *Compact Multiple-Valued Multiplexers Using Negative Differential Resistance Devices*. IEEE Journal of Solid-State Circuits, 31(8):1151–1156, August 1996.

[13] CHEN, K.J., K. MAEZAWA und M. YAMAMOTO: *InP-Based High-Performance Monostable-Bistable Transition Logic Element (MOBILE): an Intelligent Logic Gate Featuring Weighted-Sum Threshold Operations*. Japanese Journal of Applied Physics, Part I, 35(2B):1172–1177, Februar 1996.

[14] COMPANO, R. und OTHERS: *Technology Roadmap For Nanoelectronics, 2^{nd} Edition*. European Commission, IST Programme, Future and Emerging Technologies, Microelectronics Advanced Research Initiative, November 2000.

[15] DASHIELL, M.W., R.T. TROEGER, S.L. ROMMEL, T.N. ADAM, P.R. BERGER, C. GUEDJ, J. KOLODZEY, A. SEABAUGH und R. LAKE: *Current -voltage characteristics of high current density silicon Esaki diodes grown by molecular beam epitaxy and the influence of thermal annealing*. IEEE Trans. Electron Devices, 47(9):1707–1714, 2000.

[16] DOMÍNGUEZ MARTÍNEZ, PEDRO JOSÉ: *Functional Inegration of RTBT based Multipliers*. Diplomarbeit, Universität Dortmund, 2001.

[17] EBERS, J. J. und J. L. MOLL: *Large-signal behavior of junction transistors*. In: *IRE*, Band 42, Seiten 1761–1772, Dec 1954.

[18] ESAKI, L.: *New Phenomenon in Narrow Germanium p-n-Junctions*. Phys. Rev., 109(603), 1958.

[19] FERRY, D.K und S.M. GOODNICK: *Transport in Nanostructures*. Camebridge University Press, 1997.

[20] FORSHAW, M., K. NIKOLIĆ, P. GLÖSEKÖTTER, C. PACHA, J. HOEKSTRA, R. KUNDERAND M. MACUCCI und K. GOSER: *Autonomous Nanoelectronic Systems With Extended Replications and Signaling (ANSWERS), Final Report, Juli 1998-Juli 2001*. Technischer Bericht, ANSWERS Consortium, University College London, 2001.

[21] FRITZ, K. E. und B. K. GILBERT: *DARPA/ETO Ultra Electronics Program*, Kapitel RTD Devices, Circuits, Architecture and Integration, Seiten 225–232. LtCol Gernot S. Pomrenke, USAF, 3701 North Fairfax Drive, Arlington VA 22203, Oktober 1998.

[22] GEPPERT, L.: *Quantum transistor: toward nanoelectronics*. IEEE Spectrum, Seiten 46–51, September 2000.

[23] GLÖSEKÖTTER, P., C. PACHA und K. GOSER: *Associative Matrix for Nano-scale Integrated Circuits*. In: *Proceedings of the 7th International Conference on Microelectronics for Neural, Fuzzy and Bio-Inspired Systems (MircoNeuro), Granada, Spain*, Seiten 352–358. IEEE Computer Society Press, Los Alamitos, CA, März 1999.

[24] GLÖSEKÖTTER, P., C. PACHA und K.F. GOSER: *Design of Arithmetic Circuits Using the RTBT*. In: *ITG-Fachbericht 162, Mikroelektronik für die Informationstechnik*, Seiten 147–150, Nov. 2000. ISBN 3-8007-2586-X.

[25] GLÖSEKÖTTER, P., C. PACHA und K.F. GOSER: *Threshold Logic Circuit Design using the RTBT*. In: *Kleinheubacher Berichte*, Band 44, Seiten 522–526, Sept. 2000. ISSN 0343-5725.

[26] GLÖSEKÖTTER, P., C. PACHA, W. PROST, S.O. KIM, H. VAN HUSEN, T. REIMANN, F.J. TEGUDE und K.F. GOSER: *Circuit and Application Aspects of Tunneling Devices in a MOBILE configuration*. Journal on Circuit Theory and Applications: Special Issue on Nanoelectronic Circuits (invited paper), 2002. submitted.

[27] GLÖSEKÖTTER, P., C. PACHA, W. PROST, S.O. KIM, H. VAN HUSEN, T. REIMANN, F.J. TEGUDE und K.F. GOSER: *Pseudo Dynamic Gate Design based on the Resonant Tunneling-Bipolar Transistor (RTBT)*. In: *32nd European Solid-State Device Research Conference (ESSDERC)*, Florence, Italy, Sept. 24-26 2002. accepted for publication.

[28] GLÖSEKÖTTER, P., L. SALAZAR, W. PROST, S. KIM, F.J. TEGUDE und K.F. GOSER: *Design and Simulation of Pseudo Dynamic Logic Circuits Based on RTBTs*. In: *13th Workshop on Physical Simulation of Semiconductor Devices*, The Craiglands Hotel, Ilkley, North Yorkshire, UK, März 2002.

[29] GOTO, E., K. MURATA, K. NAKAZAWA, K. NAKAGAWA, T. MOTO-OKA, Y. MATSUOKA, Y. ISHIBASHI, T. SOMA und E. WADA: *Esaki Diode High-Speed Logical Circuits*. IRE Transactions on Electronic Computers, Seiten 25–29, 1960.

[30] GUMMEL, H. K. und H. C. POON: *An integral charge control model of bipolar transistors*. Bell Systems, 49:827–832, Mai 1970.

[31] HADDAD, G. I. und P. MAZUMDER: *Tunneling Devices and Applications in high Functionality/Speed Circuits*. Solid-State Electonics, 41(10):1515–1524, 1997.

[32] HADDAD, G.I. und P. MAZUMDER: *Tunneling Devices and Applications in High Functionality/Speed Digital Circuits*. Solid-State Electronics, 41(10):1515–1524, 1997.

[33] HAFIZI, M. E., C. R. CROWELL und M. E. GRUPEN: *The DC Characteristics of GaAs/ AlGaAs Heterojunction Bipolar Transistors with Application to Device Modeling*. In: *Transactions on Electron Devices*, Band 37, Seiten 2121–2129. IEEE, Okt. 1990.

[34] HELLER, L.G., W.R. GRIFFIN, J.W. DAVIS und N.G. THOMA: *Cascode voltage switch logic: adifferential CMOS logic family*. In: *ISSCC, Dig. Tech. Papers*, Seiten 16–17, 1984.

[35] HUBER, J. L., J. CHEN, J. A. MCCORNMACK, C. W. ZHOU und M. A. REED: *An RTD/Transistor Switching Block and Its Possible Application in Binary and Ternary Adders*. In: *Transactions on Electron Devices*, Band 44, Seiten 2149–2153. IEEE, Dezember 1997.

[36] KEYES, R.W.: *What makes a good computer device?* Science, 230:138–144, 1995.

[37] LEE, Q., S. C. MARTIN, R. P. SMITH, J. GUTHRIE und M. J. W. RODWELL: *Submicron Transferred-Substrate Heterojunction Bipolar Transistors*. IEEE Electron Device Letters, 20(8):396–398, August 1999.

[38] LENT, C.S.: *QCA Home Page*. http://www.nd.edu/ qcahome/welcome.html, 2002.

[39] LENT, C.S. und P.D. TOUGAW: *A Device Architecture for Computing with Quantum Dots (Invited Paper)*. Proceedings of the IEEE, 85(4):541–557, April 1997.

[40] LIKHAREV, K.: *Single-Electron Devices and Their Applications*. Proceedings of the IEEE, 87(4):606–632, April 1999.

[41] LIN, C. H., K. YANG, M. BHATTACHARYA, X. WANG, X. ZHANG, J. R. EAST, P. MAZUMDER und G. I. HADDAD: *Monolithically integrated InP-based minority logic gate using an RTD/HBT heterostructure*. In: *1998 International Conference on Indium Phosphide and Related Materials*, Seiten 419–422, Mai 1998.

[42] LIN, C.H., K. YANG, A.F. GONZALES, J.R. EAST, P. MAZUMDER und G.I. HADDAD: *InP-Based High Speed Digital Logic Gates Using and RTD/HBT Heterostructure*. In: *Proceedings of the 11th International Conference on InP and Related Materials, Davos CH*, Seiten 419–422, Mai 1999.

[43] LIU, H.C. und T.C.L.G. SOLLNER: *High Speed Heterostructure Devices*, Band 41 der Reihe *Semiconductors and Semimetals*, Kapitel 6: High-Frequency Resonant-Tunneling Devices, Seiten 359–419. Academic Press, 1994.

[44] LIU, W.: *Handbook of III-V Heterojunction Bipolar Transisors*. John Wiley & Sons, INC., 1998.

[45] LIU, W.: *Fundamentals of III-V Devices HBTs, MESFETs, and HFETs/HEMTs*, Kapitel 7.4. HBT AND FET COMPARISON, Seiten 467–473. John Wiley & Sons, INC., 1999.

[46] LIU, W.: *Fundamentals of III-V Devices HBTs, MESFETs, and HFETs/HEMTs*. John Wiley & Sons, INC., 1999.

[47] MAEZAWA, K. und T. MIZUTANI: *A New Resonant Tunneling Logic Gate Employing Monostable-Bistable Transition*. Japanese Journal of Applied Physics Part 2, 32(1A/B):42–44, Januar. 1993.

[48] MATHEWS, R.H., J.P. SAGE, T.C.L.G. SOLLNER, S.D. CALAWA, C-L. CHEN, L.J. MAHONEY, P.A. MAKI und K.M. MOLVAR: *A New RTD-FET Logic Family*. Proceedings of the IEEE, 87(4):596–605, April 1999.

[49] MAZUMDER, P.: *DARPA/ETO Ultra Electronics Program*, Kapitel RTD Devices, Circuits, Architecture and Integration, Seiten 147–154. LtCol Gernot S. Pomrenke, USAF, 3701 North Fairfax Drive, Arlington VA 22203, Oktober 1998.

[50] MAZUMDER, P. persönliche Mitteilung, Duisburg, 3. Sept. 2001.

[51] MAZUMDER, P., S. KULKARNI, M. BHATTACHARYA, J.P. SUN und G.I. HADDAD: *Digital Circuit Applications of Resonant Tunneling Devices*. Proceedings of the IEEE, 86(4):664–686, April 1998.

[52] MORIMOTO, K., H. SORADA und K. MORITA: *Monolithic integration of Si-interband Tunneling diodes with a MOSFET for ultra-low voltage operation static random access memory*. Future Electron Devices (FED), 11:15–20, 2000.

[53] NOMOTO, K., K. TAIRA, T. SUZUKI, I. HASE, H. HIROSHIMA und M. KOMURO: *Diameter dependence of current-voltage characteristics of ultrasmall area AlSb-InAs resonant tunneling diodes with diameters down to 20 nm*. Applied Physics Letters, 70(15):2025–2027, April 1997.

[54] OTTEN, W.: *Design und Layout von RTD/HBT Digitalschaltungen*. Diplomarbeit, Gerhard-Mercator-Universität, Nov. 2000.

[55] OTTEN, W., P. GLÖSEKÖTTER, P. VELLING, A. BRENNEMANN, W. PROST, K. F. GOSER und F. J. TEGUDE: *InP-based monolithically integrated RTD/HBT MOBILE for logic cicuits*. In: *IPRM 2001, IEEE International Conference On InP and Related Materials*, Seiten 232–235, Mai 2001.

[56] PACHA, C.: *Schaltungskonzepte für die Nanoelektronik mit Resonanz-Tunnelbauelementen*. Dissertation, Universität Dortmund, 2000. Fortschritt-Berichte VDI, Reihe 9, Nr. 345.

[57] PACHA, C., U. AUER, C. BURWICK, P. GLÖSEKÖTTER, W. PROST, F.-J. TEGUDE und K. GOSER: *Threshold Logic Circuit Design of Parallel Adders Using Resonant Tunneling Devices*. IEEE Transactions on VLSI Systems, 8(5):558–572, Okt. 2000.

[58] PACHA, C., K. GOSER, A. BRENNEMANN und W. PROST: *A Threshold Logic Full Adder Based on Resonant Tunneling Transistors*. In: *Proceedings of the 24th European Solid-State Circuits Conference ESSCIRC, The Hague, NL*, Seiten 428–431, September 1998.

[59] PACHA, C., O. KESSLER, P. GLÖSEKÖTTER, K. GOSER, W. PROST, A. BRENNEMANN, U. AUER und F.-J. TEGUDE: *Parallel Adder Design with Reduced Circuit Complexity Using Resonant Tunneling Transistors and Threshold Logic*. Journal of Analog Integrated Circuits and Signal Processing, Seiten 7–25, Juli 2000. Special Issue on Analog Nano-Electronics.

[60] PAUL, D.J., P. SEE, I.V. ZOZOULENKO, K.F. BERGGREN, B. KABIUS, B. HOLLAENDER und S. MANTL: *Si/SiGe electron resonant tunneling diodes*. Applied Physics Letters, 77(11):1653–1655, September 2000.

[61] PETERS, D.: *Modellbildung und Simulation von Heterostrukturbipolartransistoren aus III/V Halbleitermaterialien*. Dissertation, Gerhard-Mercator-Universität - Gesamthochschule Duisburg, Dezember 1997.

[62] PROST, W., , P. GLÖSEKÖTTER, C. PACHA, U. AUER, G. JANSSEN, J. MALINDRETOS, T. VAN DER ROER, A. FÖRSTER, K. GOSER und F.-J. TEGUDE: *Logic Circuits with Reduced Complexity based on Devices with Higher Functionality (LOCOM), Final Report, Juli 1998-Dezember 2000*. Technischer Bericht, LOCOM Consortium, Gerhard Mercator Universität Duisburg, 2000.

[63] PROST, W., C. PACHA, U. AUER, G. JANSSEN, J. MALINDRETOS, T. VAN DER ROER, A. FÖRSTER, K. GOSER und F.-J. TEGUDE: *Logic Circuits with Reduced Complexity based on Devices with Higher Functionality (LOCOM), 2nd Annual Report, Juli 1999-Juni 2000*. Technischer Bericht, LOCOM Consortium, Gerhard Mercator Universität Duisburg, 2000.

[64] RABAEY, J.M.: *Digital Integrated Circuits*. Prentics Hall-Int., 1996.

[65] REIN, H. M. persönliche Mitteilung, Bochum, 18. Mai 2001.

[66] REIN, H. M., K. WÖRNER und H. CLAUSS: *Integrierte Subnanosekunden-Schaltungen mit kleiner Verlustleistung und wenig Komponenten*. Technischer Bericht NTZ Heft 10, Seiten 465 - 470, Mitteilung von AEG-Telefunken, Fachbereich Halbleiter, Heilbronn, 1972.

[67] SEABAUGH, A. C.: *Co-Integrated Resonant Tunneling and Heterojunction Bipolar Transistor Full Adder*. In: *Technical Digest of the International Electron Device Meeting (IEDM)*, 1993.

[68] SEABAUGH, A. C.: *Tunnel diode integrated circuits*. In: *Proceedings of the 2000 IEEE International Symposium on Circuits and Systems*, Band 1, Seiten 273–278, Mai 2000.

[69] SEABAUGH, A.C., B.BRAR, T. BROECKAERT, F. MORRIS, P. VAN DER WAGT und G. FRAZIER: *Resonant-tunneling mixed-signal circuit technology*. Solid-State Electronics, 43(8):1355–1365, August 1999.

[70] SEE, P., D.J. PAUL und OTHERS: *High performance Si/SiGe resonant tunneling diodes*. IEEE Electron Device Letters, 22(5):215, 2001.

[71] SEN, S., F. CAPASSO, A. Y. CHO und D. L. SIVCO: *New Resonant Tunneling Bipolar Transistor (RTBT) with Multiple Negative Differential Resistance Characteristics Operating at Room Temperature with Large Current Gain*. In: *International Electron Devices Meeting (IEDM)*, Seiten 834–837, San Francisco, Dezember 1988. IEEE.

[72] SOLOMON, P. M.: *A Comparison of Semiconductor Devices for High-Speed Logic*. Proceedings of the IEEE, 70(5):489–509, Mai 1982. Invited Paper.

[73] SUTHERLAND, I. E.: *Micropipelines*. Communications of the ACM, 32(6):720–738, Juni 1989.

[74] TAKATSU, M., K. IMAMURA, H. OHNISHI, T. MORI, T. ADACHIHARA, S.MUT und N. YOKOYAMA: *Logic Circuits Using Resonant-Tunneling Hot-Electron Transistors (RHET's)*. IEEE Journal of Solid-State Circuits, 27(10):1428–1430, Oktober 1992.

[75] TIETZE, U. und CH. SCHENK: *Halbleiter-Schaltungstechnik*. Springer-Verlag, 1999.

[76] TSU, R. und L. ESAKI: *Tunneling in a finite superlattice*. Appl. Phys. Lett., 22(11):562–564, Juni 1973.

[77] WAGT, P.V.D.: *Tunneling-Based SRAM*. Proceedings of the IEEE, 87(4):571–595, April 1999.

[78] WAGT, P.V.D., A. C. SEABAUGH und E. A. BEAM: *RTD/HFET Low Standby Power SRAM Gain Cell*. IEEE Electron Device Letters, 19(1):7–9, Januar 1998.

[79] WESTE, N. und K. ESHRAGIAN: *Principles of CMOS VLSI Design: A Systems Perspective*. Addison-Wesley, 1985-1993.

[80] WILLIAMSON, W., S.B. ENQUIST, D.H CHOW, H.L. DUNLAP, S. SUBRAMANIAM, P. LEI, G.H. BERNSTEIN und B.K. GILBERT: *12 GHz Clocked Operation of Ultralow Power Interband Resonant Tunneling Diode Pipelined Logic Gates*. IEEE Journal of Solid-State Circuits, 32(2):222–231, Februar 1997.

[81] YANG, C. H., A. F. GONZALEZ, J. R. EAST, P. MAZUMDER und G. I. HADDAD: *InP-Based High Speed Digital Logic Gates Using an RTD/HBT Heterostructure*. In: *11th International Conference on Indium Phosphide and Related Materials*, Seiten 419–422. IEEE, Mai 1999.

[82] YAN, Z. und M. J. DEEN: *New RTD Large-Signal DC Model Suitable for PSPICE*. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 14(2):167–172, Februar 1995.

Lebenslauf

Peter Glösekötter

Geburtsdatum:	4. August 1971	
Geburtsort:	Ibbenbüren	
Schulausbildung:	1978 - 1982:	Bonifatius-Grundschule, Riesenbeck
	1982 - 1991:	Städt. Goethe-Gymnasium, Ibbenbüren
	Juni 1991:	Erwerb der Allgemeinen Hochschulreife
Ersatzwehrdienst	1991 - 1992:	Ledder-Behinderten-Werkstätten
Studium:	1992:	Beginn des Studiums der Elektrotechnik an der Universität Dortmund
	1994:	Diplomvorprüfung
	1996 - 1997:	Studienarbeit an der Universität Granada, Spanien
	Dez. 1997:	Abschluss des Studiums, Diplomzeugnis vom 17.12.1997
Berufserfahrung:	seit 1998:	Wissenschaftlicher Angestellter am Lehrstuhl für Bauelemente der Elektrotechnik an der Universität Dortmund

Dortmund, 16. Juli 2002