
Beschleunigte Ansteuerung von Leistungshalbleitern durch induktive Mitkopplung

Dissertation

zur Erlangung des Grades eines
Doktor-Ingenieurs
der Fakultät für Elektrotechnik und Informationstechnik
an der Technischen Universität Dortmund

von

Michael Ebli

aus Mainz

Dissertation eingereicht am:	08.10.2018
Tag der mündlichen Prüfung:	07.06.2019
Dissertationsort:	Dortmund
Fakultät:	Elektrotechnik und Informationstechnik
Referent:	Univ.-Prof. Dr.-Ing. Martin Pfof
Korreferent:	Univ.-Prof. Dr.-Ing. Klaus F. Hoffmann

Inhaltsverzeichnis

1	Einleitung	1
1.1	Problemstellung und Stand der Technik	1
1.2	Gliederung der vorliegenden Arbeit	6
2	Bauteil- und Modellierungsgrundlagen	7
2.1	Topologieübersicht	7
2.2	Betrachtete Halbleiter	8
2.2.1	Silizium	10
2.2.2	Siliziumkarbid	11
2.2.3	Galliumnitrid	14
2.2.4	Vergleich der Halbleiterbauelemente	15
2.2.5	Elektrische Modellierung eines Leistungstransistors	17
2.2.6	Parasitäre Elemente der Aufbau- und Verbindungstechnik	18
2.3	Simulationsumgebung	20
2.3.1	SPICE Simulator	20
2.3.2	Extraktion parasitärer Elemente	22
3	Schaltvorgang	27
3.1	Definition des Schaltvorgangs einer induktiven Last	27
3.2	Einschaltvorgang	30
3.3	Auswirkungen parasitärer Elemente auf den Einschaltvorgang	32
3.3.1	Parasitäre Kapazität des Schaltknotens	33
3.3.2	Gateschleife	34
3.3.3	Common-Source-Induktivität	36
3.3.4	Zwischenkreisinduktivität	37
3.3.5	Drain-Gate-Kapazität	39
3.3.6	Gatetreiberversorgungsspannung	40
3.3.7	Zusammenfassung	41
3.4	Ausschaltvorgang	42
3.5	Systembetrachtung	45
3.6	Anforderungen an die Gatetreiberschaltung	51
4	Entwicklung eines Gatetreibers mit induktiver Mitkopplung	53
4.1	Methoden zur Erhöhung des Gatestroms	53
4.2	Konzeptionelle Überlegung	54
4.2.1	Kompensation des Ausgleichsstroms der Drain-Gate-Kapazität	55
4.2.2	Induktive Mitkopplung - <i>iFF</i> -Verfahren	58
4.2.3	Vergleich der Konzepte	62

4.3	Realisierung des <i>iFF</i> -Verfahrens	62
4.3.1	Erweiterung des konventionellen Gatetreibers	62
4.3.2	Realisierung des Transformators	64
4.3.3	Analytische Betrachtung des Transformators	66
5	Experimentelle Verifikation des <i>iFF</i>-Verfahrens	69
5.1	Messergebnisse für einen GaN-HEMT	69
5.1.1	Beschreibung des Demonstrators	69
5.1.2	Transiente Messergebnisse	73
5.1.3	Schaltverluste	81
5.1.4	Messung des Aufwärtswandlers	82
5.2	Messergebnisse für einen SiC-MOSFET	83
5.2.1	Transiente Messergebnisse	84
5.2.2	Schaltverluste	86
5.2.3	Messung des Aufwärtswandlers	88
5.3	Messergebnisse für einen Si-MOSFET in zwei Gehäusevarianten	89
5.4	Vergleich der Halbleiterbauelemente	93
6	Weitere Ansätze zur Verbesserung des <i>iFF</i>-Verfahrens	95
6.1	Verifikation der Simulationsumgebung	95
6.2	Simulation und Sensitivitätsanalyse des Transformators	98
6.2.1	Ersatzschaltbild des Transformators	99
6.2.2	Breite des Transformators	101
6.2.3	Windungszahl des Transformators	103
6.2.4	Abstand zwischen der Primärseite und der Sekundärwindung	104
6.2.5	Sekundärwindungslänge des Transformators	105
6.2.6	Einfluss auf die Einschaltenergie	106
6.2.7	Ableitung der Transformator-designrichtlinien	108
6.3	Kurzschlussfestigkeit des <i>iFF</i> -Verfahrens	109
6.4	Parallelschaltung von Transistoren	113
6.5	Alternative Realisierung der Sekundärseite des Transformators	114
7	Zusammenfassung und Ausblick	117
7.1	Zusammenfassung	117
7.2	Ausblick	118
	Literaturverzeichnis	123
	Abkürzungsverzeichnis	145
	Formelzeichenverzeichnis	147
	Abbildungsverzeichnis	151
	Tabellenverzeichnis	155

Anhang	157
A Parameter der Simulationsumgebung	157
B Ergänzung zum Feldverlauf	158
C Reduzierung des Risikos eines parasitären Schaltens	159
D Designparameter des Transformators	160
E Berechnung des komplexen Widerstands	162

Kurzfassung

Leistungselektronische Schaltungen besitzen aktive Schalter zur Steuerung des Energieflusses. Diese Schalter können durch eine geeignete Ansteuerung von einem stromleitenden in einen stromsperrenden Zustand wechseln. Dieser Zustandswechsel ist verlustbehaftet, wodurch die Schaltverluste proportional zur Schaltfrequenz zunehmen. Andererseits ist eine hohe Schaltfrequenz für die Volumenreduzierung der energiespeichernden Bauteile wie Spulen und Kondensatoren vorteilhaft. Durch den Ansatz der Bauteilverkleinerung nimmt der Einfluss der Schaltverluste auf die Systemeffizienz zu. Daher ist das Erreichen minimaler Schaltverluste von elementarer Bedeutung.

Im Rahmen der vorliegenden Arbeit wird zuerst das Schaltverhalten schnellschaltender Halbleiter analysiert. Dazu wird der Stand der Technik aufgegriffen und dieser hinsichtlich Limitierungen der Schaltgeschwindigkeit untersucht. Wesentliche Limitierungen entstehen durch die parasitären Induktivitäten der Aufbau- und Verbindungstechnik. Beispielsweise führen die parasitäre Induktivität und der ohmsche Widerstand der Ansteuerschleife zu einer Limitierung des Ladestroms der parasitären Drain-Gate-Kapazität des Transistors. Dieser begrenzte Ladestrom führt wiederum zu einer Verlangsamung des Schaltvorgangs. Eine zusätzliche Herausforderung für die Ansteuerung von Verbundhalbleitern stellen die geringeren Spannungstoleranzen der Steuerspannung im Vergleich zu Siliziumbauteilen dar. Eine Überschreitung dieser Spannungstoleranz kann zur Schädigung des Bauteils führen.

Des Weiteren konnte durch die einführenden Untersuchungen festgestellt werden, dass parasitäre Induktivitäten nicht nur negative Auswirkungen auf das Schaltverhalten haben, sondern auch zur Reduzierung von Schaltverlusten beitragen können. Der Spannungsabfall an den parasitären Induktivitäten der Leistungsschleife führt während des Einschaltens des Transistors zu einer Spannungsreduzierung am Schalter. Durch die reduzierte Spannung am Schalter nimmt die Einschaltverlustleistung ab. Nachteilig ist, dass diese parasitäre Induktivität der Leistungsschleife im Ausschaltmoment zu einer Spannungsüberhöhung führt, die den Schalter und die Freilaufdiode schädigen kann.

Um einen höheren Spannungsabfall während des Einschaltens zu erreichen, muss die Stromanstiegsgeschwindigkeit erhöht werden. Der Anstieg des Stroms ist unter anderem aufgrund des Spannungsabfalls an der parasitären Induktivität der Leistungsschleife und des dadurch hervorgerufenen Umladevorgangs der parasitären Drain-Gate-Kapazität limitiert. Dieser Zusammenhang führt zu einer reduzierten Anstiegsgeschwindigkeit des Schaltstroms.

Das entwickelte Halbleiteransteuerungsverfahren nutzt einen Transformator, der während der Stromänderung des Schaltstroms Energie aus dem Leistungskreis in den Ansteuerkreis überträgt. Das ermöglicht eine Erhöhung des Ansteuerstroms. Infolgedessen kann ein höherer Kompensationsstrom der Drain-Gate-Kapazität und somit eine schnellere Schaltgeschwindigkeit erreicht werden.

Der in dieser Arbeit genutzte Transformator ist ein kernloser Transformator, der in eine Leiterplatte integriert wird. Die Auswirkungen verschiedener geometrischer Variationen des Transformators sind im Rahmen dieser Arbeit untersucht worden und Richtlinien zur Auslegung des Transformators wurden herausgearbeitet.

Das neue Halbleiteransteuerungsverfahren wurde simulativ untersucht und messtechnisch verifiziert. Dabei wird für einen GaN-HEMT eine Reduzierung der Einschaltenergie von bis zu 78 % im Vergleich zum Stand der Technik messtechnisch nachgewiesen. Diese Reduzierung der Einschaltenergie wird durch eine Effizienzmessung eines Aufwärtswandlers bestätigt. Des Weiteren wird eine Einschaltenergieerduzierung durch das Halbleiteransteuerungsverfahren auch für SiC- und Si-MOSFETs messtechnisch verifiziert. Im Vergleich zum Stand der Technik wird für den SiC-MOSFET eine Einschaltenergieerduzierung von bis zu 59 % und für den Si-MOSFET eine Reduzierung von bis zu 33 % messtechnisch nachgewiesen.

Abstract

An Inductive Feed Forward Gate Driver to Accelerate the Switching

The central components of power electronic systems are the semiconductors, that control the energy flow within the system. The semiconductor switch can be toggled between a conducting and a blocking state. The change between these states is lossy, hence the system efficiency decreases with increasing switching frequency. However, a high switching frequency is beneficial for the size reduction of the energy storage devices, e.g. coils and capacitors. Thus, in order to increase the switching frequency while still maintaining a high system efficiency the switching behavior must be optimized.

To begin with, the switching behavior of fast switching semiconductors is analyzed. The key limitation is caused by the parasitic inductance, which is determined by the packaging- and assembly technology. The parasitic inductance and the finite ohmic resistance of the gate loop limit the charging current of the input capacitance of the transistor. This leads to a lower switching speed and consequently to higher losses. Hence, modern fast-switching semiconductors are especially affected by the parasitic gate inductance and the resulting reduced switching speed. Another challenge for driving wide bandgap semiconductors is the lower voltage tolerances of the gate-source voltage compared to silicon devices. Thereby, the risk of destruction of the semiconductor due to overvoltage increases.

However, the parasitic inductance of the power loop can also be used to reduce the switching energy, if an inductive load is switched. During turn-on, the increasing source current leads to a voltage drop across the parasitic inductance of the power loop. This reduces the voltage applied on the switch. Hence, the switching losses will be reduced. On the other hand, this parasitic inductance leads to a voltage overshoot at the switch during turn-off, which eventually destroys the semiconductor. Therefore, a minimization of the parasitic inductance is mandatory.

If the parasitic inductance of the power loop should be used for the reduction of the turn-on switching energy, the rate of current change must be increased. Therefore, the following limitations of the turn-on switching are identified. Hence, the critical elements are the common source inductance and the drain-gate capacitance of the transistor. The impact of the common source inductance can be eliminated through the introduction of a Kelvin-source connection. In contrast to this simple solution, the impact of the drain-gate capacitance cannot be circumvented by means of semiconductor packaging. The drain-gate capacitance is an inherent property of each transistor. During turn-on it will force a compensating current through the gate loop, which is proportional to the slew rate of the drain-source voltage.

Based on these insights, a semiconductor gate drive method is developed, which allows a reduction of the switching energy. The gate drive method uses a transformer which couples energy from the power path to the control path during turn-on. However, the transistor is still controlled via a conventional gate driver IC; the transformer only increases the switching speed. Consequently, the limitation due to the compensating current of the drain-gate capacitance can now be (over-) compensated.

In this work a coreless transformer, which is integrated into a circuit board, is used. The impact of various geometrical variations of this transformer is examined and guidelines for the design of the transformer are derived. The semiconductor drive method is verified through simulations and measurements. For a GaN-HEMT it is feasible to reduce the turn-on energy up to 78 % compared to the state of the art. The reduction in turn-on energy is confirmed by an efficiency measurement of a boost converter. Furthermore, the reduction of the turn-on energy is verified for SiC- and Si-MOSFETs. For both semiconductor technologies a significant reduction of the turn-on losses is achieved. Compared to state of the art solutions, the turn-on losses are reduced up to 59 % and 33 %, respectively.

1 Einleitung

1.1 Problemstellung und Stand der Technik

In den letzten Jahren hat die Zahl der leistungselektronischen Systeme stetig zugenommen, aller Voraussicht nach wird sich dieser Trend auch in Zukunft fortsetzen, siehe [1–3]. Dies wird durch die stetige Zunahme des globalen Energieverbrauchs begründet, siehe [4]. Der dadurch erhöhte Energiebedarf soll mittel- bis langfristig durch regenerative Energiequellen wie bspw. Photovoltaik-, Windkraft- und Wasserkraftanlagen bedient werden, siehe [5]. Im Gegensatz zu konventionellen Kraftwerken kann bei den hier genannten regenerativen Energiequellen von dezentraler Energieversorgung gesprochen werden. Diese dezentrale Energieversorgung erfordert es, dass jede dieser Anlagen die von ihr bereitgestellte Energie aufbereiten muss, um die Energie in angepasster Form dem öffentlichen Versorgungsnetz zur Verfügung zu stellen. Eine solche Anpassung erfolgt durch leistungselektronische Schaltungen.

Leistungselektronische Schaltungen benötigen aktive Schalter, die es erlauben, den Energiefluss innerhalb des leistungselektronischen Systems zu steuern. Ein typisches Beispiel hierfür ist die Ansteuerung eines Elektromotors. Die Leistungselektronik erlaubt es, den Elektromotor gezielt anzusteuern, wodurch er in seiner Drehzahl und seinem Drehmoment geregelt werden kann. Eine typische Schaltungskonfiguration ist in Abb. 1.1(a) gezeigt.

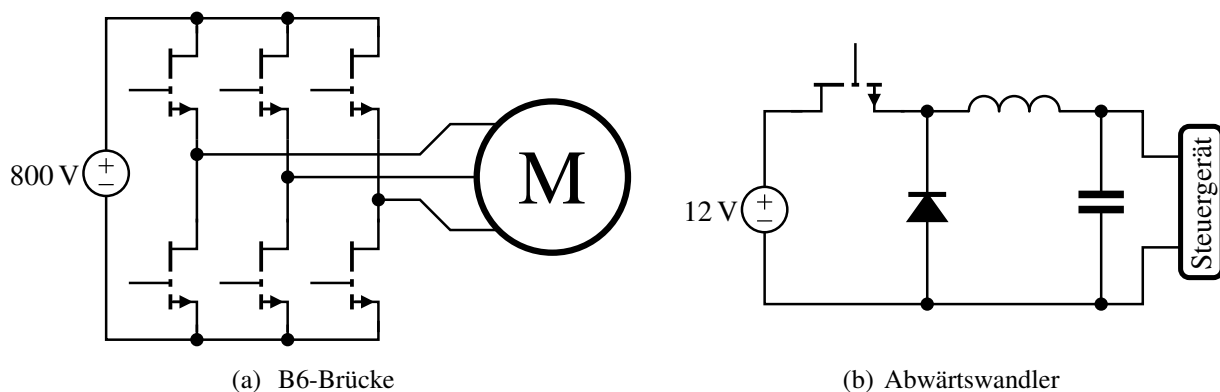


Abb. 1.1: In (a) ist eine B6-Brücke zur Ansteuerung eines Elektromotors gezeigt. Der in (b) gezeigte Abwärtswandler ermöglicht den Betrieb des Steuergerätes.

Ein weiteres Beispiel ist der steigende Anteil von Elektroautos. Dies erfordert einen erhöhten Einsatz von leistungselektronischen Systemen, bspw. zum Laden der Fahrbatterie und zur Versorgung der Motorsteuergeräte. Beispielsweise muss die Spannung der Autobatterie zur Versorgung von Steuergeräten reduziert werden. Eine typische Schaltung hierfür ist ein Abwärtswandler, welcher in Abb. 1.1(b) gezeigt ist.

Alle leistungselektronischen Systeme erfordern den Einsatz von mindestens einem aktiven Schalter. Dieser Schalter ist bauartbedingt verlustbehaftet. Diese Verluste können im Wesentlichen in Leitverluste und Schaltverluste unterteilt werden. Leitverluste werden maßgeblich durch die Halbleitertechnologie definiert. Im Gegensatz dazu sind die Schaltverluste durch parasitäre Induktivitäten und Kapazitäten beeinflusst. Die wesentliche Ursache für die parasitäre Induktivität beruht auf der Aufbau- und Verbindungstechnik (AVT), die den Halbleiter mit dem leistungselektronischen System verbindet. Die parasitäre Kapazität ist maßgeblich durch das Halbleiterbauelement bestimmt.

Neben der Reduzierung der Schaltverluste durch eine verbesserte Halbleitertechnologie kann eine Reduzierung der Schaltverluste durch einen schnelleren Schaltvorgang erfolgen. Dazu ist es nötig, die parasitären Induktivitäten zu reduzieren, was durch eine verbesserte AVT möglich ist. Mit steigender Schaltgeschwindigkeit, die nötig ist um die Schaltverluste zu reduzieren (der Zeitintervall in dem ein hoher Stromwert und eine hohe Spannung am Halbleiter anliegt verkürzt sich dadurch), nimmt der Einfluss der parasitären Elemente zu. Durch die parasitären Elemente entstehen höhere Belastungen für den Schalter und die elektromagnetische Verträglichkeit (EMV) kann sich verschlechtern, siehe [6–15]. Die parasitären Elemente sind durch das Halbleitergehäuse und die Layoutstrukturen des physikalischen Aufbaus bedingt.

Durch den Einsatz von resonanten Konzepten können die Schaltverluste signifikant reduziert werden. Dabei bieten Halbleiterbauteile aus Verbundhalbleitern wie Galliumnitrid (GaN) und Siliziumcarbid (SiC) aufgrund der höheren Bandlücke und der höheren kritischen elektrischen Feldstärke E_k einige Vorteile im Vergleich zu Si-Bauteilen. Dies kann auf die verringerte Speicherladung der Bauteile zurückgeführt werden, siehe [16–19]. Einige Anwendungsbeispiele resonanter Spannungswandler sind in [20–25] aufgeführt.

Spannungsfreies Schalten kann auch erreicht werden, wenn ein synchroner Spannungswandler eingesetzt wird. Hierbei kann die Schaltung so betrieben werden, dass der Spulenstrom negativ wird. Dies ermöglicht es, die parasitäre Kapazität des Schaltknotens gezielt zu entladen. Diese Schaltungstopologie lässt sich für einen weiten Leistungsbereich einsetzen, einige Beispiele sind in [26–29] aufgeführt.

Alternativ kann die Verlustleistung des Schaltelements durch aktive oder passive Entlastungsnetzwerke reduziert werden, siehe [30–36]. Die höhere Anzahl der Bauteile wirkt sich nachteilig aus und es kann zusätzlich zu hohen Belastungen des Entlastungsnetzwerkes kommen. Durch die höhere Bauteilzahl und die gegebenenfalls hohe Belastung einzelner Bauteile steigt die Ausfallwahrscheinlichkeit des Systems, siehe [37–41]. Besonders für aktive Entlastungsnetzwerke steigt die Ausfallgefahr durch hochenergetische Teilchen. Dies kann durch die höhere Anzahl der Halbleiterbauelemente und somit einer größeren aktiven Fläche begründet werden, siehe [42–48].

Hartschaltende Spannungswandler haben im Vergleich zu resonanten Konzepten weniger Bauteile, und die Regelbarkeit solcher Systeme ist meist einfacher. Aus diesen Gründen kann der Einsatz solcher Wandler von besonderem Interesse für kompakte leistungselektronische Systeme sein. Durch den Einsatz von Verbundhalbleitern wie GaN-HEMTs und SiC-MOSFETs ergeben sich Vorteile hinsichtlich einer Schaltverlustreduzierung. Diese Verbundhalbleiter erlauben durch ihre besseren Schalteigenschaften ein verlustarmes Schalten im Vergleich zu Siliziumhalbleitern, siehe [19].

Mit steigender Schaltgeschwindigkeit steigt der Einfluss des Schaltungslayouts. Durch einen niederinduktiv optimierten Aufbau lassen sich Schaltverluste signifikant reduzieren, einige Anwendungsbeispiele sind in [8, 9, 15, 49–52] aufgeführt. Durch schnelle Stromänderungen kann es während des Ausschaltens des Transistors zu unzulässig hohen Spannungsspitzen kommen, die den

Transistor zerstören können. Diese Spannungsspitzen können durch ein Kompensationsnetzwerk reduziert werden, siehe [53–55] oder durch eine Reduzierung der Induktivität im Hauptstromkreis, siehe [56–58].

Eine Möglichkeit zur Schaltverlustreduzierung ist die Optimierung der Ansteuerung des Leistungstransistors mit Hilfe eines Gatetreibers. Dieser ermöglicht ein kontrolliertes Ein- bzw. Ausschalten des Leistungshalbleiters. Durch die Trennung des Leistungspfads und des Ansteuerpfads direkt am Halbleiter kann das Schaltverhalten des Halbleiters signifikant verbessert werden, siehe [59, 60]. Eine gute Steuerbarkeit des Halbleiters kann als Grundvoraussetzung für die verbesserte Ansteuerung des Leistungshalbleiters angesehen werden.

Auf der Grundlage dieser Überlegung (durch eine verbesserte Ansteuerung des Halbleiters Schaltverluste zu reduzieren) wurde eine Vielzahl von Gatetreiberschaltungen von diversen Autoren veröffentlicht. Diese Gatetreiberschaltungen lassen sich in fünf Bereiche unterteilen, siehe hierzu [61, 62].

- **Halbbrückenschaltung:** Das wesentliche Merkmal dieser Schaltung ist eine Halbbrücke, die das Ein- bzw. Ausschalten ermöglicht. Das Schaltverhalten des Transistors kann durch einen zusätzlichen Widerstand kontrolliert werden. Über diesen Widerstand wird der Strom zur Ladung der Eingangskapazität des Transistors eingestellt. Die Topologie erlaubt sowohl eine unipolare als auch eine bipolare Ansteuerung des Gates. Eine Anwendung für Siliziumcarbid Sperrschicht-Feldeffekttransistoren (SiC-JFETs) ist in [63] gezeigt.

Für Halbleiterbauelemente, die einen konstanten Strom während des Leitzustands benötigen, kann eine temporäre Stromerhöhung durch ein Einbringen einer Kapazität zwischen Treiber und Gate erfolgen, siehe [64–66]. Es kann eine Vielzahl von Gatetreiber-ICs erworben werden, siehe [67–71]. Diese Gatetreiber-ICs bieten Zusatzfunktionen wie z. B. eine Unterspannungsdetektion und galvanische Trennung zwischen logischer Ansteuerung und Gateansteuerung an. Die Limitierung hinsichtlich Spannungsänderungsraten des Schaltknotens der käuflichen Gatetreiber-ICs liegt bei 200 V/ns, siehe [67]. Die aktuelle Forschung beschäftigt sich mit der besseren Entkopplung der Logik- und Gatetreiberendstufe, siehe [72, 73]. Spannungsänderungen von bis zu 500 V/ns wurden bereits in Spannungswandlern gezeigt, siehe [64]. In [74] wurden Spannungsänderungen von bis zu 1000 V/ns für einen Einzelpuls gemessen.

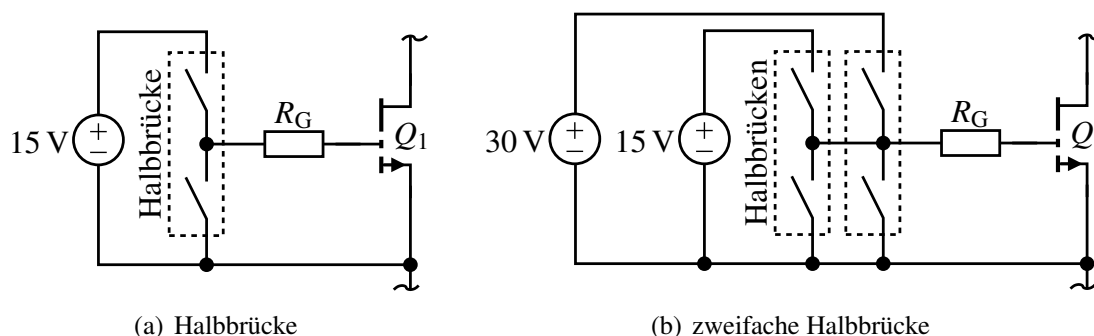


Abb. 1.2: In (a) ist eine einfache Halbbrücke zur Ansteuerung eines Leistungstransistors gezeigt. In (b) sind zwei Halbbrücken zur Ansteuerung des Leistungshalbleiters aufgeführt, diese erlauben es, den Halbleiter mit unterschiedlichen Spannungen anzusteuern.

- **Mehrfache Halbbrücken mit unterschiedlichen Spannungsniveaus:** Aufbauend auf der Gatetreiber-*Halbbrückenschaltung* wird die Schaltung um weitere Halbbrücken erweitert, siehe Abb. 1.2(b). Diese Halbbrücken erlauben das Laden der Eingangskapazität des Transistors durch unterschiedliche Spannungsniveaus, siehe [75–82]. Das erlaubt die temporäre Überhöhung der Gatetreiber-versorgungsspannung und somit ein schnelleres Laden der Eingangskapazität des Transistors. Andere Konzepte arbeiten mit aktiven Spannungsteilern, wie in [83] gezeigt. Ein Nachteil der in diesem Punkt vorgestellten Konzepten ist der erhöhte Schaltungs- bzw. Ansteuerungsaufwand.
- **Resonante Konzepte:** Im Bereich resonanter Gatetreiberkonzepte wurde in den letzten Jahren intensive Forschung betrieben, siehe [84–87]. Dieser Trend kann mit der Zunahme der Schaltfrequenz begründet werden. Die Gatetreiberverlustleistung des Halbbrückengatetreibers steigt proportional zur Frequenz. Resonante Konzepte erlauben es, die Gatetreiberverlustleistung signifikant zu reduzieren. Die Zunahme der Schaltfrequenz ist auf den vermehrten Einsatz von Verbundhalbleitern wie GaN-HEMTs und SiC-MOSFETs zurückzuführen. Die Gemeinsamkeit der resonanten Gatetreiberkonzepte ist die Spule, die einen konstanten Strom in den Steueranschluss des Transistors ermöglicht, siehe Abb. 1.3(a).

Die resonanten Konzepte können in folgende Bereiche unterteilt werden. Erstens: Gatetreiberschaltungen bestehend aus einer Halbbrücke mit einer Spule zwischen Treiber und Gate des Leistungstransistors, siehe [88–106]. Mit Hilfe der Spule kann ein Strom eingepreßt werden. Zum Schutz des Leistungstransistors gegen unzulässig hohe Gatespannungen werden diese Halbbrücken mit Dioden erweitert, welche die Spannung am Gateanschluss limitieren, siehe [107–110]. Diese Halbbrückenschaltungen werden mit einer AC-Kopplung zwischen dem Treiber und dem Leistungstransistor erweitert, siehe [111–113]. Um eine galvanische Trennung zwischen Treiber und Leistungstransistor zu erreichen, wird dieser Schaltungstyp mit einem Transformator zwischen Treiber und Leistungstransistor ausgeführt, siehe [114–123].

Zweitens: Eine weitere Gatetreibertopologie ist mit einer Vollbrücke umgesetzt. Diese Vollbrücke erlaubt es einen Strom in die Spule einzupreßen. Ist ein bestimmter Wert erreicht, wird der Strom genutzt, um das Gate des Leistungstransistors umzuladen, siehe [124–136]. Im Vergleich zur Halbbrücke kann das Stromprofil während des Schaltens angepasst werden.

Drittens: Eine weitere Schaltungstopologie erlaubt das Ansteuern zweier Schalter komplementär zueinander. Dies eignet sich im Besonderen für das sichere Ansteuern von Leistungshalbbrücken, siehe [137–143]. Zweiphasige Anwendungen können ebenfalls mit diesem Konzept angesteuert werden, siehe [144–148]. Des Weiteren kann der Vollbrückengatetreiber auch über einen Transformator mit dem Gate des Leistungstransistors gekoppelt sein, siehe [149–151].

- **Variabler Widerstand des Gatepfads:** Ein weiterer Gatetreiberansatz beeinflusst den Widerstand des Gatepfads während des Schaltens, siehe Abb. 1.3(b). Es können dabei zwei unterschiedliche Konzepte herausgestellt werden. Das erste Konzept verändert den externen Gatevorwiderstand mit Hilfe eines Schalters, siehe [152–154]. Somit kann der Wert des Gatevorwiderstands während des Schaltens angepasst werden.

Das zweite Konzept bietet mehr Flexibilität, die Impedanz des Gatetreibers kann während des Schaltens vierteilig angepasst werden. Dabei kann zwischen einer diskreten Lösung wie

in [155, 156] gezeigt und einer in den Gatetreiber-IC integrierten Lösung unterschieden werden, siehe [157–161]. Es wird in [157] eine zeitliche Auflösung von 150 ps erreicht. Der Gatetreiber-IC erlaubt die Anpassung des Innenwiderstands im Bereich von 0.12Ω bis 64Ω .

- **Stromgetriebene Gatetreiber:** Eine erweiterte Steuerbarkeit des Schaltvorgangs von Leistungstransistoren wird durch stromgetriebene Gatetreiber erreicht, die ein verbessertes EMV Verhalten ermöglichen, siehe [162–164]. Ein Schaltbild eines stromgetriebenen Gatetreibers ist in Abb. 1.3(c) gezeigt. Des Weiteren können Spannungs- und Stromänderungsraten während des Schaltens angepasst werden, siehe [165–169].

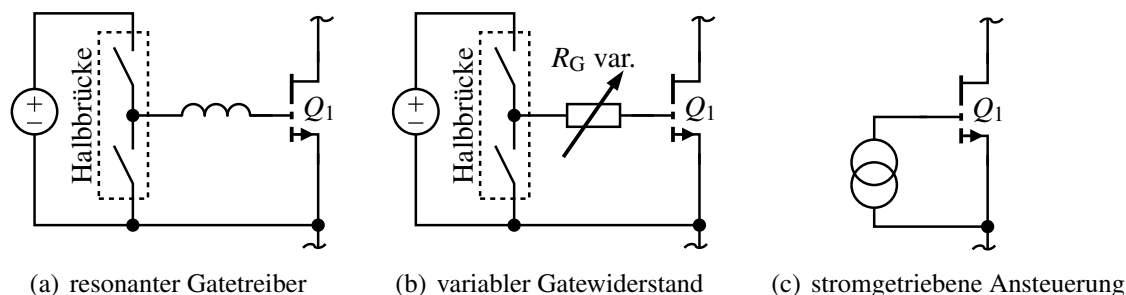


Abb. 1.3: In (a) ist ein Konzept eines resonanten Gatetreibers gezeigt. Der Gatewiderstand kann in (b) während des Schaltens angepasst werden. Eine Stromquelle zur Ansteuerung des Leistungstransistors ist in (c) gezeigt.

Wird besonders auf geringe Gateumladeverluste Wert gelegt, kann abschließend festgehalten werden, dass resonante Gatetreiberkonzepte interessante Ansätze bieten. Ist ein verbessertes Schaltverhalten hinsichtlich EMV-Verträglichkeit und Schaltverlustreduzierung erforderlich, können Gatetreiberschaltungen mit veränderlichem Innenwiderstand oder stromgetriebene Konzepte eingesetzt werden. Ist hingegen die Reduzierung der Schaltverluste das primäre Ziel, kann eine Gatetreiberschaltung mit temporärer Spannungserhöhung verwendet werden. Ein Nachteil hierbei ist die zunehmende Komplexität der Ansteuerung des Treibers.

In dieser Arbeit wird ein Halbleiteransteuerungsverfahren eingeführt, das es ermöglicht, mit Hilfe einer induktiven Kopplung Energie aus dem Hauptstromkreis in den Steuerstromkreis einzukoppeln, siehe Abb. 4.9. Dadurch können der Schaltvorgang beschleunigt und die Schaltverluste reduziert werden.

Die grundlegende Idee der Schaltverlustreduzierung ist die temporäre Erhöhung der Gatetreiber-Spannung, vergleichbar mit den Ansätzen aus [75–82]. Der wesentliche Unterschied zwischen den gezeigten Lösungen zur temporären Gatetreiber-Spannungserhöhung ist der Ursprung der Energie zur Spannungserhöhung.

In [75–82] wird mindestens ein zusätzliches Spannungsniveau eingeführt. Das in der vorliegenden Arbeit eingeführte Halbleiteransteuerungsverfahren nutzt hingegen eine induktive Kopplung zwischen dem Hauptstromkreis und dem Steuerstromkreis zur temporären Spannungsüberhöhung. Diese Spannungsüberhöhung führt zu einem höheren Gatestrom und dieser wiederum zu einem schnelleren Schaltvorgang. Es handelt sich somit um ein selbstverstärkendes Verfahren. Die Ansteuerung des Transistors erfolgt über einen konventionellen Gatetreiber-IC, das Halbleiteransteuerungsverfahren unterstützt lediglich den Einschaltvorgang.

1.2 Gliederung der vorliegenden Arbeit

In Kapitel 2 werden die Bauteil- und Modellierungsgrundlagen erarbeitet. Hierzu wird in Abschnitt 2.1 ein typischer Fall eines induktiven Schaltvorgangs eingeführt. Abschnitt 2.2 beschäftigt sich mit den Halbleitermaterialien und den daraus ableitbaren Halbleiterbauelementen. Im Anschluss folgt die Erklärung eines Leistungshalbleitermodells. In Abschnitt 2.3 wird die Simulationsumgebung eingeführt. Diese umfasst sowohl die transiente Simulation als auch die Extraktion von parasitären Elementen.

In Kapitel 3 wird der Schaltvorgang von Leistungshalbleitern betrachtet. Im Abschnitt 3.1 wird der Schaltvorgang einer induktiven Last erörtert. Dazu wird in Abschnitt 3.2 der Einschaltvorgang ohne parasitäre Induktivitäten betrachtet und ebenfalls die Beeinflussung des Einschaltvorgangs durch parasitäre Kapazitäten analysiert. Der Ausschaltvorgang wird separat in Abschnitt 3.4 betrachtet. Eine Systembetrachtung mit Hilfe des Simulationsmodells wird in Abschnitt 3.5 analysiert und die Auswirkungen der einzelnen parasitären Elemente diskutiert. Diese Analyse erlaubt es, die Limitierung konventioneller Gatetreiberansätze aufzuzeigen und entsprechende Lösungsansätze zu entwickeln.

In Kapitel 4 wird das neue Halbleiteransteuerungsverfahren eingeführt. Dazu wird in Abschnitt 4.1 der aktuelle Stand der Technik zur Erhöhung des Gatestroms gesichtet. In Abschnitt 4.2.1 und Abschnitt 4.2.2 werden zwei Verfahren zur Schaltverlustreduzierung eingeführt. Ein Vergleich der Konzepte ist in Abschnitt 4.2.3 aufgeführt. Das in Abschnitt 4.2.2 eingeführte Gatetreiberverfahren stellt das vielversprechendste Konzept dar. Die Realisierung des Gatetreiberverfahrens ist in Abschnitt 4.3 aufgeführt. Aufbauend auf der Realisierung des Transformators erfolgt eine analytische Betrachtung.

Die experimentelle Verifikation des Halbleiteransteuerungsverfahrens erfolgt in Kapitel 5. Dazu wird die zu vermessende Struktur in Abschnitt 5.1.1 eingeführt, zusätzlich werden die Schwierigkeiten hinsichtlich der Spannungs- und Strommessung erörtert. In Abschnitt 5.1 sind transiente Messungen des Versuchsaufbaus gezeigt. Von besonderem Interesse ist die Gatestrommessung. Mit Hilfe dieser transienten Messungen wird die Einschaltenergiereduzierung eines GaN-HEMTs bestimmt. Zur Verifikation der Einschaltenergiereduzierung wird ein Aufwärtswandler vermessen und mit den Ergebnissen des konventionellen Gatetreibers verglichen. In Abschnitt 5.2 wird ein SiC-MOSFET vermessen. Ein Si-MOSFET in zwei Gehäusevarianten wird in Abschnitt 5.3 vermessen. Abschließend erfolgt eine Bewertung der Einschaltenergiereduzierung der unterschiedlichen Halbleitertechnologien, siehe Abschnitt 5.4.

In Kapitel 6 wird eine Sensitivitätsanalyse des Halbleiteransteuerungsverfahrens durchgeführt. Hierzu erfolgt eine Verifikation der Simulationsergebnisse durch die Messergebnisse in Abschnitt 6.1. In Abschnitt 6.2 erfolgt die Einführung eines Transformatorersatzschaltbildes. Mit Hilfe dieses Ersatzschaltbildes können geometrische Änderungen des Transformators analysiert und der Einfluss auf die Einschaltenergie betrachtet werden. Abschließend erfolgt eine Ableitung der Transformatordesignrichtlinien in Abschnitt 6.2.7. Eine Betrachtung der Kurzschlussfestigkeit des eingeführten Ansteuerungsverfahrens ist in Abschnitt 6.3 zu finden.

Die vorliegende Arbeit schließt mit Kapitel 7. Eine Zusammenfassung ist in Abschnitt 7.1 zu finden und Abschnitt 7.2 gibt einen Ausblick auf weiterführende Forschungsfragen.

2 Bauteil- und Modellierungsgrundlagen

2.1 Topologieübersicht

Eine typische Schaltungstopologie zum Erhöhen eines Spannungsniveaus ist ein Aufwärtswandler, welcher in Abb. 2.1(a) gezeigt ist. Der Aufwärtswandler besteht aus dem Leistungstransistor Q_1 , dem Gatetreiber, vereinfacht dargestellt durch die Gatetreiberspannungsquelle V_{GD} und den Gatevorwiderstand R_G , der Freilaufdiode D_{FWD} , der Eingangskapazität C_{in} , der Ausgangskapazität C_{out} und der Spule L . Des Weiteren sind die Gate-Source-Spannung v_{GS} , die Drain-Source-Spannung v_{DS} , der Sourcedstrom i_S und der Spulenstrom i_L eingezeichnet.

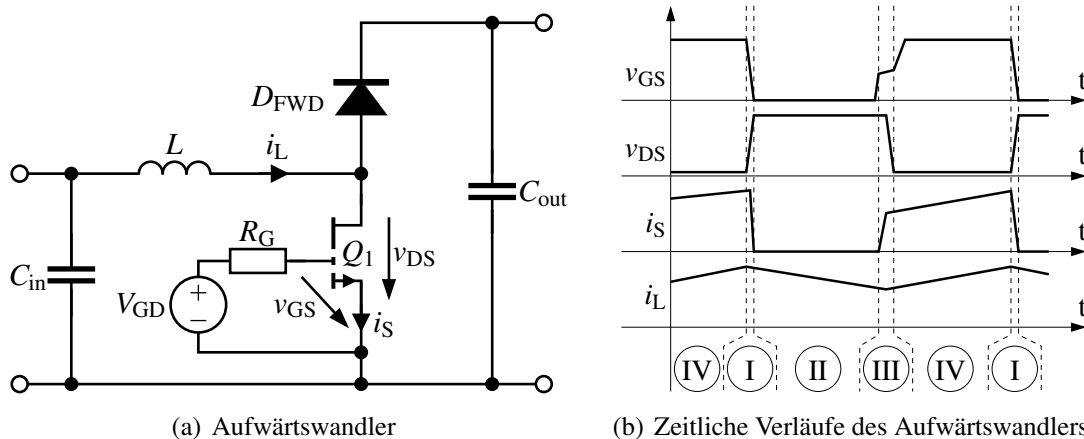


Abb. 2.1: In (a) ist der Schaltplan eines Aufwärtswandlers dargestellt. In (b) sind die zeitlichen Verläufe von v_{GS} , v_{DS} , i_S und i_L abgebildet.

Sowohl die zeitlichen Verläufe der Spannungen v_{GS} , v_{DS} als auch die Ströme i_S und i_L sind in Abb. 2.1(b) dargestellt. Im Zeitabschnitt I sinkt v_{GS} ab, der Transistor Q_1 wird ausgeschaltet. Die Spannung v_{DS} steigt aufgrund des steigenden Widerstands des Transistors. Der Strom i_L lädt die parasitäre Kapazität des Schaltknotens. Während dieses Zeitabschnittes sinkt der Strom i_S auf null ab. Die Spannung am Schaltknoten steigt auf den Spannungswert von C_{out} an, ebenfalls muss die Flussspannung der Diode beachtet werden.

Während des Zeitabschnitts II wird Energie von der Spule L auf die Ausgangskapazität C_{out} übertragen, der Strom i_L sinkt ab. Im Zeitabschnitt III wird der Transistor wieder eingeschaltet, die Spannung v_{GS} steigt wieder an. Wechselt der Transistor vom sperrenden Zustand in den leitenden Zustand, steigt der Strom i_S an. Erreicht i_S den Wert von i_L , fällt die Spannung v_{DS} ab. Während des Zeitabschnitts IV wird Energie in der Spule L gespeichert. An den Zeitabschnitt IV schließt sich wieder der Zeitabschnitt I an.

Das Systemverhalten wurde in [29, 170] für zwei Aufwärtswandler untersucht. Hierbei wurde gezeigt, dass der Hauptteil der Verluste in der Spule L und im Leistungstransistor Q_1 entsteht. Im Leistungstransistor Q_1 sind die Einschaltverluste der dominierende Anteil der Halbleiterverluste.

Durch eine Erhöhung der Schaltfrequenz f_{SW} kann eine Reduzierung des Stromrippels des Spulenstroms i_L erreicht werden. Im Allgemeinen kann dadurch die Spulenverlustleistung reduziert werden. Die Erhöhung der Schaltfrequenz f_{SW} führt im Gegenzug zu einer proportionalen Erhöhung der Schaltverluste des Transistors. Eine Steigerung der Systemeffizienz kann wiederum durch die Reduzierung der Schaltverluste erreicht werden, die durch eine verbesserte Ansteuerung erreicht werden kann.

2.2 Betrachtete Halbleiter

Für leistungselektronische Schaltung sind Halbleiterbauelemente notwendig, ein Schaltungsbeispiel ist in Abb. 2.1(a) gezeigt. Die in dieser Arbeit benutzten Halbleiter werden im nachfolgenden eingeführt. Nach dem aktuellen Stand der Technik sind drei Halbleitermaterialien für Leistungstransistoren für Spannungen bis 1000 V und Ströme bis 60 A am Markt verfügbar. Das etablierteste Halbleitermaterial ist Silizium (Si), gefolgt von Siliziumcarbid (SiC), welches eine größere Bandlücke als Si aufweist¹ und ebenfalls eine deutlich höhere kritische elektrische Feldstärke E_k besitzt. Als weiteres Material wird Galliumnitrid (GaN) eingesetzt, dessen kritische elektrische Feldstärke noch höher ist als die von SiC, ebenfalls wie die Bandlücke.

In Tab. 2.1 sind die wesentlichen Materialparameter aufgeführt. Der ausschlaggebende Unterschied beruht auf den unterschiedlichen kritischen elektrischen Feldstärken E_k der Materialien. Im Vergleich zu Si ist die kritische elektrische Feldstärke von SiC sechsmal höher und für GaN elfmal höher. Durch einen höheren Wert von E_k ist es möglich, bei gleicher Materialschichtdicke eine höhere Sperrspannung des Bauteils umzusetzen. Somit kann für die gleiche Sperrfähigkeit die Schichtdicke reduziert werden, was im Gegenzug die parasitäre Kapazität pro Flächeneinheit erhöht, aber aufgrund der kleineren Chipfläche ist die resultierende parasitäre Kapazität kleiner.

Eigenschaft	Einheit	Si	SiC	GaN
kritische elektrische Feldstärke E_k	$\frac{MV}{cm}$	0.3	2	3.3
Mobilität der Elektronen μ_{mobi}	$\frac{cm^2}{V \cdot s}$	1350	720	900 bzw. 1700
relative Permittivität ϵ_r	1	11.8	10	9
spezifische Wärmeleitfähigkeit λ	$\frac{W}{m \cdot K}$	148	438	243
Baliga's FOM $\mu_{mobi} \cdot \epsilon_r \cdot E_G^3$ (normiert auf Si)	1	1	134	677
Fujihira's FOM $\mu_{mobi} \cdot \epsilon_r \cdot E_G^2$ (normiert auf Si)	1	1	20	62

Tab. 2.1: Halbleitermaterialparameter und zwei vergleichende Figure of Merits nach Baliga und Fujihira normiert auf Si, siehe [172]. Die thermischen Eigenschaften sind für das Si Material aus [173] und für das SiC- und GaN-Material aus [174] entnommen. Die Leitfähigkeit des 2D-EG im GaN-Halbleiter entspricht dem höheren Wert von μ_{mobi} .

¹Bandlücke: 1.12 eV für Si, 3.28 eV für SiC (4H) und 3.37 eV für GaN, siehe [171]

Die Mobilität der Elektronen μ_{mobi} bezeichnet den Zusammenhang zwischen einem angelegten elektrischen Feld und der Driftgeschwindigkeit von Ladungsträgern. Diese ist für das Si am höchsten. Für SiC sinkt sie etwa um Faktor 2 ab. Für das GaN-Material muss bei dieser Angabe beachtet werden, dass dieser Wert für das Bulk-Material des Halbleiters gilt. Der Kanal des Transistors bildet sich aber im zweidimensionalen Elektronengas (2D-EG) aus, hier ist nach [175] die Mobilität der Elektronen μ_{mobi} mit einem Wert von $1700 \frac{\text{cm}^2}{\text{V}\cdot\text{s}}$ höher als die Mobilität des Si-Materials.

Die relative Permittivität ϵ_r ist ein Maß für die feldschwächenden Effekte der dielektrischen Polarisation des Mediums. Diese bewegt sich für alle drei Materialien auf einem vergleichbaren Niveau. Mit geringerem Wert von ϵ_r verringert sich die Kapazität zwischen zwei sich gegenüberliegenden Flächen.

Des Weiteren ist der Vergleich der Figure of Merit (FOM) nach Baliga für konventionelle Transistoren [176] und die FOM nach Fujihira für Super-Junction (SJ)-Si-Transistoren [177] aufgeführt. Für beide FOMs ist die Angabe auf das Si-Bauteil normiert. Dabei zeigt sich im Vergleich zu den Si-Bauteilen ein deutlich höheres Potential für die Umsetzung leistungsfähiger Transistoren, das durch die besseren Materialeigenschaften (z. B. eine höhere kritische elektrische Feldstärke E_k) begründet ist.

Mit den in Tab. 2.1 gegebenen Parametern ist es möglich, den Zusammenhang zwischen dem spezifischen Einschaltwiderstand $R_{\text{ds,On}} \cdot A$ und der Durchbruchspannung V_{br} der verschiedenen Halbleitermaterialien darzustellen. Diese Relation zwischen $R_{\text{ds,On}} \cdot A$ und V_{br} stellt die physikalische Limitierung für mögliche Bauteile dar. Sie ist in Abb. 2.2 für die drei Halbleitermaterialien Si, SiC und GaN dargestellt.

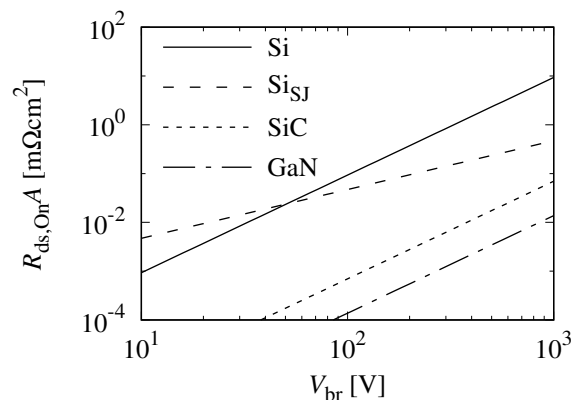


Abb. 2.2: $R_{\text{ds,On}} \cdot A$ in Abhängigkeit von V_{br} für verschiedene Halbleitermaterialien. Für das Si-Material sind zwei verschiedene Bauteilkonzepte dargestellt, angelehnt an [176, 177].

Für Si wird der Zusammenhang zwischen $R_{\text{ds,On}} \cdot A$ und der Durchbruchspannung V_{br} für zwei unterschiedliche Bauteilkonzepte gezeigt. Die mit Si gekennzeichnete Limitierung bezieht sich auf konventionelle Transistoren, dagegen gibt die mit Si_{SJ} gekennzeichnete Limitierung die Grenze für einen unipolaren vertikalen Super-Junction (SJ)-Transistor an. Der in Abb. 2.2 gezeigte Zusammenhang wurde für eine Säulenweite von $2 \mu\text{m}$ der eingebrachten Feldkompensationsstruktur berechnet. Eine genauere Erklärung der Funktionsweise des Si_{SJ}-Transistors folgt im weiteren Verlauf der Arbeit. Das Interessante an dem SJ-Transistor ist die Tatsache, dass der spezifische Einschaltwiderstand $R_{\text{ds,On}} \cdot A$ proportional mit V_{br} zunimmt (für konventionelle Transistoren steigt V_{br} ungefähr quadratisch). Dies erlaubt eine geringeren $R_{\text{ds,On}} \cdot A$ des SJ-Bauteils für eine gegebene

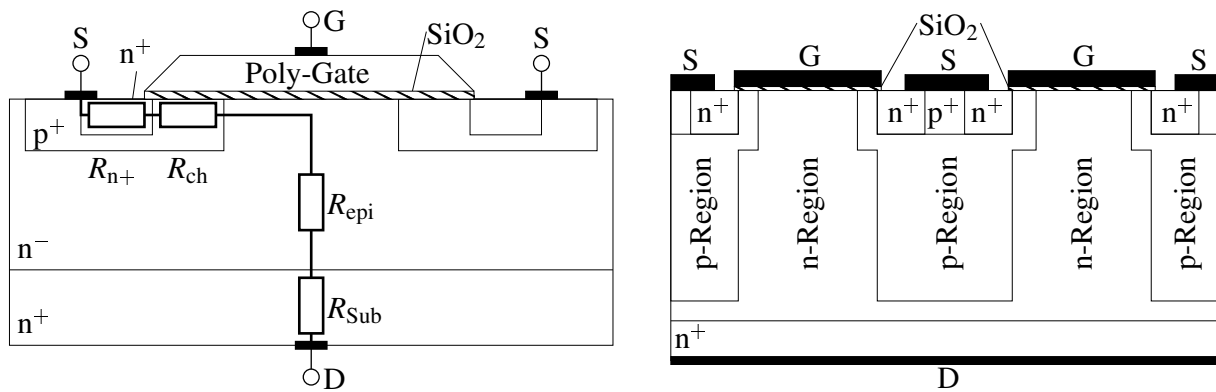
Durchbruchspannung. Zusätzlich kann die in der Ausgangskapazität des Transistors C_{OSS} gespeicherte Ladung (bei konstantem $R_{ds,On} \cdot A$) durch den Einsatz des SJ-Bauteils reduziert werden, siehe [177].

Für das SiC- und GaN-Material ergibt sich ein besseres Verhältnis zwischen dem spezifischen Einschaltwiderstand $R_{ds,On} \cdot A$ und der Durchbruchspannung V_{br} . Die gezeigte Darstellung gilt für konventionelle Transistoren. Die Implementierung des SJ-Konzeptes in der Si-Technologie kann diese Lücke zwar reduzieren, erfordert aber einen hohen prozesstechnischen Aufwand, wie in [172] erläutert ist. Aufgrund des besseren Verhältnisses zwischen $R_{ds,On} \cdot A$ und V_{br} ist das SJ-Konzept ebenfalls für SiC und GaN interessant. Mögliche Umsetzungen des SJ-Konzeptes wurden in [178–182] realisiert bzw. simuliert.

Neben den Parametern, die direkten Einfluss auf die elektrischen Eigenschaften (μ_{mobi} , ϵ_r , E_k) des Transistors haben, ist die spezifische Wärmeleitfähigkeit λ des Materials für die Entwärmung des Transistors von großer Bedeutung. Durch eine höhere spezifische Wärmeleitfähigkeit kann die im Transistor entstehende Wärme besser abgeführt werden. Das GaN-Material und vor allem das SiC-Material haben eine deutlich höhere spezifische Wärmeleitfähigkeit als das Si-Material und ermöglichen somit eine bessere Entwärmung.

2.2.1 Silizium

Konventionelle Siliziumleistungstransistoren sind vertikal aufgebaute Transistoren. Das heißt, der Source- und Gateanschluss befindet sich auf der Oberseite des Halbleitersubstrats und der Drainanschluss auf der Unterseite. Somit kommt es zu einem vertikalen Stromfluss durch das Bauteil. Ein schematischer Querschnitt eines Transistors ist in Abb. 2.3(a) gezeigt.



(a) Querschnitt eines konventionellen MOSFETs

(b) Querschnitt eines Si_{SJ}-MOSFETs

Abb. 2.3: In (a) ist der Querschnitt eines MOSFETs gezeigt. Der Einschaltwiderstand $R_{ds,On}$ besteht aus den folgenden Anteilen R_{n+} , R_{ch} , R_{epi} und R_{Sub} . In (b) ist der Querschnitt eines Si_{SJ}-MOSFET gezeigt. Im Gegensatz zum konventionellen Transistor wurden p-dotierte Säulen eingebracht.

Die wesentliche Limitierung konventioneller Leistungstransistoren liegt im Zusammenhang zwischen dem Einschaltwiderstand und der Sperrfähigkeit des Transistors. Das theoretische Limit liegt hierbei bei $R_{ds,On} \approx V_{br}^\alpha$, wobei α zwischen 2.4 und 2.6 liegt, siehe [183]. Eine weitere Steigerung der Spannung V_{br} führt zu einer Überschreitung des kritischen elektrischen Feldes E_k und

diese Überschreitung zum Durchbruch des Transistors. Um eine Steigerung der Sperrfähigkeit zu erreichen, muss die Dotierung des Driftgebietes herabgesetzt werden. Dies führt im Gegenzug zur Erhöhung des Widerstands der Driftzone R_{epi} , siehe [184]. Beispielsweise können für einen 30 V Transistor etwa 29 % des Gesamtwiderstands dem R_{epi} zugeschrieben werden. Dieser Anteil steigt für einen 600 V Transistor auf 96.5 % an.

Die zuvor beschriebene Limitierung kann durch eine zweidimensionale Feldkompensation überschritten werden, wie in [184] beschrieben ist. Der entstehende Transistor wird als Silizium-Super-Junction-MOSFET (Si_{SJ} -MOSFET) bezeichnet. Durch Einbringen von vertikalen p-Säulen in die Struktur können die n-Ladungen kompensiert werden, siehe Abb. 2.3(b). Wird der Transistor im Sperrbetrieb betrieben, baut sich ein laterales elektrisches Feld auf. Diese Raumladungsschicht bildet sich entlang des physikalischen pn-Übergangs aus und ist bei etwa 50 V über die gesamte p/n-Streifenkonstruktion verteilt. Die Driftzone ist nun größtenteils verarmt und fungiert als Spannungsbarriere.

Nachteilig bei dem Si_{SJ} -MOSFET ist der nicht lineare Zusammenhang zwischen parasitärer Kapazität und anliegender Drain-Source-Spannung. Dieser nichtlineare Verlauf der Kapazität ist auf die Ausbildung der Raumladungszone zurückzuführen.

Für höhere Spannungen (über 700 V) und höherer Stromtragfähigkeit (über 50 A) werden häufig IGBTs eingesetzt.² Dabei handelt es sich um ein Bauteil, das die Vorteile des Bipolartransistors (gutes Durchlassverhalten und hohe Sperrspannung) und die Vorzüge eines Feldeffekttransistors (nahezu leistungslose Ansteuerung) vereinigt. Der wesentliche Nachteil von IGBTs ist die hohe Schaltverlustleistung, insbesondere die Ausschaltverluste, siehe [185, 186].

2.2.2 Siliziumkarbid

Die unterschiedlichen Halbleiterparameter, gezeigt in Tab. 2.1, des SiC-Materials erfordern im Vergleich zum Si-Material eine Anpassung der Bauteilstruktur oder eine Anpassung der Dotierungen. Eine mögliche Bauteilstruktur ist in Abb. 2.3(a) gezeigt. Der gezeigte Querschnitt des vertikalen D-MOSFETs kann nach [187] nicht einfach auf das SiC-Material angewendet werden. Für aktuelle Transistortechnologien werden Trenchtechnologien auch für SiC-MOSFETs umgesetzt, siehe [188]. Die folgenden Ausführungen beziehen sich aber auf eine planare MOSFET-Struktur.

Die Anpassung der Bauteilstruktur hat im Wesentlichen zwei Gründe. Erstens: Die viel höhere Bandlücke würde in einer höheren Schwellspannung resultieren. Um eine mit Si-Bauteilen vergleichbare Schwellspannung zu erreichen, müsste die p-Dotierung im Gatebereich deutlich herabgesetzt werden. Aufgrund dieser niedrigen Dotierung wäre die Sperrfähigkeit des Bauteils sehr eingeschränkt.

Zweitens: In der MOSFET-Struktur wird im Vergleich zum Si-Bauteil eine deutlich höhere elektrische Feldstärke erreicht. Dieses hohe elektrische Feld belastet das Gateoxid und kann zur Zerstörung des Bauteils führen.

Aufgrund dieser Limitierungen muss der Kanal des Transistors mit Hilfe einer zusätzlichen Struktur geschützt werden, siehe [189]. Die resultierende Struktur wird als Shield Planar Inversion-Mode MOSFET (SPIM MOSFET) bezeichnet, siehe Abb. 2.4.

² Bipolartransistor mit isolierter Gate-Elektrode im englischen: Insulated-Gate Bipolar Transistor (IGBT)

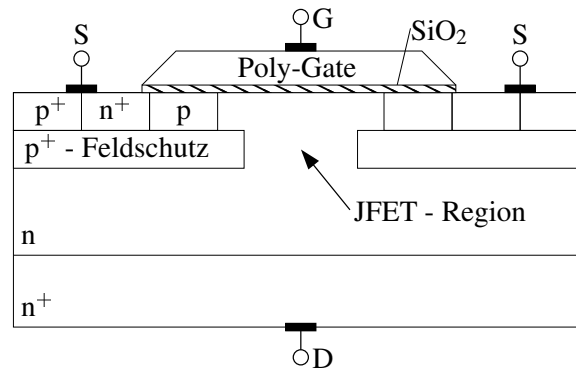


Abb. 2.4: Querschnitt eines SiC-MOSFETs

Das p^+ -Gebiet, das beim D-MOSFET das gesamte n^+ -Gebiet des Sourceanschlusses umgibt, wird unterhalb des Gategebietes schwächer dotiert. In dem resultierenden p -Gebiet bildet sich der Kanal des Transistors aus. Durch die Abschwächung der Dotierung kann die Schwellspannung des Transistors herabgesetzt werden.

Um das Gateoxid vor unzulässig hohen elektrischen Feldern zu schützen, wird eine p^+ -Feldschutzregion unterhalb des Transistorkanals eingebracht. Bei der Auslegung der p^+ -Feldschutzregion muss ein Kompromiss zwischen dem ohmschen Widerstand des Driftgebietes, im speziellen zwischen der p^+ -Feldschutzregion (markiert als JFET-Region), und dem Schutz des Gateoxids gefunden werden. Aufgrund der Reduzierung der Schichtdicke des Driftgebietes nehmen die parasitären Kapazitäten des Bauteils wieder zu. Dies kann nur teilweise durch die geringere Bauteilgröße bei gleicher Stromtragfähigkeit kompensiert werden.

Darüber hinaus ermöglicht die p^+ -Feldschutzregion die Reduzierung der Länge des Gatekanals, was zu einer Reduzierung des Kanalwiderstands führt. Nach [187] ist für Bauteile im Spannungsbereich bis etwa 1700 V der Kanalwiderstand maßgeblich für den gesamten Einschaltwiderstand verantwortlich. Wird hingegen eine höhere Sperrspannung gefordert, steigt der Einfluss des Driftregionwiderstands. Ab etwa 7000 V ist der Widerstand der Driftregion der dominante Teil des Gesamtwiderstands.

SiC-Schottky-Diode

In einem Aufwärtswandler wird neben dem aktiven Schalter Q_1 auch eine Diode benötigt. Diese Diode ist in Abb. 2.1(a) gezeigt und wird als Freilaufdiode D_{FWD} bezeichnet. Wichtige Merkmale dieser Diode sind neben einer geringen Vorwärtsspannung V_f eine geringe Sperrschichtkapazität C_S und eine geringe Speicherladung Q_{tr} .

Im Vergleich zur Si-Diode haben SiC-Schottky-Dioden den wesentlichen Vorteil der signifikanten Reduzierung der Speicherladung Q_{tr} und der Sperrschichtkapazität C_S . Das Schaltverhalten von SiC-Schottky-Dioden wird auch als reines kapazitives Schaltverhalten bezeichnet, siehe [190–194]. Als Nachteil ist die höhere Flussspannung in Vorwärtsrichtung zu sehen, siehe [195]. Moderne SiC-Schottky-Dioden nutzen neben dem Schottky-Übergang einen PN-Übergang, um hohe pulsartige Strombelastungen der Diode zu ermöglichen. Diese Struktur wird als *merged PN Schottky structure* bezeichnet und ist in [196] näher erläutert.

Der prinzipielle Aufbau der SiC-Schottky-Diode ist in Abb. 2.5(a) gezeigt, siehe [196, 197]. Die oberste Schicht der SiC-Schottky-Diode ist eine Metallschicht, die auch als Bondanschluss genutzt

wird. Im Anschluss folgt die Epitaxieschicht, welche die Sperrfähigkeit der Diode gewährleistet. Die Epitaxieschicht ist schwach n-dotiert. Als letzte Halbleiterschicht folgt das SiC-Substrat mit einer Rückseitenmetallisierung. Das SiC-Substrat ist hoch n-dotiert, dadurch wird ein geringer Leitwiderstand erreicht. Zusätzlich wird das SiC-Substrat möglichst dünn ausgeführt.

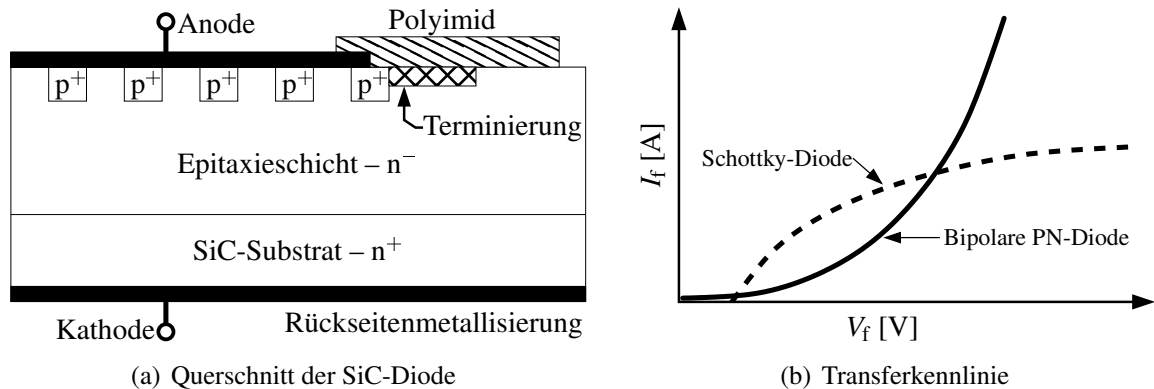


Abb. 2.5: In (a) ist der vereinfachte Schichtaufbau einer SiC-Schottky-Diode gezeigt, eine Randterminierung ist ebenfalls eingezeichnet. In (b) ist die Vorwärtskennlinie einer SiC-Schottky-Diode dargestellt, im Graph ist die Kennlinie sowohl für den Schottky-Übergang als auch die des bipolaren PN-Übergangs eingezeichnet.

Wie bereits erwähnt, nutzen moderne SiC-Schottky-Dioden neben dem Schottky-Übergang einen zusätzlichen PN-Übergang. Dieser PN-Übergang ermöglicht eine hohe zerstörungsfreie Strombelastung im Vorwärtsbetrieb. Dazu werden, wie in Abb. 2.5(a) dargestellt, p^+ -Inseln unterhalb der Anodenmetallisierung eingebracht. Im Vorwärtsbetrieb unterhalb einer Flussspannung von etwa 3 V haben diese p^+ -Inseln keine Funktion. Wie in Abb. 2.5(b) dargestellt, fließt der Strom nur über die Schottky-Diode. Steigt nun der Vorwärtsstrom I_f auf hohe Werte an, wird der Stromfluss von dem PN-Übergang übernommen. Dadurch können auch bei hohen Strömen eine niedrige Flussspannung und somit geringere Leitverluste erreicht werden.

Als weitere Vorteile dieser p^+ -Inseln kann die gleichförmige Avalanche-Durchbruchverteilung über die aktive Bauteilfläche genannt werden. Der Avalanche-Durchbruch tritt kontrolliert an den Ecken der p^+ -Gebiete auf. Ebenfalls ist durch p^+ -Inseln ein sogenanntes „barrier lowering“ möglich, dies reduziert den Leckstrom der Diode. Ein Nachteil dieser p^+ -Gebiete ist die höhere Speicherladung der Diode.

Des Weiteren muss eine Randterminierung der Anodenstruktur vorgesehen werden, dadurch wird eine unzulässige Feldstärke innerhalb des Bauteils vermieden. Diese Terminierung kann aus einer Oxidschicht bestehen, siehe [198] oder mit Hilfe von p^+ -Ringen um das aktive Bauteil ausgeführt werden, siehe [199].

2.2.3 Galliumnitrid

Im Gegensatz zu den zuvor vorgestellten MOSFETs, welche durch unterschiedliche Dotierungsprofile in einem Grundmaterial (Si oder SiC) hergestellt werden können, basiert die Funktionsweise des GaN-HEMTs auf der Paarung zweier Materialien mit unterschiedlicher Bandlücke, siehe [200, 201]. Durch die Paarung von Galliumnitrid (GaN) und Aluminiumgalliumnitrid (AlGaN) entsteht ein Heteroübergang. Die Elektronenbewegung parallel zu diesem Übergang ist fast uneingeschränkt möglich. Die entstehende leitfähige Schicht wird als zweidimensionales Elektronengas (2D-EG) bezeichnet. Der Vorteil des 2D-EG ist die hohe Elektronenmobilität und der damit einhergehende geringe Leitwiderstand dieser Schicht, siehe Tab. 2.1.

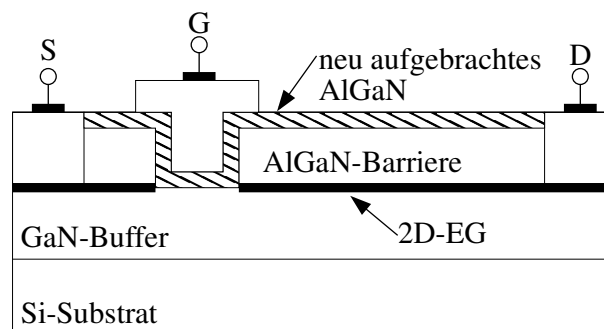


Abb. 2.6: Querschnitt eines GaN-HEMTs, siehe [200].

Als Grundmaterial für die Herstellung eines GaN-Transistors wird ein Si-Wafer verwendet. Auf diesen Si-Wafer wird eine relativ schlecht leitende GaN-Schicht aufgetragen.³ Im Anschluss wird eine AlGaN-Schicht abgeschieden. Zwischen diesen Schichten (GaN und AlGaN) bildet sich das zweidimensionale Elektronengas aus. Zur Beeinflussung der Leitfähigkeit des Transistors wird die AlGaN-Schicht entfernt und eine neue dünnere AlGaN-Schicht aufgetragen. An dieser Stelle ist nun das 2D-EG unterbrochen. Ein leitfähiger Kanal unterhalb der dünnen AlGaN-Schicht kann aber durch Anlegen einer positiven Spannung am Gateanschluss hergestellt werden. Abschließend werden die elektrischen Anschlüsse für Drain und Source vorgesehen.

Wird nun eine positive Spannung zwischen Drain und Source angelegt, kann der Elektronenfluss zwischen Drain und Source durch die Spannung zwischen Gate und Source kontrolliert werden. Ist die Spannung am Sourceanschluss höher als am Drainanschluss, kommt es zu einem Stromfluss ohne dass die Gate-Source-Spannung erhöht werden muss. Es stellt sich ein diodenähnliches Verhalten ein.

Die wesentliche Herausforderung der Herstellung des Transistors ist die Schwierigkeit im gezielten Aufätzen der AlGaN-Schicht, die eine Dicke unter 1.5 nm aufweist. Prozessschwankungen führen zu einer ungleichmäßigen Schwellspannung V_{th} des Transistors und können die Zuverlässigkeit beeinflussen, siehe [201].

³Um Gitterspannung zwischen dem Si- und GaN-Material zu vermeiden, muss gegebenenfalls eine Zwischenschicht eingefügt werden.

2.2.4 Vergleich der Halbleiterbauelemente

Die in Abschnitt 2.2 vorgestellten Bauteile werden hinsichtlich ihrer elektrischen Eigenschaften in Tab. 2.2 verglichen. Basierend auf diesen Parametern werden Vor- und Nachteile dieser Bauteile diskutiert.

Bauteilname, Hersteller	Typ	V_{br} [V]	$R_{ds,On}$ [m Ω]	$v_{GS,max}$ [V]	$R_{G'}$ [Ω]	g_m [S]	C_{ISS} [pF]	C_{OSS} [pF]
GS66516T [202], GaN Systems	GaN	650	25	7	0.34	58	520	130
C3M0120100K [203], Cree	SiC	1000	120	15	16	7.7	350	50
IPZ65R095C7 [204], Infineon	Si	700	95	20	0.9	40	2140	69

Tab. 2.2: Elektrische Eigenschaften verschiedener Transistoren. Die Bauteilkenngrößen sind aus Datenblättern entnommen, die Werte sind für Raumtemperatur angegeben. C_{OSS} ist für 400 V gezeigt.

Sowohl die Durchbruchspannung V_{br} als auch der Einschaltwiderstand $R_{ds,On}$ sind für das GaN- und Si-Bauteil vergleichbar. Der SiC-MOSFET hat im Vergleich hierzu eine höhere Durchbruchspannung und einen höheren Einschaltwiderstand. Für den GaN-Transistor ist die maximal zulässige Gatespannung $v_{GS,max}$ mit 7 V angegeben. Im Vergleich zum Si-Bauteil ist $v_{GS,max}$ für den GaN-Transistor etwa um den Faktor 3 geringer.

Neben diesen Parametern, welche für den statischen Betrieb entscheidend sind, können auch Parameter für den Schaltvorgang herangezogen werden. Der interne Gateinnenwiderstand des Transistors $R_{G'}$ ist für die GaN- und Si-Bauteile unter 1 Ω . Dies steht im Gegensatz zu dem SiC-Bauteil, bei dem der Gateinnenwiderstand einen Wert von 16 Ω besitzt. Des Weiteren ist die Steilheit der Transistoren aufgeführt. Für das GaN- und Si-Bauteil können vergleichbare Werte ermittelt werden. Im Gegensatz dazu ist die Steilheit des SiC-MOSFETs fast um eine Größenordnung geringer.

Ein weiterer Parameter zur Bewertung des Einschaltverhaltens ist die Eingangskapazität des Transistors C_{ISS} . Hierbei bewegen sich das SiC- und GaN-Bauteil auf einem gleichen Niveau, die Eingangskapazität des Si-MOSFET ist dagegen um fast eine Größenordnung größer. Selbige Betrachtung kann für die Ausgangskapazität des Transistors C_{OSS} angesetzt werden. Der SiC-MOSFET kann hier einen geringeren Wert aufweisen. Der Wert der Kapazität gibt Aufschluss über die gespeicherte Energie.⁴

Für sehr schnelle Schaltvorgänge ist die Drain-Gate-Kapazität C_{DG} ein wichtiger Parameter, wie später in Abschnitt 3.3.5 gezeigt wird. Diese Kapazität reduziert die Schaltgeschwindigkeit aufgrund des zur Umladung nötigen Ausgleichsstroms, der durch den Gatetreiber bereitgestellt werden muss. Dabei muss bei dieser Betrachtung die Spannungsabhängigkeit beachtet werden.

Der Wert dieser Kapazität ist im starken Maße abhängig von der am Transistor anliegenden Drain-Source-Spannung. Zur Verdeutlichung ist in Tab. 2.3 der Wert der Drain-Gate-Kapazität C_{DG} für $v_{DS} = 10$ V und $v_{DS} = 400$ V gezeigt und in Abb. 2.7 ist der schematische Verlauf der Drain-Gate-Kapazität C_{DG} in Abhängigkeit von v_{DS} dargestellt. Für die Bauteile liegt der Unterschied zwischen 10 V und 400 V bei mehr als einer Größenordnung. Für den GaN-HEMT ist dieser Unterschied am größten, was die Schalteigenschaft am stärksten beeinflusst.

⁴Die Kapazität kann als ideal angenommen werden und der Wert der gespeicherten Energie entspricht dem einer Umladung von 0 auf 400 V dieser Kapazität.

Bauteil für $v_{DS} =$	C_{DG} 10 V [pF]	C_{DG} 400 V [pF]	Q_G [nC]	$Q_{G,th}$ [nC]	$i_{G,max} = \frac{v_{GS,max} - V_{th}}{R_{G'}}$ [A = $\frac{V}{\Omega}$]	$t_{SW,min} = \frac{Q_{G,th}}{i_{G,max}}$ [ns]
GaN, [202]	70	4	12.1	8	14.7	0.56
SiC, [203]	35	3	21.5	12	0.44	27.3
Si, [205]	100	6.5	53	20	4.1	4.9

Tab. 2.3: Elektrische Eigenschaften verschiedener Transistoren. Die Bauteilkenngrößen sind aus Datenblättern entnommen, die Werte sind für Raumtemperatur angegeben. Die Schwellspannung V_{th} ist für $i_S = 20$ A angenommen.

Das Schalten eines ladungsgesteuerten Bauteils, wie die in Abschnitt 2.2 eingeführten Bauteile, erfordert das Aufbringen einer bestimmten Ladungsmenge Q_G , um den Halbleiter von einem sperrenden in einen leitenden Zustand zu versetzen. Die in Tab. 2.3 aufgeführte Ladungsmenge entspricht der Ladungsmenge, die nötig ist, um die Gate-Source-Spannung vom Sperrzustand zum Leitzustand anzuheben. Diese Spannungsniveaus variieren für die unterschiedlichen Transistortypen zwischen 0 V bis 6 V für den GaN-Transistor und -4 V bis 15 V für den SiC-Transistor. Zusätzlich ist die Ladungsmenge aufgetragen, welche zwischen dem Beginn der Leitfähigkeit (dem Erreichen der Schwellspannung V_{th}) und dem Punkt, an dem die Drain-Source-Spannung v_{DS} auf null abgesunken ist, in das Gate transferiert werden muss. Diese Ladungsmenge wird als Gatespeicherladung im Schaltmoment $Q_{G,th}$ bezeichnet.

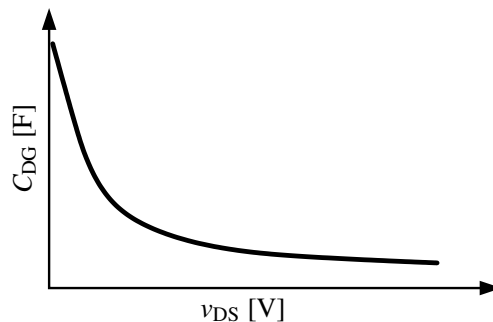


Abb. 2.7: Schematischer Verlauf der Drain-Gate-Kapazität C_{DG} in Abhängigkeit von v_{DS} .

Die Ladungsmenge wird durch den Strom i_G auf das Gate transferiert. Soll dieser Vorgang schnell ablaufen muss ein hoher Gatestrom i_G zur Verfügung gestellt werden. Der maximale Gatestrom $i_{G,max}$ kann durch das ohmsche Gesetz ermittelt werden, wenn ein idealer Aufbau (ohne parasitäre Induktivitäten) vorausgesetzt wird. Dazu wird das Verhältnis zwischen maximal möglicher Spannung zwischen Gate und Source $v_{GS,max}$ abzüglich der Schwellspannung V_{th} (für $i_S = 20$ A) des Transistors und des internen Gatewiderstands $R_{G'}$ aufgestellt. Dabei zeigt sich, dass für den GaN- und Si-Transistor maximale Gateströme $i_{G,max}$ von über 4 A erreicht werden können. Aufgrund des hohen Widerstands $R_{G'}$ des SiC-MOSFETs stellt sich hier ein maximaler Strom $i_{G,max}$ von 0.5 A ein.

Aufbauend auf dem Wert von $i_{G,max}$ kann die minimale Schaltzeit $t_{SW,min}$ bestimmt werden. Diese Zeit errechnet sich aus der Differenz der Gatespeicherladung im Schaltmoment $Q_{G,th}$ und dem maximalen Gatestrom $i_{G,max}$. Für den GaN-Halbleiter ergibt sich ein Wert von 0.56 ns, für den

Si₃N₄-MOSFET ein Wert von 4.9 ns. Im Gegensatz dazu ergibt sich für den SiC-MOSFET ein deutlich höherer Wert (27.3 ns). Die Ursache hierfür ist der hohe Gateinnenwiderstand $R_{G'}$. Die berechneten Zeiten sind theoretischer Natur. Wie im weiteren Verlauf der Arbeit gezeigt wird, ist der Schaltvorgang signifikant durch weitere parasitäre Elemente limitiert. Daraus folgt, dass die Schaltgeschwindigkeit in starken Maße durch die Ansteuerung des Halbleiters limitiert wird.

2.2.5 Elektrische Modellierung eines Leistungstransistors

Die in Tab. 2.2 verglichenen Bauteile können durch das in Abb. 2.8 eingeführte Ersatzschaltbild modelliert werden. Das gezeigte Ersatzschaltbild ist ein verhaltenbeschreibendes Modell. Die für das Modell nötigen Parameter können mit Hilfe von Simulationen und Messungen bestimmt werden. Da dieses Modell nicht die physikalischen Wirkzusammenhänge abbildet, kann es für die hier betrachteten Halbleitertechnologien genutzt werden.

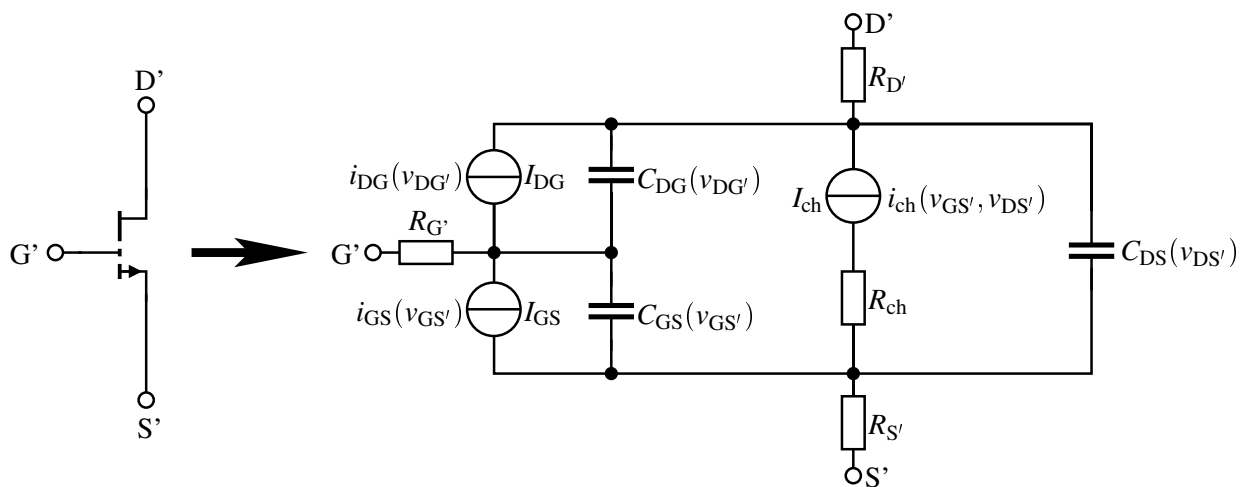


Abb. 2.8: Vereinfachtes Ersatzschaltbild eines Transistors. Dieses Ersatzschaltbild basiert auf der Auswertung der von den Halbleiterherstellern zur Verfügung gestellten Modellen. Parasitäre Induktivitäten sind nicht berücksichtigt.

Das Transistormodell umfasst drei Anschlüsse: Sourceanschluss des Halbleitermodells S' , Drainanschluss des Halbleitermodells D' und Gateanschluss des Halbleitermodells G' . Parasitäre Elemente, die durch die AVT bedingt sind, werden in Abschnitt 2.2.6 eingeführt. Aufgrund der Übersichtlichkeit wurde auf eine Kennzeichnung der Temperaturabhängigkeit der Modellparameter verzichtet. Im Folgenden werden die relevanten Elemente des elektrischen Transistormodells beschrieben.

- Die spannungsgesteuerte Stromquelle des Kanalstroms I_{ch} bildet den Kanalstrom i_{ch} ab. Der Stromwert wird durch die interne Gate-Source-Spannung $v_{GS'}$ gesteuert. Des Weiteren ist der Strom i_{ch} von der Spannung $v_{DS'}$ abhängig.
- Die spannungsgesteuerte Stromquelle des Gate-Source-Leckstroms I_{GS} bildet den Gate-Source-Leckstrom i_{GS} in Abhängigkeit von $v_{GS'}$ ab.
- Die spannungsgesteuerte Stromquelle des Drain-Gate-Leckstroms I_{DG} bildet den Drain-Gate-Leckstrom i_{DG} in Abhängigkeit von $v_{DG'}$ ab.

- Der ohmsche Kanalwiderstand R_{ch} wird durch einen Widerstand nachgebildet. Der Widerstand des Drainanschlusses $R_{D'}$ bildet den ohmschen Widerstand zwischen dem Drainanschluss des Halbleitermodells D' und der spannungsgesteuerten Stromquelle des Kanalstroms I_{ch} nach. Der Widerstand des Sourceanschlusses $R_{S'}$ bildet den ohmschen Widerstand zwischen Sourceanschluss des Halbleitermodells S' und R_{ch} nach.
- Der Gateinnenwiderstand $R_{G'}$ bildet den ohmschen Widerstand der Gateschleife nach.
- Der Wert der Drain-Source-Kapazität C_{DS} ist abhängig von der Spannung $v_{DS'}$. Diese modelliert im Wesentlichen die Ausgangskapazität des Transistors C_{OSS} .
- Der Wert der Drain-Gate-Kapazität C_{DG} ist abhängig von der Spannung $v_{DG'}$. Diese Kapazität wird auch als Miller-Kapazität bezeichnet.
- Der Wert der Gate-Source-Kapazität C_{GS} ist abhängig von der Spannung $v_{GS'}$. Sie repräsentiert im Wesentlichen die Eingangskapazität des Transistors C_{ISS} .

Die parasitären Kapazitäten haben einen signifikanten Einfluss auf das Schaltverhalten und können nach [206] wie folgt zusammengefasst werden:

$$C_{RSS} = C_{DG} \quad (2.1)$$

$$C_{ISS} = C_{GS} + C_{RSS} = C_{GS} + C_{DG} \quad (2.2)$$

$$C_{OSS} = C_{DS} + C_{RSS} = C_{DS} + C_{DG} \quad (2.3)$$

Der Einfluss der parasitären Kapazitäten wird in [207, 208] auf das Schaltverhalten untersucht. Dabei wird herausgestellt, dass Substratkopplungen sehr starke Effekte auf das Schaltverhalten haben. Dabei nimmt der Anschluss des Substrates sowohl starken Einfluss auf die Schaltzeiten als auch auf die Schaltverluste. Eine detaillierte Analyse ist in [207] zu finden.

2.2.6 Parasitäre Elemente der Aufbau- und Verbindungstechnik

Parasitäre Induktivitäten

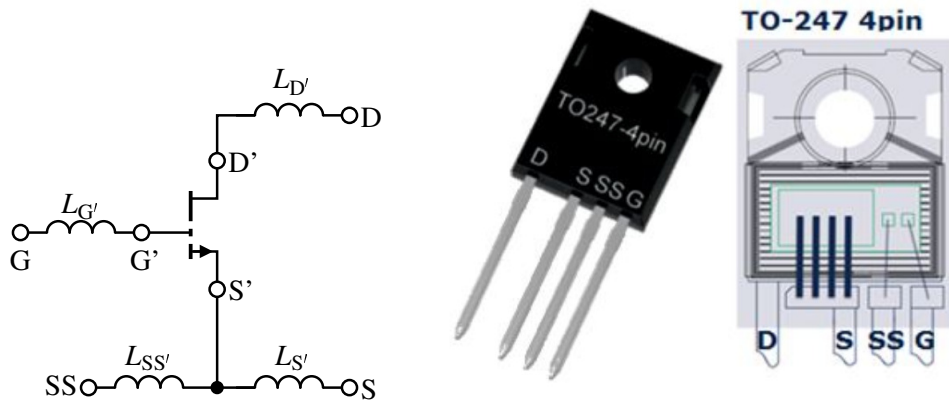
Das in Abb. 2.8 gezeigte Modell umfasst keine parasitären⁵ Elemente der Aufbau- und Verbindungstechnik (AVT). Wesentliche parasitäre Elemente der AVT sind ohmsche Widerstände, Kapazitäten und Induktivitäten. Parasitäre Induktivitäten haben auf den Schaltvorgang des Transistors einen wesentlich größeren Einfluss als ohmsche Widerstände. Aufgrund der Stromänderung im Schaltmoment kommt es zur Spannungsinduktion über diese Induktivitäten, welche in Abb. 2.9(a) eingeführt werden.

Um die Verwendbarkeit des Transistorchips zu vereinfachen, müssen die Anschlüsse D' , S' und G' durch ein AVT-Konzept zugänglich gemacht werden. Dieses AVT-Konzept erlaubt es nun, den Halbleiter durch Schraubkontakte oder Lötverbindungen in eine Schaltung zu integrieren.

Die entstehenden Anschlusspunkte werden als Drain D , Source S und Gate G bezeichnet. Aufgrund der räumlichen Ausdehnung zwischen S' und S (D' und D , bzw. G' und G) wird diese Entfernung mit einem Leitungsstück überbrückt. Diese Leitungsstücke zeigen entsprechend ihrer

⁵Der Begriff „parasitär“ ist der gängige Sprachgebrauch in der Leistungselektronik, wobei die Nutzung des Begriffs nicht korrekt ist. Ein Parasit entzieht einem Wirt Energie und profitiert von der Energie des Wirts für sein eigenes Wachstum. Dieser Nutzen ist für die parasitären Elemente in der Leistungselektronik nicht gegeben.

Geometrie ein induktives und resistives Verhalten. Der resistive Anteil hat einen geringen Einfluss auf das Schaltverhalten und wird daher aus Gründen der Übersichtlichkeit in Abb. 2.9(a) nicht gesondert aufgeführt. Die Induktivitäten werden entsprechend ihrer Zuordnung als Sourceinduktivität des Gehäuses $L_{S'}$, Draininduktivität des Gehäuses $L_{D'}$, Gateinduktivität des Gehäuses (am Sourceanschluss) $L_{SS'}$ und Gateinduktivität des Gehäuses $L_{G'}$ bezeichnet.



(a) Erweiterung des Transistorersatzschaltbildes

(b) Bild und Skizze eines TO247-4 Gehäuses, entnommen aus [209]

Abb. 2.9: In (a) ist die Erweiterung des Transistorersatzschaltbildes durch die parasitären Induktivitäten $L_{D'}$, $L_{G'}$, $L_{SS'}$ und $L_{S'}$ gezeigt. Des Weiteren werden die Anschlüsse D, G, SS und S eingeführt. In (b) ist ein Bild und die schematische Darstellung eines TO247-4 Gehäuses dargestellt, entnommen aus [209]. Dieses Gehäuse verfügt über einen Source-Sense-Anschluss, dadurch können i_S und i_G direkt am Halbleiter getrennt werden.

Insbesondere durch das Leitungsstück, welches sowohl vom Gatestrom i_G , als auch vom Sourcestrom i_S durchflossen wird, kann das Schaltverhalten stark beeinflusst werden, wie später in Abschnitt 3.3.3 gezeigt wird. Kommt es aufgrund einer Stromänderung von i_S zu einem Spannungsabfall an diesem Leitungsstück, wird eine Rückwirkung auf den Strom i_G sichtbar. Dieses Leitungsstück wird unter anderem genutzt um die Kurzschlussfestigkeit des Halbleiters zu erhöhen, siehe [210]. Dies wird durch eine angepasste Layoutstruktur im Halbleitermodul erreicht.

Um die Kontrollierbarkeit des Schaltvorgangs zu erhöhen, wird ein weiterer Anschluss eingeführt, dieser wird als Source-Sense-Anschluss SS oder als Kelvin-Source-Anschluss bezeichnet. Durch diesen Anschluss kann der Stromfluss von i_S und i_G direkt am Halbleiterchip getrennt werden. Ein Beispiel für eine Erweiterung um den Source-Sense-Anschluss des Halbleitergehäuse ist in Abb. 2.9(b) gezeigt. Dabei handelt es sich um ein TO247-4 Gehäuse.⁶ Das Verbindungsstück zwischen D' und D ist die Grundplatte des Gehäuses. Auf diese Grundplatte wird der Halbleiterchip aufgelötet. Auf der Oberseite wird mit Hilfe von Bonddrähten eine Verbindung zwischen S' und S hergestellt. Ein weiterer Bonddraht ermöglicht nun die direkte Trennung der Ströme i_S und i_G am Halbleiter. Dieser Bonddraht verbindet den Halbleiterchip mit dem Anschluss SS. Der Gateanschluss G wird ebenfalls durch einen Bonddraht mit dem Halbleiterchip verbunden.

⁶Die Bezeichnung TO steht für „Transistor Outline“.

Parasitäre Kapazitäten

Parasitäre Kapazitäten am Schaltknoten haben neben den parasitären Induktivitäten einen bedeutenden Einfluss auf das Schaltverhalten. Die Ergebnisse einer simulativen Betrachtung sind in Abschnitt 3.3.1 gezeigt. Zur Entwärmung des Halbleiters muss ein Kühlkörper an das Halbleitergehäuse montiert werden. Der Kühlkörper muss meist aufgrund von Sicherheitsbestimmungen an das Erdpotenzial angeschlossen werden.

Die Grundplatte des in Abb. 2.9(b) gezeigten Halbleitergehäuses muss zur guten Entwärmung mit einem geringen thermischen Widerstand R_{th} mit dem Kühlkörper verbunden werden. Zur Reduzierung des R_{th} und teilweise zur elektrischen Isolation wird ein Wärmeleitmaterial (TIM)⁷ zwischen das Halbleitergehäuse und den Kühlkörper montiert. Die sich planar gegenüberliegenden Flächen bilden nun einen Plattenkondensator aus.

Die resultierende Kapazität muss bei jedem Schaltvorgang um die Spannung v_{DS} umgeladen werden, da die Grundplatte den elektrischen Leiter zwischen D' und D darstellt. Diese Annahme setzt voraus, dass der Sourceanschluss mit dem Erdpotenzial verbunden ist.

2.3 Simulationsumgebung

Im nachfolgenden werden die Simulationsumgebungen eingeführt und diese hinsichtlich ihrer Anwendbarkeit überprüft.

2.3.1 SPICE Simulator

Das Simulationsprogramm SPICE stellt die Grundlage der meisten Schaltungssimulatoren dar. Es wurde von Lawrence Nagel und anderen an der University of California, Berkeley geschrieben, siehe [211].

Der SPICE-Simulator stellt als erstes die Knotenmatrix des elektrischen Netzwerkes nach den Kirchhoffschen Regeln auf, um so den Spannungsvektor \mathbf{V} aus der bekannten Leitwertmatrix \mathbf{G} und des bekannten Stromvektors \mathbf{I} zu lösen. Die Knotengleichung kann allgemein wie folgt geschrieben werden:

$$\mathbf{G} \cdot \mathbf{V} = \mathbf{I} \quad (2.4)$$

Die Leitwertmatrix \mathbf{G} ist im Normalfall eine unregelmäßig besetzte Matrix. Daher wird diese mit Hilfe des Gaußschen Eliminationsverfahren zu einer stufenförmigen Matrix umgeschrieben. Diese stufenförmige Matrix wird so gestaltet, dass die Matrix nur in der Diagonale und oberhalb der Diagonale besetzt ist. Im zweiten Schritt kann die Lösung des Gleichungssystems durch Rücksubstitution gelöst werden. Dieses Verfahren eignet sich sehr gut für ein numerisches Berechnungsverfahren. Die Bestimmung der Knotengleichung kann auch durch die *modified nodal analysis* erfolgen. Diese Methode bietet Vorteile bei der Darstellung von spannungseinprägenden Bauteilen wie spannungsgesteuerte Spannungsquellen.

⁷Wärmeleitmaterial, engl. Thermal Interface Material (TIM)

Die Eigenschaften der Halbleiter werden häufig durch nichtlineare Funktionen modelliert. Zur Lösung dieser nichtlinearen Zusammenhänge wird das *Newton-Raphson*-Verfahren verwendet. Das Newton-Raphson-Verfahren erlaubt es, von einer stetig differenzierbaren Funktion Näherungswerte zu finden. Die grundlegende Idee ist es, die Funktion in einem Ausgangspunkt zu linearisieren. Die Nullstelle der Tangente wird als verbesserte Näherung genutzt und in mehreren Iterationen wird eine hinreichend genaue Lösung gefunden. Ist eine Lösung gefunden, kann das Gleichungssystem aus (2.4) wieder durch Rücksubstitution gelöst werden.

Für statische Analysen wie die *DC-bias-point* Simulation stellen Kapazitäten offene Schaltkreise dar und Induktivitäten stellen Kurzschlüsse dar. Soll eine transiente Simulation durchgeführt werden, müssen alle Kapazitäten und Induktivitäten in eine differentielle oder integrale Form überführt werden. Im Anschluss kann eine Lösung durch eine numerische Methode für gewöhnliche und partielle Differentialgleichungen ermittelt werden.

Zur Lösung der in (2.4) eingeführten Gleichung kann für transiente Simulationen die Trapez-Methode genutzt werden. (Alternativ kann auch als Lösungsmethode die *Backward Differentiation Formulas (BDF)*-Methode verwendet werden, im speziellen die BDF2-Methode.) Dabei wird ausgenutzt, dass die Ableitung zum aktuellen Zeitpunkt bekannt ist. Daraus kann die nächste Lösung abgeschätzt werden. Im Anschluss wird diese Annahme durch Lösen der Gleichung (2.4) überprüft. Werden die Konvergenzbedingungen erfüllt, kann die Berechnung des nächsten Zeitschrittes erfolgen. Falls die Konvergenzbedingungen nicht erfüllt werden, wird ein kleinerer Zeitschritt gewählt und die Lösung für diesen Zeitpunkt bestimmt. Durch diese sich wiederholenden zeitintensiven Berechnungsschritte kann eine transiente Simulation extrem aufwendig werden. Wird beispielsweise die Erwärmung des Gesamtsystems untersucht, kann es von Vorteil sein, Dioden und Transistoren als ideale Schalter zu modellieren. (Im SPICE-Simulator sind dies aufwendige teilweise nichtlineare Modelle.)

Die Trapez-Methode kann dem *Runge-Kutta*-Verfahren zugeordnet werden. Im Gegensatz dazu bestimmt das *klassische Runge-Kutta*-Verfahren einen Testpunkt zwischen dem aktuellen und dem nächsten Zeitpunkt. Eine gängige Bezeichnung dieses Verfahrens lautet RK4. Dieses Verfahren hat im Vergleich zu der Trapez-Methode zwar einen höheren Rechenaufwand, bietet aber die besseren Konvergenzeigenschaften.

Systemlevel Simulatoren

In der Regel sind die Halbleitermodelle sehr komplexe Netzwerke mit einer Vielzahl nichtlinearer Gleichungen. Da für leistungselektronische Systeme die Transistoren meist als Schalter eingesetzt werden, ist die Lösung der nichtlinearen Gleichungen nicht zwingend erforderlich. Aufgrund dieser Abstrahierung können die Halbleitermodelle durch einen idealen Schalter ersetzt werden. Der Simulationsaufwand für den Schaltungssimulator wird enorm reduziert, siehe [212]. Zur Simulation des exakten Schaltverhaltens eignet sich dieser Simulationsansatz nicht. Vielmehr ist der Einsatz für die Bestimmung des Systemverhaltens interessant.

Die daraus resultierende Simulationsmethode wird als *Systemlevelsimulation* bezeichnet. Der Simulator muss für den nächsten Zeitschritt nur entscheiden, ob der Schalter leitend oder nicht leitend ist. Passive Bauteile werden weiterhin wie im SPICE-Simulator behandelt. Die im Halbleiter entstehenden Schaltverluste (in Abhängigkeit des aktuellen Betriebspunktes) werden durch eine hinterlegte Liste mit den Ein- bzw. Ausschaltenergien ermittelt. Der Vorteil des Systemlevelsimulators ist der reduzierte Simulationsaufwand, welcher es beispielsweise erlaubt, das Temperatur-

verhalten eines leistungselektronischen Systems schneller zu simulieren. Des Weiteren wird der Systemlevelsimulator häufig für die Simulation des Regelalgorithmus eingesetzt.

Für die Entwicklung des Gateansteuerungsverfahrens ist der Einsatz eines *SPICE*-Simulators zwingend erforderlich. Für das Verständnis der Wirkzusammenhänge zwischen parasitären Elementen und dem Schaltverhalten des Halbleiters muss eine möglichst akkurate Simulation gewährleistet sein. Alle Schaltungssimulationen in dieser Arbeit wurden mit einem *SPICE*-Simulator durchgeführt.

2.3.2 Extraktion parasitärer Elemente

Zur numerischen Bestimmung der parasitären Induktivitäten kann der Simulator *FASTHENRY* eingesetzt werden, siehe [213]. Dieses Verfahren erlaubt nur die Extraktion der ohmschen Widerstände und der Induktivitäten. Der Vorteil dieser Simulationsumgebung ist die schnelle Berechnung und die skriptbasierte Definition des Simulationsmodells. Dies erlaubt es, beliebige geometrische Strukturen zu definieren und diese zu simulieren. Die Ergebnisse der einzelnen Simulationen können im Anschluss ausgewertet werden. Das Programm *FASTHENRY* stellt eine analytische Beschreibung der geometrischen Struktur auf. Dazu unterteilt das Programm die Struktur in eine Vielzahl von geometrischen Teilkomponenten. Die Selbstinduktivität und die Wechselwirkung mit anderen Teilkomponenten wird für jede einzelne Teilkomponente analytisch bestimmt. Mit Hilfe dieser analytischen Beschreibung lässt sich eine Ersatzschaltung ableiten und in einer Lösungsmatrix zusammenfassen.

Die später in Abschnitt 6.2 gezeigten Simulationsergebnisse wurden mit dem Simulationsprogramm *FASTHENRY* ermittelt. Für die Auslegung des Transformators konnte an dieser Stelle auf die Modellierung der parasitären Kapazität (der Transformatorstruktur) aufgrund des geringen Einflusses verzichtet werden. (Eine detaillierte Erklärung, warum die parasitäre Kapazität nicht beachtet werden muss, ist in Abschnitt 6.2.1 zu finden.)

Als weitere Simulationsumgebung wird das von *Keysight Technologies, Inc.* vertriebene Produkt *Advanced Design System 2016.01* eingesetzt, siehe [214]. Diese Simulationsumgebung erlaubt den Einsatz des ebenfalls von *Keysight Technologies, Inc.* entwickelten *Momentum*-Algorithmus. Der Vorteil dieses Simulators ist sowohl die einfache Übernahme der Layoutdaten in das Simulationsprogramm als auch die Modellierung parasitärer Kapazitäten. Die Modellierung der parasitären Kapazitäten des Schaltknotens ist für die realitätsnahe Simulation des Schaltverhaltens sehr entscheidend. Die Auswirkung der parasitären Kapazität am Schaltknoten wird in Abschnitt 3.3.1 gezeigt.

Method of Moments

Momentum basiert auf einer numerischen Diskretisierungstechnik, der sogenannten Method of Moments (MoM).⁸ Die MoM ist auch als Randelementmethode (BEM)⁹ bekannt. Sie dient neben der Diskretisierung auch zur Berechnung von partiellen Differentialgleichungen mit Anfangs- und Randwertproblemen. Dabei beschränkt sich die Anwendung nicht auf elektromagnetische Wellen, sondern findet sowohl Anwendung in der Akustik und in der Strömungsmechanik als auch in der Bruchmechanik, siehe [215, 216].

⁸Method of Moments (MoM) engl. für Momentenmethode

⁹Randelementmethode (BEM) engl. Boundary Element Method (BEM)

Der Simulationsalgorithmus Momentum ermöglicht die numerische Lösung der Maxwell-Gleichungen für planare eingebettete Strukturen in vielschichtigen dielektrischen Substraten. Er bietet zwei unterschiedliche Simulationsmethoden, welche zwar beide auf der MoM basieren, sich aber hinsichtlich Genauigkeit und Rechenzeit unterscheiden. Die erste Methode wird als *microwave-Methode* oder auch *Vollwellen-Methode* bezeichnet, die zweite wird als *RF-Methode*¹⁰ oder *Quasi-Statistische-Methode* bezeichnet. Der wesentliche Unterschied zwischen diesen zwei Methoden liegt in der Anwendung der *Greenschen Funktionen*.¹¹

Die Vollwellen-Methode nutzt die allgemeingültigen frequenzabhängigen Greenschen Funktionen, um das Substrat zu charakterisieren. Dabei werden keine Vereinfachungen der Maxwell-Gleichungen angenommen. Das ermittelte Simulationsergebnis besteht aus komplexen *L* und *C* Elementen, die frequenzabhängig sind. Im Gegensatz dazu verwendet die *Quasi-Statistische-Methode* frequenzunabhängige Greensche Funktionen, was in einer frequenzunabhängigen Lösung von realen *L* und *C* Elementen resultiert.

Aufgrund dieser Vereinfachung ist die Berechnungszeit der *Quasi-Statistischen-Methode* deutlich geringer als die der *Vollwellen-Methode*. Die Begründung hierfür ist, dass die Berechnung der *L* und *C* Elementenmatrix für die *Quasi-Statistische-Methode* nur für eine Frequenz bestimmt werden muss, für die *Vollwellen-Methode* für jeden Frequenzwert. Aufgrund der Vereinfachung der *Quasi-Statistischen-Methode* sollte diese Methode für Strukturen angewendet werden, bei denen die Wellenlänge maximal nur halb so lang ist wie die Struktur selbst. Beide Methoden nutzen die sogenannte *star-loop-basis* Funktion, siehe [217], um eine konvergierende Lösung für alle Frequenzen zu gewährleisten. Auch werden Algorithmen zur Reduzierung der Unbekannten eingesetzt. Dabei werden polygonale Gitterstrukturen erzeugt.

Zur Bestimmung der unbekanntenen Elemente der aufgestellten *L* und *C* Elementenmatrix wird diese über zuvor definierte Anschlüsse mit Quellen angeregt. Dadurch kann ein äquivalentes Netzwerkmodell generiert werden. Durch die externe Anregung können die unbekanntenen Ströme bestimmt werden. Durch die Anregung des Netzwerkes durch unabhängige Quellen können so die unbekanntenen Stromamplituden bestimmt werden.

Der Simulator Momentum beschränkt sich auf die Berechnung der Oberflächenströme einer Struktur. Dieser Ansatz ist für die Simulation von Leiterplatten in der Leistungselektronik meist hinreichend genau. Der Grund für diese Vereinfachung ist die geringe Leiterschichtdicke der Leiterplatte im Verhältnis zur vertikalen Ausdehnung des Layouts. Ein mehrlagiger Leiterplattenaufbau kann ebenfalls mit dieser Methode berechnet werden. Die Oberflächenströme werden für jede Leiterschicht bestimmt und die Wechselwirkungen der einzelnen Leiterschichten beachtet.

An dieser Stelle sei aus Gründen der Vollständigkeit erwähnt, dass die Struktur auch mit einem 3D-Finite-Elemente-Methoden (FEM)-Simulator berechnet werden könnte. Das FEM-Programm erlaubt ebenfalls die Extraktion der parasitären Elemente. Im Vergleich zur *Vollwellen-Methode* oder *Quasi-Statistischen-Methode* ist die FEM-Simulation aber sehr rechenaufwendig. Der Grund hierfür ist die zusätzliche Dimension, die durch die Berechnung der Ströme im Material entsteht. Die *Vollwellen-Methode* und die *Quasi-Statistische-Methode* beschränkt sich auf die Oberflächenströme. Für die Betrachtung der planaren Struktur der Leiterplatte ist die Betrachtung der Oberflächenströme ausreichend. Diese Vereinfachung reduziert die Simulationszeit signifikant.

¹⁰RF steht für *radio frequency*

¹¹Greensche Funktionen sind ein wichtiges Hilfsmittel zum Lösen inhomogener linearer partieller Differentialgleichungen. Benannt sind sie nach dem Physiker und Mathematiker George Green.

Limitierung und Aspekte der MoM

In diesem Abschnitt werden einige Einschränkungen basierend auf physikalischen Überlegungen beschrieben, die bei der Verwendung von Momentum berücksichtigt werden müssen. Diese Überlegungen werden an dieser Stelle auf den Simulator Momentum bezogen, sind aber aufgrund ihrer physikalischen Natur allgemein gültig.

Momentum hat zwei Simulationsmodi, erstens die microwave-Methode, welche Vollwellenformulierungen verwendet, und zweitens die RF-Methode, die eine quasi-statische Formulierung nutzt. In der quasi-statischen Formulierung sind die Greensche Funktionen niederfrequente Approximationen der Vollwellen. Die Vollwellenformulierung entspricht den allgemeinen Greensche Funktionen. Aufgrund der in der Quasi-Statistischen-Methode vorgenommenen Approximationen kann der Rechenaufwand der zu simulierenden Struktur reduziert werden. Als Nachteil muss in Kauf genommen werden, dass die ermittelten parasitären Strukturen nicht frequenzabhängig sind.

Die Näherung ist gültig für Strukturen, die im Vergleich zur Wellenlänge klein sind. Dabei gilt eine Struktur als elektrisch klein, wenn die Ausdehnung der Schaltung kleiner als die halbe Wellenlänge ist. Die Wellenlänge muss im Substrat der Schaltung beachtet werden. Diese ist aufgrund der relativen Permittivität ϵ_r meist geringer als die Wellenlänge in Vakuum bzw. in Luft.

Strahlung

Die Quasi-Statistische-Methode des Momentum-Simulators eignet sich zur Simulation von Strukturen, bei denen die Strahlungseffekte keinen relevanten Einfluss auf das Verhalten haben. Dabei muss immer das Verhältnis zwischen Simulationsfrequenz und Strukturgröße beachtet werden. Im Vergleich zur Vollwellen-Methode nimmt bei der Quasi-Statistischen-Methode die Genauigkeit des Simulationsergebnisses mit zunehmender Frequenz ab.

Muss die Ausbreitung von Oberflächenwellen (geführte Wellen die sich in Substratschichten ausbreiten) beachtet werden, ist die Vollwellen-Methode die geeignete Simulationsmethode. Die Quasi-Statistische-Methode beachtet keine Oberflächenwellen.

Elektrisch kleine Schaltungen und Simulationsfrequenz

Wie bereits erwähnt, ist für eine hinreichend genaue Simulation eine relativ kleine elektrische Struktur notwendig. Eine Struktur wird als relativ klein bezeichnet, wenn bei einer gegebenen Frequenz die physikalische Dimension kleiner als die Hälfte der Wellenlänge ist. Zur Bewertung einer elektrisch kleinen Struktur kann folgende Gleichung genutzt werden:

$$F [\text{in GHz}] < \frac{150}{D [\text{in mm}]} \cdot \frac{1}{\sqrt{\mu_r \cdot \epsilon_r}} \quad (2.5)$$

Wobei F die maximale Frequenz in GHz ist und D die maximale Länge der Diagonale in Millimeter der Struktur ist. Die Zahl 150 ergibt sich aus der Lichtgeschwindigkeit (etwa 300 km/s) und der Forderung der halben Wellenlänge. Die relative magnetische Permeabilität μ_r und die relative Permittivität ϵ_r erlauben die Anpassung der Wellenlänge im Medium.

Strukturen- und Substratdickenbeschränkung

Die vertikalen elektrischen Ströme an den Via-Strukturen werden mit rooftop-Funktionen modelliert. Bei dieser Modellierung wird die vertikale Überstruktur als eine Zelle behandelt. Daraus lässt sich eine obere Grenze für die Substratschichtdicke ableiten. Für genaue Simulationsergebnisse sollten die Zellenabmessungen nicht ein Zwanzigstel einer Wellenlänge überschreiten. Wird diese Bedingung nicht eingehalten, nimmt die Genauigkeit des Simulationsergebnisses mit zunehmender Frequenz ab. Durch eine weitere Unterteilung einer dicken Substratschicht in mehrere Schichten werden ebenfalls mehrere Durchgangszellen erzeugt. Dadurch kann ein genaueres Simulationsergebnis für höhere Frequenzen erzeugt werden.

Anwendung

Die zuvor beschriebene Limitierung muss bei der Simulation der Layoutstruktur beachtet bzw. überprüft werden. Dazu muss die geometrische Größe des Layouts bekannt sein. Aus dieser kann die maximal zulässige Simulationsfrequenz abgeleitet werden. Für das Layout wird eine Größe von $60 \times 60 \text{ mm}^2$ angesetzt. Daraus ergibt sich eine maximale Simulationsfrequenz von 1.1 GHz (mit $\epsilon_r = 5$ und $\mu_r = 1$). Für die maximale Substratdicke (in diesem Fall die Dicke des PCBs) darf für ein genaues Simulationsergebnis die Dicke nicht größer sein als ein Zwanzigstel einer Wellenlänge. Die Wellenlänge für 1.1 GHz beträgt im PCB etwa 121 mm, ein Zwanzigstel davon ist etwa 6 mm. Dieser Wert ist größer als die PCB-Dicke, die für den in Kapitel 5 gezeigten Prototyp 1 mm beträgt.

Aus diesem Zusammenhang lässt sich ableiten, dass der Einsatz der Quasi-Statichen-Methode für die Simulation des Layouts zulässig ist. Somit kann auf die rechenintensive Vollwellen-Methode verzichtet werden.

3 Schaltvorgang

In den folgenden Abschnitten wird der Schaltvorgang einer induktiven Last beschrieben. Typische Anwendungsbeispiele für das Schalten von induktiven Lasten sind Aufwärts- und Abwärtsrichter. Ebenfalls entspricht die Ansteuerung von elektrischen Maschinen in der Regel einem induktiven Lastfall. Das Schalten einer induktiven Last ist somit ein häufiger Anwendungsfall von leistungselektronischen Schaltungen.

3.1 Definition des Schaltvorgangs einer induktiven Last

Der in Abb. 3.1(a) gezeigte Schaltplan stellt einen Doppelpulsprüfstand (DPP) zur Bestimmung der Schaltverluste dar.

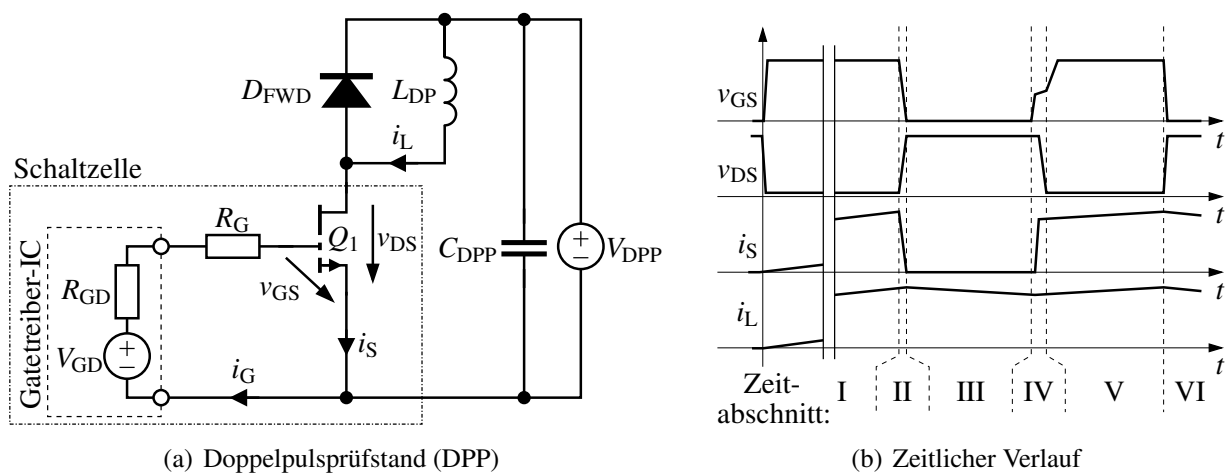


Abb. 3.1: In (a) ist die schematische Darstellung eines Doppelpulsprüfstands (DPP) gezeigt. In (b) ist der zeitliche Verlauf von v_{GS} , v_{DS} , i_L und i_S dargestellt.

Der Doppelpulsprüfstand (DPP) wird verwendet, um den Leistungstransistor Q_1 dynamisch zu charakterisieren. Es können unter anderem die Einschaltenergie $E_{\text{turn-On}}$ und die Ausschaltenergie $E_{\text{turn-Off}}$ bestimmt werden. Ein wesentlicher Vorteil dieser Schaltung ist, dass Q_1 lediglich einmal mit einem bestimmten Wert von i_L eingeschaltet wird und die Charakterisierung des Ausschaltvorgangs nach dem initialen Einschalten von Q_1 möglich ist. Sind die Verluste des Leistungstransistors Q_1 im Verhältnis zur thermischen Kapazität hinreichend gering, kann eine Eigenerwärmung weitestgehend ausgeschlossen werden.

Der DPP besteht aus dem zu testenden Leistungstransistor Q_1 , der Freilaufdiode D_{FWD} , der Stützkapazität C_{DPP} , der Versorgungsspannungsquelle des DPPs V_{DPP} und der Lastinduktivität L_{DP} .

Die Ansteuerung von Q_1 wird durch den Gatetreiber-IC (GD-IC)¹ ermöglicht. Der GD-IC kann durch die Spannungsquelle V_{GD} und den Widerstand R_{GD} modelliert werden. Durch den Gatevorwiderstand R_G kann das Ein- und Ausschaltverhalten von Q_1 beeinflusst werden. Die Stützkapazität C_{DPP} wird durch die Spannungsquelle V_{DPP} geladen. Im nachfolgenden Text wird der Begriff *Schaltzelle* für den Leistungstransistor in Verbindung mit dem GD-IC inklusive des R_G benutzt.

In Abb. 3.1(b) ist der zeitliche Verlauf der Gate-Source-Spannung v_{GS} , der Drain-Source-Spannung v_{DS} , des Sourcestroms i_S und des Spulenstroms i_L für einen Messzyklus des DPPs aufgeführt. Des Weiteren kann der Messzyklus in sechs Zeitabschnitte eingeteilt werden:

- I *Einstellen des Schaltstroms:*** Durch das Einschalten von Q_1 steigt der Strom i_L , der durch L_{DP} fließt, an. Durch die Länge dieser Phase kann der Wert des Spulenstroms i_L bestimmt werden.
- II *Ausschalten von Q_1 :*** Ist der gewünschte Wert des Spulenstroms i_L erreicht, wird Q_1 ausgeschaltet. Die Spannung v_{DS} steigt, bis D_{FWD} leitet. Diese Phase erlaubt die Charakterisierung des Ausschaltverhaltens.
- III *Freilauf i_L :*** Während dieser Phase fließt der Strom i_L durch die Freilaufdiode D_{FWD} . Ist die Länge dieser Phase hinreichend kurz, die Flussspannung der Diode D_{FWD} klein und die durch L_{DP} gespeicherte Energie hinreichend groß, kann der Spulenstrom i_L als konstant angenommen werden.
- IV *Einschalten von Q_1 :*** Der Transistor Q_1 wird wieder eingeschaltet. Diese Phase erlaubt die Charakterisierung des Einschaltverhaltens mit dem vom Spulenstrom i_L vorgegebenen Wert. Somit ist die Charakterisierung des Einschaltvorgangs mit einem bestimmten Schaltstrom i_L möglich.
- V *Leitphase mit Nennstrom:*** In dieser Phase ist Q_1 niederohmig. Wie in Phase I steigt der Spulenstrom i_L wieder an. Diese Phase kann wieder kurz gewählt werden. In diesem Zeitabschnitt ist die Charakterisierung des dynamischen $R_{ds,On}$ möglich. Auf die Ursache des dynamischen $R_{ds,On}$ wird im weiteren Verlauf dieses Abschnitts eingegangen.
- VI *Überführung in den Ausgangszustand:*** Die letzte Phase versetzt den DPP wieder in den Ausgangszustand zurück, dazu wird Q_1 ausgeschaltet. Die Spannung v_{DS} steigt wieder an und die in der Lastinduktivität L_{DP} gespeicherte Energie wird über die Freilaufdiode D_{FWD} und dem ohmschen Anteil des Strompfades in Wärme umgewandelt.

Die Bestimmung der Schaltverluste ist durch die Norm IEC 60747-8 definiert, siehe [218]. Zur Verdeutlichung sind die prinzipiellen Strom- und Spannungsverläufe in Abb. 3.2 dargestellt. Der Spannungseinbruch von v_{DS} während der Zunahme von i_S (siehe Zeitpunkt $t_{On,1}$) kann mit dem Spannungsabfall an der parasitären Induktivität des Zwischenkreises erklärt werden.

Zur Bestimmung der Verluste werden die Werte von i_S und v_{DS} multipliziert. Hiermit ergibt sich die aktuelle Verlustleistung des Transistors P_{Tran} zu:

$$P_{Tran}(t) = i_S(t) \cdot v_{DS}(t) \quad (3.1)$$

¹Integrierter Schaltkreis (IC), engl. integrated circuit. Der Gatetreiber-IC (GD-IC) wird durch ein Steuersignal angesteuert. Viele GD-ICs bieten eine galvanische Entkopplung zwischen Steuersignal und Treiberstufe an. Dies reduziert die Stömpfindlichkeit des GD-ICs .

Die Einschaltenergie $E_{\text{turn-On}}$ des Transistors wird durch das Integral von P_{Tran} zwischen den Zeitpunkten $t_{\text{On},1}$ und $t_{\text{On},2}$ bestimmt. Der Zeitpunkt $t_{\text{On},1}$ ist erreicht, wenn der Sourcestrom i_S 10 % des Schaltstroms überschreitet. Der Zeitpunkt $t_{\text{On},2}$ ist erreicht, wenn v_{DS} 10 % des Nennwertes unterschreitet. Dieser Zusammenhang kann wie folgt zusammengefasst werden:

$$E_{\text{turn-On}} = \int_{t_{\text{On},1}}^{t_{\text{On},2}} P_{\text{Tran}}(t) dt \quad (3.2)$$

Vergleichbar wie die Bestimmung von $E_{\text{turn-On}}$ erfolgt die Bestimmung der Ausschaltenergie $E_{\text{turn-Off}}$ des Transistors, siehe (3.3). Der Zeitpunkt $t_{\text{Off},1}$ ist erreicht, wenn v_{DS} 10 % des Nennwertes überschreitet. Der Zeitpunkt $t_{\text{Off},2}$ ist erreicht, wenn i_S 10 % des Schaltstroms unterschreitet.

$$E_{\text{turn-Off}} = \int_{t_{\text{Off},1}}^{t_{\text{Off},2}} P_{\text{Tran}}(t) dt \quad (3.3)$$

Die Schaltverluste P_{SW} können nun durch die Multiplikation der Summe aus der Einschaltenergie $E_{\text{turn-On}}$ und der Ausschaltenergie $E_{\text{turn-Off}}$ mit der Schaltfrequenz f_{SW} errechnet werden, siehe (3.4). Des Weiteren muss die in der Ausgangskapazität des Transistors C_{OSS} gespeicherte Energie beachtet werden, daher in (3.4) nur der Faktor 0.5. Sie wird während des Einschaltvorgangs über den Kanal des Transistors in Wärme umgewandelt. Dieser Anteil muss bei der Berechnung der Schaltverluste P_{SW} beachtet werden.

$$P_{\text{SW}} = \left(E_{\text{turn-On}} + E_{\text{turn-Off}} + \frac{1}{2} \cdot v_{\text{DS}}^2 \cdot C_{\text{OSS}} \right) \cdot f_{\text{SW}} \quad (3.4)$$

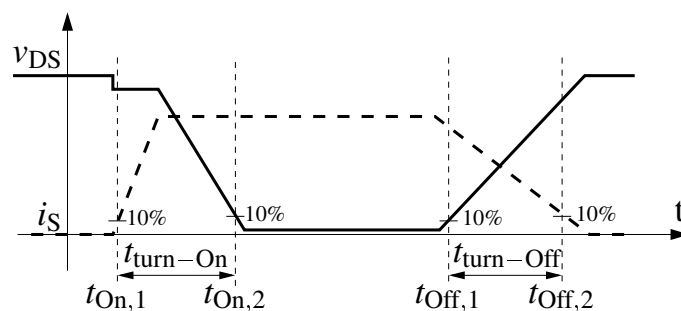
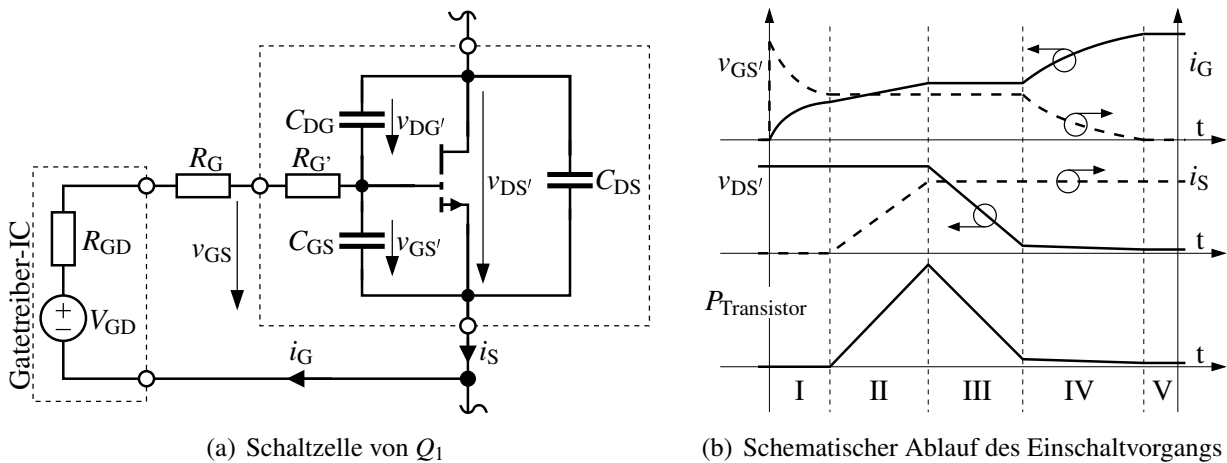


Abb. 3.2: Definition des Ein- bzw. Ausschaltvorgangs. Der Spannungseinbruch von v_{DS} während der Zunahme von i_S kann mit dem Spannungsabfall an der parasitären Induktivität des Zwischenkreises erklärt werden. Darstellung in Anlehnung an [218].

3.2 Einschaltvorgang

In diesem Abschnitt wird der Einschaltvorgang betrachtet, der Ausschaltvorgang wird gesondert in Abschnitt 3.4 analysiert. Die vereinfachte Darstellung einer Schaltzelle ist in Abb. 3.3(a) dargestellt. Das Modell des Leistungstransistors Q_1 wurde in Abb. 2.8 eingeführt. Für eine bessere Übersicht sind die parasitären Induktivitäten nicht gezeigt. Dabei umfasst das Halbleitermodell die folgenden parasitären Elemente: Gate-Source-Kapazität C_{GS} , Drain-Source-Kapazität C_{DS} , Drain-Gate-Kapazität C_{DG} und den Gateinnenwiderstand $R_{G'}$.

Der zeitliche Ablauf des Einschaltvorgangs ist in Abb. 3.3(b) dargestellt. Es wird eine induktive Last geschaltet, wie in Abb. 3.1(a) gezeigt. In der nachfolgenden Betrachtung werden alle Schaltungskomponenten als ideale Bauteile angenommen, somit bleiben auch Kommutierungsinduktivitäten unberücksichtigt.

(a) Schaltzelle von Q_1

(b) Schematischer Ablauf des Einschaltvorgangs

Abb. 3.3: In (a) ist die vereinfachte Darstellung einer Schaltzelle ohne parasitäre Induktivitäten gezeigt. In (b) ist der zeitliche Verlauf von $v_{GS'}$, i_G , $v_{DS'}$, i_S und P_{Tran} während des Einschaltens von Q_1 gezeigt.

Im Folgenden werden die einzelnen Zeitschritte des Einschaltvorgangs beschrieben. Eine vergleichbare Untersuchung wurde in [219] durchgeführt.

I Einschaltverzugszeit: Der GD-IC wird eingeschaltet, an der Spannungsquelle V_{GD} liegt nun die Spannung $V_{GD,Sup}$ an. Aufgrund dieser Spannung steigt der Strom i_G an, der die Eingangskapazität C_{ISS} des Transistors lädt. Der Strom i_G wird durch R_{GD} , R_G und $R_{G'}$ limitiert, die Summe dieser Widerstände wird als effektiver Gatevorwiderstand $R_{G,eff}$ bezeichnet.

Der Anstieg von $v_{GS'}$ kann durch folgende Gleichungen beschrieben werden:

$$v_{GS'} = V_{GD,Sup} \left(1 - e^{-\frac{t}{\tau_{GS}}} \right) \quad (3.5)$$

$$\tau_{GS} = R_{G,eff} \cdot C_{ISS} \quad (3.6)$$

$$R_{G,eff} = R_{GD} + R_G + R_{G'} \quad (3.7)$$

$$C_{ISS}|_{v_{DS'}(t=0)} = (C_{GS} + C_{DG})|_{Sperrzustand} \quad (3.8)$$

Zur Berechnung der Zeitkonstante τ_{GS} wird $R_{G,eff}$ mit C_{ISS} multipliziert. Diese Phase endet mit dem Erreichen von V_{th} des Transistors.

- II Stromkommutierung:** Während dieses Zeitintervalls ist die Stromänderung proportional zur Änderung von v_{GS} .

$$\frac{di_D}{dt} = g_m \cdot \frac{dv_{GS'}}{dt} \quad (3.9)$$

Die zeitliche Änderung von i_S entspricht der zeitlichen Änderung von $v_{GS'}$ multipliziert mit der Transkonduktanz g_m des Transistors. Zur Vereinfachung kann die Spannungsabhängigkeit der Transkonduktanz g_m als konstant angenommen werden.

Diese Phase endet mit dem Erreichen des Laststroms i_L . Die Spannung $v_{GS'}$ erreicht nun folgenden Wert:

$$V_{\text{plateau}}(i_L) = v_{GS'} = V_{th} + \frac{i_L}{g_m} \quad (3.10)$$

- III Miller-Plateau:** Die Spannung $v_{DS'}$ fällt in dieser Phase auf null, $v_{GS'}$ ist konstant und i_S entspricht i_L . Der ideale Aufbau hat keine parasitäre Kapazität am Schaltknoten, daher kommt es zu keiner Stromerhöhung von i_S . Die zeitliche Änderung von v_{DS} wird durch den Ausgleichsstrom von C_{DG} limitiert, dieser Ausgleichsstrom entspricht i_G . Der Betrag von i_G ist durch $R_{G,eff}$ limitiert.

$$i_G = \frac{V_{GD,Sup} - v_{GS'}}{R_{G,eff}} = \text{const.} \quad (3.11)$$

$$\frac{dv_{DG'}}{dt} = \frac{d(v_{GS'} - v_{DS'})}{dt} \approx \frac{dv_{DS'}}{dt} \quad (3.12)$$

$$i_G \approx C_{DG} \cdot \frac{dv_{DS'}}{dt} \quad (3.13)$$

- IV Übergang in den ohmschen Bereich:** Während dieser Phase steigt $v_{GS'}$ weiter an, dadurch reduziert sich der Einschaltwiderstand $R_{ds,On}$ des Transistors. Aufgrund des größeren Wertes der Eingangskapazität des Transistors C_{ISS} ist der Anstieg von $v_{GS'}$ etwas geringer als im Vergleich zu Zeitabschnitt I. Ebenfalls ist der Spannungsabfall über $R_{G,eff}$ geringer, was den Gatestrom i_G weiter limitiert.

- V Ohmscher Bereich:** Die Spannung $v_{GS'}$ hat ihren Endwert, die positive Versorgungsspannung des Gatetreibers $V_{GD,Sup}$, erreicht. Der ohmsche Widerstand $R_{ds,On}$ des Transistors erreicht ebenfalls seinen Endwert. Der Transistor befindet sich im linearen Bereich.

3.3 Auswirkungen parasitärer Elemente auf den Einschaltvorgang

Der Einfluss parasitärer Elemente auf den in Abschnitt 3.2 eingeführten Schaltvorgang wird sequentiell in diesem Kapitel diskutiert. Aus den resultierenden transienten Strom- und Spannungsverläufen kann die Beeinflussung des Einschaltverhaltens in Abhängigkeit der einzelnen Elemente betrachtet werden. Dazu wird das in Abb. 3.4 gezeigte Modell genutzt, um den Einschaltvorgang des Transistors Q_1 zu simulieren.

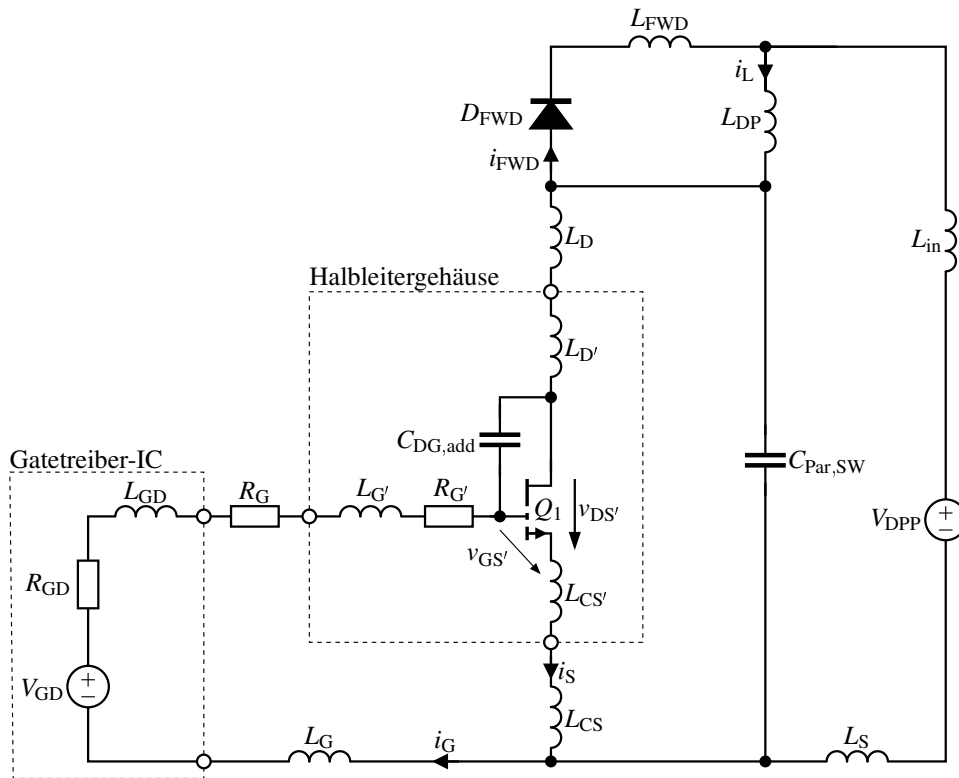


Abb. 3.4: Einführung des Simulationssetups

Bei dem Transistormodell handelt es sich um ein Modell ohne parasitäre Induktivitäten. Die parasitären Induktivitäten des Transistorgehäuses werden durch die Elemente $L_{CS'}$, $L_{G'}$ und $L_{D'}$ repräsentiert. Der Gateinnenwiderstand $R_{G'}$ des Transistors ist ebenfalls als diskretes Bauteil nachgebildet.

Mit Hilfe einer zusätzlichen Drain-Gate-Kapazität (Simulationsmodell) $C_{DG,add}$ kann der Einfluss der parasitären Kapazität zwischen Drain und Gate auf das Schaltverhalten betrachtet werden. Die Diode D_{FWD} und die Induktivität L_{DP} sind ideale Bauteile. Für die Untersuchung des Einflusses der parasitären Kapazität am Schaltknoten wird $C_{Par,SW}$ eingeführt.

Die Spannungsquelle V_{DPP} stellt die Stützkapazität des Doppelpulsprüfstandes dar. Die Induktivität der realen Stützkapazität ist durch die parasitäre Induktivität der Stützkapazität L_{in} nachgebildet. Der Gatetreiber-IC ist durch die ideale Spannungsquelle V_{GD} dargestellt, der Innenwiderstand wird durch den Gatetreiberinnenwiderstand R_{GD} nachgebildet und die parasitäre Induktivität des Gatetreiber-ICs wird durch L_{GD} abgebildet. Die parasitären Induktivitäten, die durch das PCB be-

dingt sind, werden entsprechend ihrer Position benannt. Die Elemente werden als L_{CS} , L_S , L_G , L_D und L_{FWD} bezeichnet. Die Simulationen werden mit $V_{DPP} = 500$ V und $i_L = 20$ A durchgeführt.

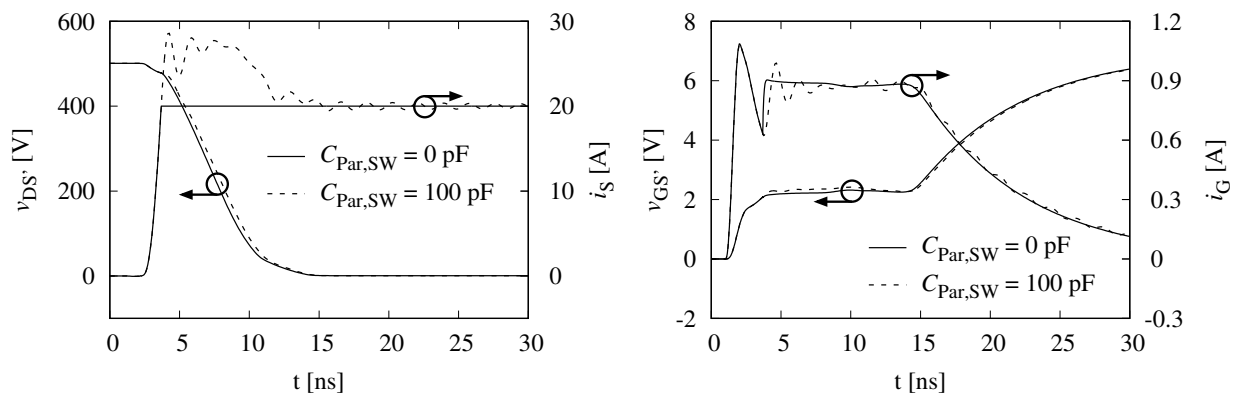
Die in Anhang A eingeführten Werte sind teilweise absichtlich unrealistisch klein gewählt. Dies erlaubt, die sich überlagernden Effekte der parasitären Elemente zu isolieren und die Auswirkung eines speziellen Elements zu untersuchen und zu bewerten. Eine Betrachtung des Systemverhaltens wird anschließend in Abschnitt 3.5 aufgeführt.

3.3.1 Parasitäre Kapazität des Schaltknotens

Die parasitäre Kapazität des Schaltknotens $C_{Par,SW}$ muss während des Einschaltens umgeladen werden. Dieser Umladevorgang hat signifikanten Einfluss auf das Schaltverhalten des Transistors. In einer realen Schaltung setzt sich die $C_{Par,SW}$ aus der Sperrschichtkapazität der Diode D_{FWD} , der parasitären Kapazität der Spule L_{DP} und der parasitären Kapazität zwischen Schaltknoten und Masse² zusammen.

Die Ausgangskapazität C_{OSS} von Q_1 ist nicht Teil von $C_{Par,SW}$. Während des Einschaltens wird die gespeicherte Ladung, die in C_{OSS} gespeichert ist, über den Kanal des Transistors kurzgeschlossen. Im Gegensatz zum Strom, der durch die Umladung von $C_{Par,SW}$ hervorgerufen wird, fließt der C_{OSS} -Umladestrom während des Einschaltens nicht über die parasitären Induktivitäten.

Die transienten Spannungsverläufe von $v_{DS'}$ und i_S sind in Abb. 3.5(a) gezeigt. Wird ein Wert von 0 für $C_{Par,SW}$ angenommen, steigt i_S maximal auf den Wert von i_L an. Mit einem positiven Wert von $C_{Par,SW}$ kommt es während des Absinkens von $v_{DS'}$ zu einer Stromüberhöhung von i_S . Aufgrund des höheren Stroms i_S fällt die Spannung $v_{DS'}$ langsamer ab.



(a) $v_{DS'}$ und i_S in Abhängigkeit von $C_{Par,SW}$

(b) $v_{GS'}$ und i_G in Abhängigkeit von $C_{Par,SW}$

Abb. 3.5: Transienter Verlauf des Einschaltvorgangs in Abhängigkeit von $C_{Par,SW}$, in (a) sind $v_{DS'}$ und i_S gezeigt und in (b) ist der Verlauf von $v_{GS'}$ und i_G dargestellt. Für Werte vor 3 ns sind die Kurven deckungsgleich.

Die Spannung $v_{GS'}$ und der Strom i_G sind in Abb. 3.5(b) gezeigt. Der Verlauf der Spannung $v_{GS'}$ ist für die hier gezeigten Werte der Kapazität $C_{Par,SW}$ fast deckungsgleich. Im Gegensatz dazu zeigt

²Die parasitäre Kapazität entsteht durch sich überlappende Leiterbahnen auf dem PCB und dem Kühlkörperanschluss der Diode und des Transistors.

sich für einen positiven Wert von $C_{\text{Par,SW}}$ im Gatestrom i_G eine Oszillation. Diese Oszillation ist durch den Schwingkreis aus der parasitären Induktivität des Leistungskreises L_{ZWK} ³ und $C_{\text{Par,SW}}$ angeregt. Über den Spannungsabfall der Common-Source-Induktivität L_{CS} wird eine Spannung in den Gatekreis eingekoppelt. Diese eingekoppelte Spannung hat wiederum Einfluss auf i_G .

Die Einschaltenergie $E_{\text{turn-On}}$ nimmt linear mit $C_{\text{Par,SW}}$ zu (nicht in einer Darstellung gezeigt), dies deckt sich mit Untersuchungen aus [220, 221]. Für einen Wert von $C_{\text{Par,SW}} = 0$ ergibt sich eine Einschaltenergie von $E_{\text{turn-On}} = 40 \mu\text{J}$ und für $C_{\text{Par,SW}} = 100 \text{ pF}$ eine Einschaltenergie von $E_{\text{turn-On}} = 56 \mu\text{J}$. Der Grund für die Zunahme der Einschaltenergie $E_{\text{turn-On}}$ ist der Umladestrom der Kapazität $C_{\text{Par,SW}}$. Dieser zusätzliche Strom ist maßgeblich für die höhere Einschaltenergie verantwortlich. Die etwas geringere Flankensteilheit von $v_{\text{DS}'}$ hat nur einen kleinen Anteil an der Erhöhung der Einschaltenergie $E_{\text{turn-On}}$.

3.3.2 Gateschleife

Gatevorwiderstand:

Mit Hilfe des Gatevorwiderstand R_G kann direkt Einfluss auf das Schaltverhalten des Transistors genommen werden. Wie in (3.9) und (3.12) gezeigt, kann die Stromsteilheit von i_S bzw. die Spannungsänderung von $v_{\text{DS}'}$ beeinflusst werden. In Abb. 3.6(a) sind die transienten Verläufe von $v_{\text{DS}'}$ und i_S für zwei unterschiedliche Werte von $R_{G,\text{eff}}$ gezeigt.⁴

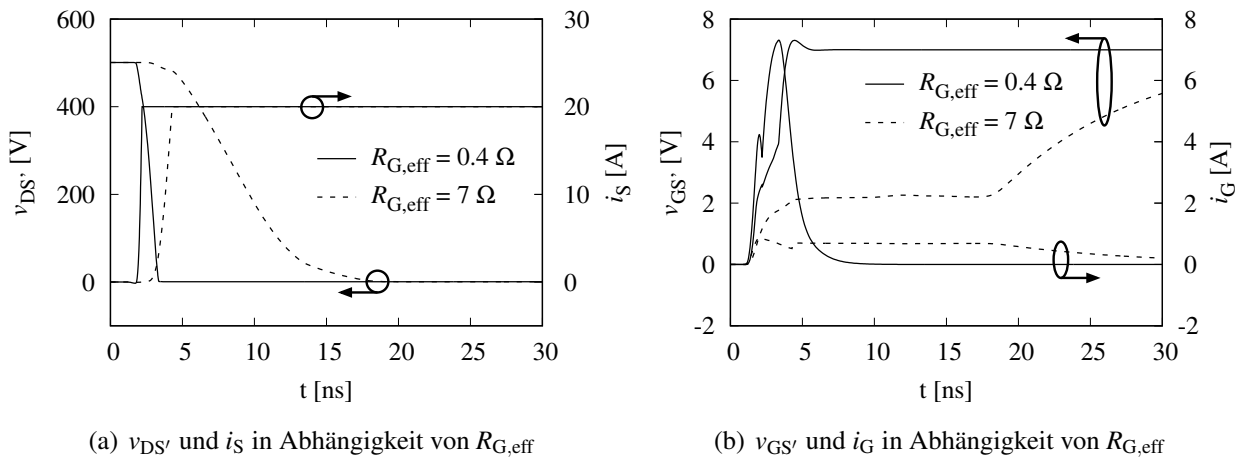


Abb. 3.6: Transienter Verlauf des Einschaltvorgangs in Abhängigkeit von $R_{G,\text{eff}}$, in (a) sind $v_{\text{DS}'}$ und i_S gezeigt und in (b) ist der Verlauf von $v_{\text{GS}'}$ und i_G dargestellt.

Die Simulation mit $R_{G,\text{eff}} = 0.4 \Omega$ entspricht einem nahezu idealen Aufbau, die zweite Simulation mit $R_{G,\text{eff}} = 7 \Omega$ entspricht einer typischen Konfiguration. Für $R_{G,\text{eff}} = 0.4 \Omega$ kann ein fast idealer Verlauf von $v_{\text{DS}'}$ und i_S simuliert werden. Mit $R_{G,\text{eff}} = 7 \Omega$ hingegen reduziert sich die Flankensteilheit von $v_{\text{DS}'}$ und i_S . Die Flankensteilheit von $v_{\text{DS}'}$ und i_S kann nicht einzeln eingestellt werden.

³Die parasitäre Induktivität L_{ZWK} kann wie folgt beschrieben werden:

$$L_{\text{ZWK}} = L_S + L_{\text{CS}} + L_{\text{CS}'} + L_{\text{D}'} + L_{\text{D}} + L_{\text{FWD}} + L_{\text{in}}$$

⁴ $R_{G,\text{eff}}$ entspricht dem gesamten resistiven Anteil der Gateschleife, inkl. dem Innenwiderstands des Transistors, somit gilt: $R_{G,\text{eff}} = R_G + R_{G'} + R_{\text{GD}}$

Somit hat der Wert von $R_{G,\text{eff}}$ immer Einfluss auf die Strom- bzw. Spannungsänderung am Schaltknoten.

Die Gatespannung $v_{GS'}$ und der Gatestrom i_G sind in Abb. 3.6(b) gezeigt. Für $R_{G,\text{eff}} = 0.4 \Omega$ zeigen die Gatespannung $v_{GS'}$ und der Strom i_G ebenfalls einen fast idealen Verlauf. Während des Stromanstieges kommt es zu einer ersten temporären Limitierung von i_G bei etwa 4 A. Hier ist die Schwellspannung des Transistors erreicht und der Strom i_S fängt an zu steigen. Dieser Stromanstieg von i_S induziert über die Common-Source-Induktivität des Halbleitergehäuses $L_{CS'}$ (56 pH) eine Spannung in die Gateschleife, die für die temporäre Limitierung von i_G verantwortlich ist. Die Gatesourcespannungsüberhöhung über $V_{GD,\text{Sup}} = 7 \text{ V}$ ist durch die Gateinduktivität des Transistors $L_{G'}$ (345 pH) bedingt. Durch die Abnahme des Stroms i_G kommt es zu einer Spannungseinprägung durch $L_{G'}$.

Mit steigendem Wert von $R_{G,\text{eff}}$ nimmt die Einschaltenergie $E_{\text{turn-On}}$ linear zu. Der Grund hierfür ist der geringere Gatestrom i_G und die daraus resultierende längere Schaltzeit. Für einen Einschaltwiderstand von $R_{G,\text{eff}} = 0.4 \Omega$ ergibt sich eine Einschaltenergie von $E_{\text{turn-On}} = 8 \mu\text{J}$ und für $R_{G,\text{eff}} = 7 \Omega$ eine Einschaltenergie von $E_{\text{turn-On}} = 50 \mu\text{J}$. Vergleichbare Untersuchungen wurden in [222] ebenfalls veröffentlicht. Die gezeigten Ergebnisse decken sich mit den hier durchgeführten Betrachtungen.

Gateschleifeninduktivität:

Die parasitäre Induktivität $L_{G,\text{eff}}$ setzt sich aus fünf Teilen zusammen,⁵ siehe Abb. 3.4. Über die Induktivitäten $L_{CS'}$ und L_{CS} fließt neben dem Gatestrom i_G auch der Sourcedstrom i_S . Die Werte sind für $L_{CS'}$ und L_{CS} deutlich geringer als die Werte für die parasitären Werte in der Gateschleife, siehe Tab. A.1.

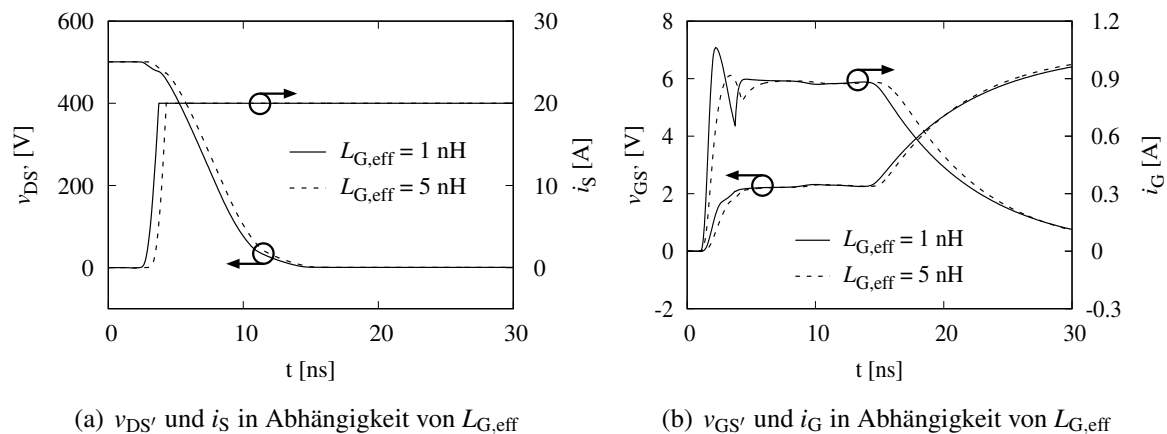


Abb. 3.7: Transienter Verlauf des Einschaltvorgangs in Abhängigkeit von $L_{G,\text{eff}}$. In (a) sind $v_{DS'}$ und i_S gezeigt und in (b) ist der Verlauf von $v_{GS'}$ und i_G dargestellt.

Der Einfluss von $L_{G,\text{eff}}$ auf das Schaltverhalten wird in Abb. 3.7(a) verdeutlicht, es sind die transienten Verläufe von $v_{DS'}$ und i_S für zwei unterschiedliche Werte von $L_{G,\text{eff}}$ gezeigt. Die unterschiedlichen Werte von $L_{G,\text{eff}}$ haben keine signifikante Auswirkung auf die Flankensteilheit von v_{DS} und i_S . Mit steigendem Wert von $L_{G,\text{eff}}$ kommt es zu einem zeitlichen Versatz von v_{DS} und i_S .

⁵Die parasitäre Induktivität $L_{G,\text{eff}}$ kann wie folgt beschrieben werden: $L_{G,\text{eff}} = L_G + L_{G'} + L_{GD} + L_{CS'} + L_{CS}$

Die Begründung für diesen zeitlichen Versatz kann durch die in $L_{G,eff}$ gespeicherte Energie erklärt werden. Die Stromänderungsgeschwindigkeit von i_G sinkt mit höherem Wert von $L_{G,eff}$ ab.

Um den Einfluss der gespeicherten Energie zu verdeutlichen, werden die simulierten Werte für $v_{GS'}$ und i_G in Abb. 3.7(b) gezeigt. Mit einem höheren Wert von $L_{G,eff}$ steigt die Spannung $v_{GS'}$ und der Strom i_G zu Beginn des Schaltvorganges langsamer an, siehe Abb. 3.7(b). Die Induktivität $L_{G,eff}$ gibt die Anstiegsgeschwindigkeit von i_G vor. Aus diesem Grund wird die Schwellspannung des Transistors später erreicht, was wiederum den zeitlichen Versatz von $v_{DS'}$ und i_S erklärt.

Wie in [223] festgestellt wurde, kann die Energie, die vor dem Miller-Plateau in der $L_{G,eff}$ gespeichert wird, während des Miller-Plateaus genutzt werden, um die Einschaltenergie $E_{turn-On}$ zu reduzieren. (Dabei fungiert die Induktivität $L_{G,eff}$ als Stromquelle.) Dies führt bei richtiger Dimensionierung zu einem erhöhten Strom i_G zu Beginn des Miller-Plateaus. Dadurch lässt sich der in Abb. 3.8 gezeigte Verlauf von $E_{turn-On}$ in Abhängigkeit von $L_{G,eff}$ erklären.

Durch einen größeren Wert von $L_{G,eff}$ kann die Einschaltenergie $E_{turn-On}$ reduziert werden, dies ist aber nur bis etwa 7 nH möglich. Im Anschluss steigt die Einschaltenergie $E_{turn-On}$ wieder an, siehe Abb. 3.8. An dieser Stelle kann im Zeitabschnitt vor dem Miller-Plateau nicht ausreichend Energie in $L_{G,eff}$ gespeichert werden, um zu einer Reduzierung von $E_{turn-On}$ beizutragen.

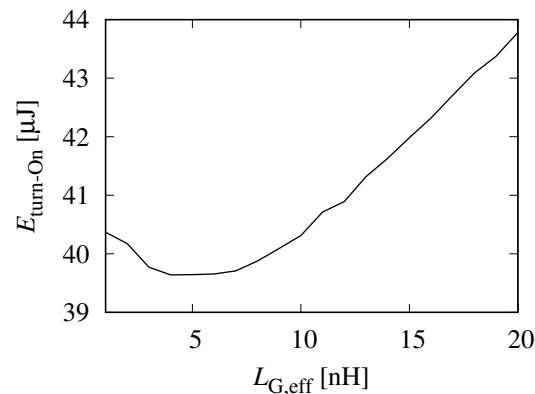


Abb. 3.8: Einschaltenergie $E_{turn-On}$ in Abhängigkeit der Gateinduktivität $L_{G,eff}$

3.3.3 Common-Source-Induktivität

Die Induktivität, die sowohl vom Gatestrom i_G als auch von dem Sourcestrom i_S durchflossen wird, kann als Common-Source-Induktivität bezeichnet werden, siehe Abb. 2.9(a). Diese setzt sich aus zwei Teilen zusammen. Der Anteil des Halbleitergehäuses wird als $L_{CS'}$ bezeichnet und der Teil des Aufbaues als L_{CS} , bedingt durch die Leiterplatte, auf der das Halbleitergehäuse aufgelötet ist. Beide Anteile können in $L_{CS,eff}$ zusammengefasst werden.⁶

In Abb. 3.9(a) sind die transienten Verläufe von $v_{DS'}$ und i_S für zwei unterschiedliche Werte von $L_{CS,eff}$ gezeigt. Mit steigendem Wert von $L_{CS,eff}$ kommt es zu einem langsameren Anstieg von i_S . Der langsamere Anstieg von i_S kann durch die über $L_{CS,eff}$ induzierte Spannung erklärt werden, die durch den Anstieg von i_S hervorgerufen wird. Diese Spannung reduziert den Gatestrom i_G und somit die Einschaltgeschwindigkeit des Transistors. Durch diesen Zusammenhang kann ebenfalls

⁶effektive Common-Source-Induktivität $L_{CS,eff}$ es gilt $L_{CS,eff} = L_{CS'} + L_{CS}$

der Zeitversatz des Absinkens der Spannung $v_{DS'}$ erklärt werden. Die Flankensteilheit der Spannung $v_{DS'}$ ist für beide Werte von $L_{CS,eff}$ identisch. Dies gilt nur, wenn keine parasitäre Kapazität am Schaltknoten umgeladen werden muss.

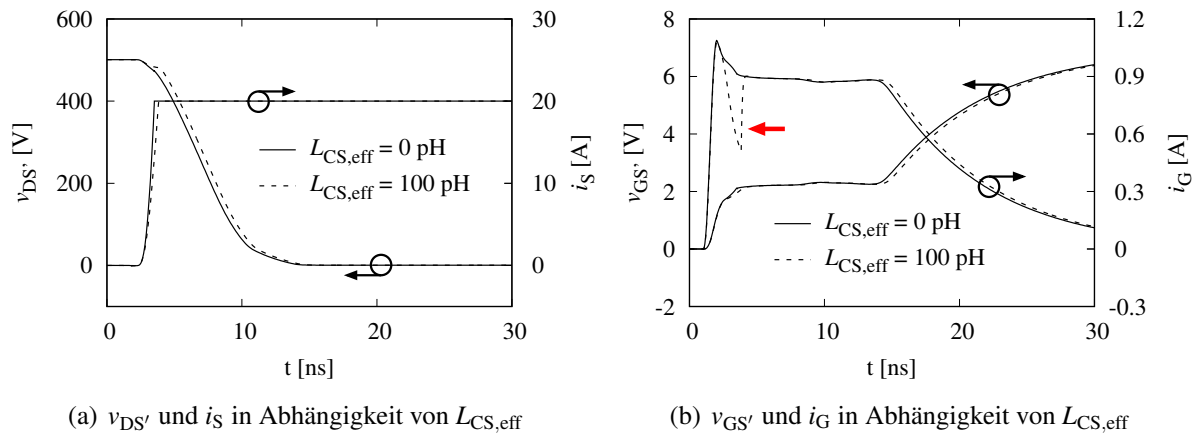


Abb. 3.9: Transienter Verlauf des Einschaltvorgangs in Abhängigkeit von $L_{CS,eff}$, in (a) sind $v_{DS'}$ und i_S gezeigt und in (b) ist der Verlauf von $v_{GS'}$ und i_G dargestellt.

Die Reduzierung des Gatestroms i_G während der Stromkommutierung von i_S ist in Abb. 3.9(b) dargestellt und mit einem roten Pfeil hervorgehoben. Durch die über $L_{CS,eff}$ eingekoppelte Spannung reduziert sich die über dem Widerstand $R_{G,eff}$ abfallende Spannung. Das resultiert in einem geringeren Wert von i_G . Im Verlauf der Gate-Source-Spannung $v_{GS'}$ sind nur sehr geringe Unterschiede zu verzeichnen. Der bereits erwähnte Zeitversatz von $v_{DS'}$ kann auch im Spannungsverlauf von $v_{GS'}$ nachvollzogen werden. Für einen höheren Wert von $L_{CS,eff}$ ist die Stromkommutierungszeit etwas länger.

Die Einschaltenergie nimmt mit steigendem Wert von $L_{CS,eff}$ annähernd linear zu. Für einen Wert von $L_{CS,eff} = 0$ ergibt sich eine Einschaltenergie von $E_{turn-On} = 39 \mu\text{J}$ und für $L_{CS,eff} = 100 \text{ pH}$ ergibt sich eine Einschaltenergie von $E_{turn-On} = 42 \mu\text{J}$. Diese Zunahme kann durch die geringere Stromanstiegsgeschwindigkeit von i_S erklärt werden. Der Zusammenhang zwischen der Common-Source-Induktivität $L_{CS,eff}$ und der Einschaltenergie $E_{turn-On}$ wurde ausgiebig in der Literatur diskutiert, siehe hierzu [9, 222, 224–229].

3.3.4 Zwischenkreisinduktivität

Die Zwischenkreisinduktivität L_{ZWK} setzt sich aus sieben Elementen zusammen,⁷ siehe Abb. 3.4. Die transienten Verläufe der Spannung $v_{DS'}$ und des Stroms i_S sind in Abb. 3.10(a) für unterschiedliche Werte von L_{ZWK} gezeigt.

Die Spannungsänderung von $v_{DS'}$ ist annähernd konstant für beide Werte von L_{ZWK} . Dies gilt aber nicht für die Stromänderung von i_S . Hier ist mit höherem Wert von L_{ZWK} die Stromänderungsgeschwindigkeit niedriger. Der Grund für die gleiche Spannungsänderung ist der Ausgleichsstrom der Drain-Gate-Kapazität C_{DG} . Aufgrund des Spannungsabfalls über L_{ZWK} während

⁷Die parasitäre Induktivität L_{ZWK} kann wie folgt beschrieben werden:

$$L_{ZWK} = L_S + L_{CS} + L_{CS'} + L_{D'} + L_D + L_{FWD} + L_{in}$$

des Stromanstieges von i_S sinkt die Spannung $v_{DS'}$ ab. Diese Spannungsänderung von $v_{DS'}$ führt zum Ausgleichsstrom der Kapazität C_{DG} . Dieser Ausgleichsstrom reduziert den Ladestrom der Gate-Source-Kapazität C_{GS} und führt somit zu einem langsameren Einschalten (geringeres di_S/dt). Aus diesem Grund begrenzt die Drain-Gate-Kapazität C_{DG} die maximale Spannungsänderungsgeschwindigkeit von $v_{DS'}$. Dieser Zusammenhang wird oft auch als Millereffekt bezeichnet.

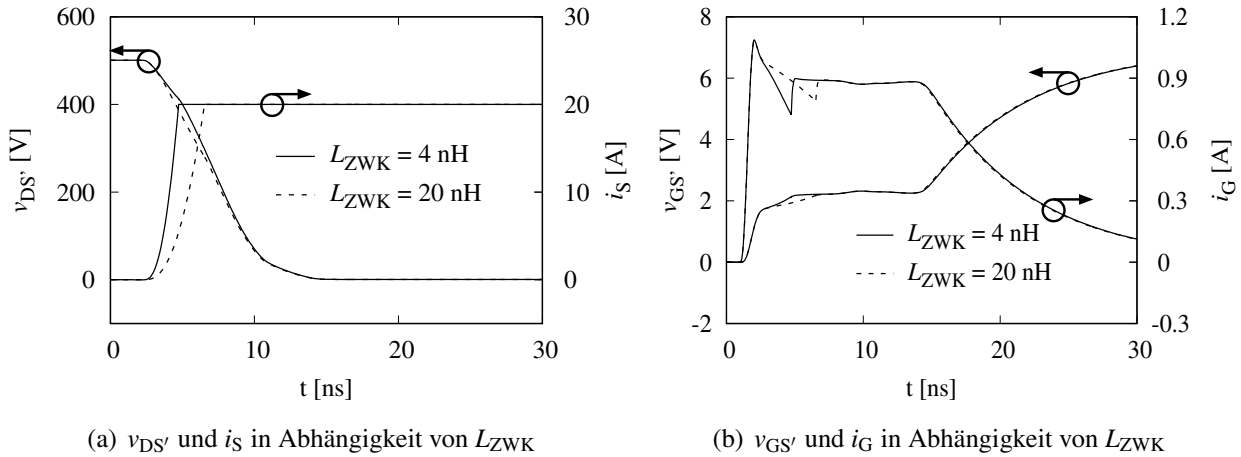


Abb. 3.10: Transienter Verlauf des Einschaltvorgangs in Abhängigkeit von L_{ZWK} , in (a) sind $v_{DS'}$ und i_S gezeigt und in (b) ist der Verlauf von $v_{GS'}$ und i_G dargestellt.

Die Gate-Source-Spannung $v_{GS'}$ und der Gatestrom i_G sind in Abb. 3.10(b) gezeigt. Aufgrund der unterschiedlichen Anstiegsgeschwindigkeit von i_S wird ein unterschiedlicher Spannungsabfall über $L_{CS'}$ in die Gateschleife induziert. Diese Spannung reduziert den Strom i_G . Dieser Effekt ist mit einem geringen Wert von L_{ZWK} stärker ausgeprägt. Über den gleichen Wirkmechanismus lässt sich auch der unterschiedliche Verlauf der Gate-Source-Spannung $v_{GS'}$ erklären.

Der Einfluss der Zwischenkreisinduktivität L_{ZWK} auf die Einschaltenergie wird in Abb. 3.11 dargestellt. Mit einem größeren Wert von L_{ZWK} nimmt die Einschaltenergie $E_{\text{turn-On}}$ ab.

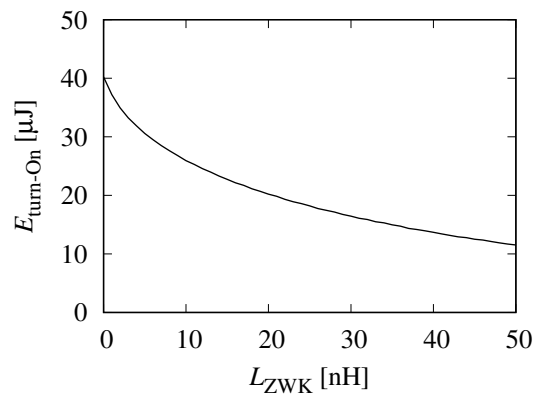


Abb. 3.11: Einschaltenergie $E_{\text{turn-On}}$ in Abhängigkeit von L_{ZWK}

Dieser Zusammenhang kann durch den Spannungsabfall über L_{ZWK} und der daraus folgenden Reduzierung von $v_{DS'}$ erklärt werden. Die Reduzierung von $v_{DS'}$ führt zu einem Ausgleichsstrom von C_{DG} , welcher durch i_G kompensiert werden muss. Über diesen Zusammenhang limitiert L_{ZWK} neben der Änderungsgeschwindigkeit von $v_{DS'}$ auch die Stromanstiegsgeschwindigkeit von i_S . Durch

das annähernd lineare Absinken der Spannung $v_{DS'}$ und den linearen Anstieg des Stroms i_S kommt es daher nur zu einem degressiven Absinken der Einschaltenergie $E_{\text{turn-On}}$.

Der wesentliche Nachteil der Vergrößerung der Induktivität L_{ZWK} zur Reduzierung der Einschaltenergie $E_{\text{turn-On}}$ ist die unzulässig hohe Spannung während des Ausschaltvorgangs. Die Stromänderung induziert während des Ausschaltens eine Spannung über L_{ZWK} . Diese Spannung kann zur Zerstörung des Transistors Q_1 führen. Der Zusammenhang zwischen L_{ZWK} und der Spannungsüberhöhung im Ausschaltmoment wird in Abschnitt 3.4 (Abb. 3.15) weiterführend erläutert.

3.3.5 Drain-Gate-Kapazität

Für die Betrachtung des Einflusses der Drain-Gate-Kapazität C_{DG} wird eine zusätzliche Kapazität $C_{DG,add}$ zu der im Halbleitermodell internen Kapazität C_{DG} parallel geschaltet. Im Gegensatz zu der im Halbleitermodell internen Kapazität C_{DG} ist der Wert der zusätzlich eingeführten Kapazität $C_{DG,add}$ nicht abhängig von der anliegenden Spannung. Die Kapazität $C_{DG,add}$ ist ein ideales Bauteil.

Die transienten Verläufe der Spannung $v_{DS'}$ und des Stroms i_S sind in Abb. 3.12(a) für unterschiedliche Werte von $C_{DG,add}$ gezeigt. Ein höherer Wert von $C_{DG,add}$ führt zu einer geringeren Flankensteilheit von $v_{DS'}$. Die Stromsteilheit von i_S wird nicht beeinflusst, dies gilt nur, wenn L_{ZWK} hinreichend klein ist. Die geringere Flankensteilheit im Bereich unterhalb von $v_{DS'} < 100$ V beruht auf dem höheren Wert der Drain-Gate-Kapazität C_{DG} mit geringerer anliegender Spannung.

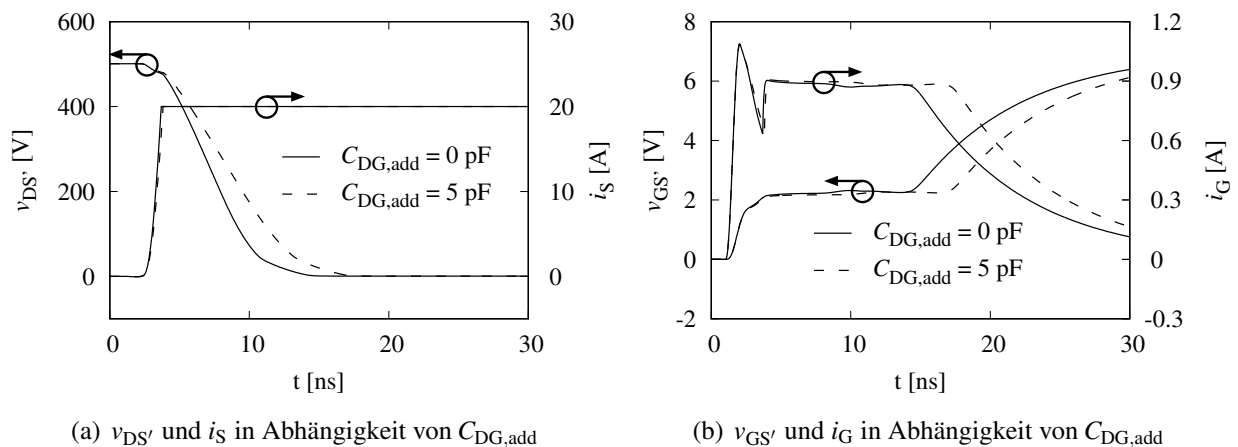


Abb. 3.12: Transienter Verlauf des Einschaltvorgangs in Abhängigkeit von $C_{DG,add}$, in (a) sind $v_{DS'}$ und i_S gezeigt und in (b) ist der Verlauf von $v_{GS'}$ und i_G dargestellt.

Die transienten Verläufe der Gate-Source-Spannung $v_{GS'}$ und des Stroms i_G sind in Abb. 3.12(b) gezeigt. Durch einen höheren Wert von $C_{DG,add}$ verlängert sich das Miller-Plateau. Dies deckt sich mit der langsameren Spannungsänderung von $v_{DS'}$, welche in Abb. 3.12(a) gezeigt ist.

Mit steigendem Wert von $C_{DG,add}$ nimmt die Einschaltenergie $E_{\text{turn-On}}$ linear zu. Für einen Wert von $C_{DG,add} = 0$ ergibt sich eine Einschaltenergie von $E_{\text{turn-On}} = 40 \mu\text{J}$ und für $C_{DG,add} = 5$ pF eine Einschaltenergie von $E_{\text{turn-On}} = 52 \mu\text{J}$. Diese Zunahme beruht auf der geringeren Spannungsänderungsgeschwindigkeit von $v_{DS'}$.

3.3.6 Gatetreiberversorgungsspannung

Nachfolgend wird der Einfluss der positiven Versorgungsspannung des Gatetreibers $V_{GD,Sup}$ auf die Einschaltenergie $E_{turn-On}$ untersucht. Durch eine Anhebung der Spannung $V_{GD,Sup}$ kann eine Reduzierung der Einschaltenergie $E_{turn-On}$ erreicht werden. Die Ursache für die Minimierung der Einschaltenergie ist die Erhöhung des Gatestroms i_G . Durch diesen höheren Gatestrom i_G kann der Transistor Q_1 schneller eingeschaltet werden. Der Ausgleichsstrom der Kapazität C_{DG} steigt aufgrund des höheren Gatestroms i_G . Die Simulationsergebnisse sind in Abb. 3.13 für $L_{CS,eff} = 200$ pH, $i_L = 40$ A und $V_{DS} = 500$ V gezeigt.

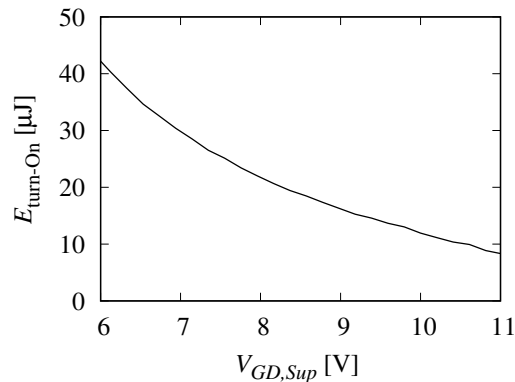


Abb. 3.13: Einschaltenergie $E_{turn-On}$ in Abhängigkeit der positiven Versorgungsspannung des Gatetreibers $V_{GD,Sup}$, siehe [229].

Eine Erhöhung von $V_{GD,Sup}$ ist nur im begrenzten Maße möglich, da eine unzulässig hohe $V_{GD,Sup}$ zu einer Schädigung des Halbleiters führen würde. Diese simulative Untersuchung soll lediglich das mögliche Reduzierungspotenzial der Einschaltenergie $E_{turn-On}$ aufzeigen.

3.3.7 Zusammenfassung

Zusammenfassend kann festgehalten werden, dass folgende parasitäre Elemente zur Erhöhung der Einschaltenergie $E_{\text{turn-On}}$ beitragen: die parasitäre Kapazität des Schaltknotens $C_{\text{Par,SW}}$, die effektive Common-Source-Induktivität $L_{\text{CS,eff}}$ und die Drain-Gate-Kapazität C_{DG} . Durch die richtige Wahl des Wertes der Gateschleifeninduktivität $L_{\text{G,eff}}$ kann die Einschaltenergie $E_{\text{turn-On}}$ reduziert werden. Aber mit zunehmendem Wert von $L_{\text{G,eff}}$ steigt die Einschaltenergie wieder an. Um möglichst geringe Einschaltenergien zu erzielen, müssen die parasitären Elemente möglichst minimal gehalten werden. Dieser Zusammenhang wurde vielfach in der Literatur diskutiert und herausgearbeitet. In Tab. 3.1 sind diese Zusammenhänge aufgeführt.

Wie in Abb. 3.10 und Abb. 3.13 gezeigt, kann durch den Spannungsabfall an der Zwischenkreisinduktivität L_{ZWK} bzw. durch die Gatetreiberversorgungsspannungserhöhung eine Einschaltenergie-reduzierung erreicht werden. Beide Parameter können nur sehr begrenzt zur Reduzierung der Einschaltenergie $E_{\text{turn-On}}$ beitragen. Die Erhöhung der Induktivität L_{ZWK} führt zu einer unzulässig hohen Spannung während des Ausschaltens des Transistors Q_1 . Diese Spannungsüberhöhung kann zur Zerstörung des Bauteils führen. Die Erhöhung der Versorgungsspannung $V_{\text{GD,Sup}}$ kann zu einer Schädigung des Gateoxids des Transistors Q_1 führen, weshalb eine Erhöhung der Versorgungsspannung $V_{\text{GD,Sup}}$ nicht erlaubt ist.

Parameter		Auswirkung
parasitäre Kapazität des Schaltknotens	$C_{\text{Par,SW}}$	Mit steigendem Wert nimmt $E_{\text{turn-On}}$ zu, siehe Abschnitt 3.3.1.
effektive Common-Source-Induktivität	$L_{\text{CS,eff}}$	Mit steigendem Wert nimmt $E_{\text{turn-On}}$ zu, siehe Abschnitt 3.3.3.
Drain-Gate-Kapazität	C_{DG}	Mit steigendem Wert nimmt $E_{\text{turn-On}}$ zu, siehe Abschnitt 3.3.5.
Gateschleifeninduktivität	$L_{\text{G,eff}}$	$L_{\text{G,eff}}$ kann genutzt werden, um $E_{\text{turn-On}}$ zu reduzieren. Die Wirkungsweise zur Reduzierung von $E_{\text{turn-On}}$ ist aber eingeschränkt, siehe Abschnitt 3.3.2 und Abb. 3.8.
Zwischenkreisinduktivität	L_{ZWK}	Wird L_{ZWK} erhöht, sinkt $E_{\text{turn-On}}$ ab, siehe Abschnitt 3.3.4. Dies führt aber zu einer unzulässig hohen Spannung v_{DS} während des Ausschaltens, wie später in Abb. 3.15 dargestellt wird.
positive Versorgungsspannung des Gatetreibers	$V_{\text{GD,Sup}}$	Durch eine Erhöhung von $V_{\text{GD,Sup}}$ sinkt $E_{\text{turn-On}}$ ab, in Abschnitt 3.3.6 ist dieses Verhalten dargestellt.

Tab. 3.1: Zusammenfassung der Beeinflussung des Einschaltverhaltens durch $C_{\text{Par,SW}}$, $L_{\text{CS,eff}}$, C_{DG} , $L_{\text{G,eff}}$, L_{ZWK} und $V_{\text{GD,Sup}}$.

3.4 Ausschaltvorgang

Werden moderne GaN-HEMTs als Schalter eingesetzt, kann der Ausschaltvorgang induktiver Lasten als nahezu verlustfrei angesehen werden, siehe [64]. Dies wird erreicht, indem der Widerstand des Halbleiterkanals sehr schnell erhöht wird. Der induktive Laststrom i_L erhöht nun lediglich die am Transistor Q_1 anliegende Spannung $v_{DS'}$. Die Energie wird in der Ausgangskapazität des Transistors C_{OSS} gespeichert. Die gespeicherte Energie kann durch geeignete Schaltungstopologien im Einschaltvorgang wieder gezielt entladen werden. Hierdurch entstehen nur Umladeverluste, die aufgrund des geringen ohmschen Widerstands sehr gering sind. In der Literatur wird hier von spannungsfreiem Einschalten gesprochen. Wird hingegen der Transistor mit anliegender Spannung $v_{DS'}$ eingeschaltet, wird die in der Ausgangskapazität des Transistors C_{OSS} gespeicherte Energie über den Kanal des Transistors kurzgeschlossen. Die Energie wird dadurch in Wärme umgewandelt. Da im Ausschaltmoment nicht eindeutig vorhersehbar ist, wie mit der in der Ausgangskapazität des Transistors C_{OSS} gespeicherten Energie verfahren wird, wird diese nicht zu der Ausschaltenergie $E_{turn-Off}$ hinzugerechnet. Wie in Abschnitt 3.1 dargestellt, wird die in C_{OSS} gespeicherte Ladung hinsichtlich der Schaltverluste P_{SW} gesondert betrachtet, siehe Gleichung (3.4).

Der Ausschaltvorgang kann in vier Zeitabschnitte unterteilt werden:

- I Ausschaltverzugszeit:** Der Gatetreiber-IC wird ausgeschaltet und die Eingangskapazität des Transistors C_{ISS} wird durch den Gatestrom i_G entladen (i_G ist negativ in Abb. 3.14 eingetragen).

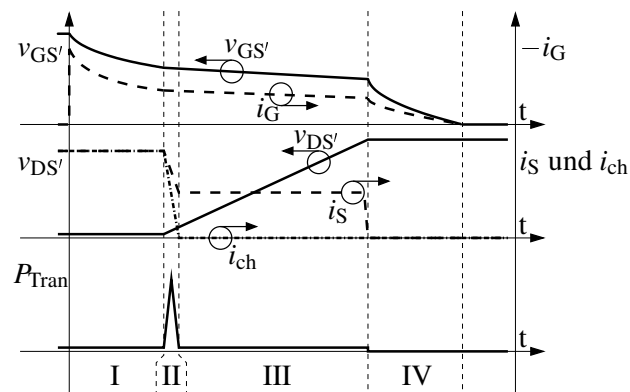


Abb. 3.14: Schematischer Ablauf des Ausschaltvorgangs.

- II Reduzierung der Leitfähigkeit:** Die Leitfähigkeit des Halbleiterkanals wird reduziert, wodurch der Kanalstrom i_{ch} in diesem Zeitabschnitt auf null absinkt. Der Strom i_S hingegen sinkt deutlich langsamer. Der Strom i_S lädt nun die Ausgangskapazität des Transistors Q_1 . Aufgrund des raschen Absinkens von i_{ch} entstehen geringe Schaltverluste P_{SW} im Transistor Q_1 .
- III Laden der Ausgangskapazität C_{OSS} :** In diesem Zeitabschnitt springt der Strom i_S auf die Hälfte des Stromes i_L . Die zweite Hälfte des Stromes i_L lädt die Kapazität der Freilaufdiode D_{FWD} um. Dieses Verhalten setzt voraus, dass die Kapazität der Freilaufdiode D_{FWD} den gleichen kapazitiven Belag aufweist wie der Transistor Q_1 . Die Spannung $v_{DS'}$ steigt linear an.

Trotz des positiven Stroms i_S und der positiven Spannung $v_{DS'}$ entstehen im Transistor Q_1 annähernd keine Verluste. Es wird lediglich die Ausgangskapazität des Transistors C_{OSS} durch den Spulenstrom i_L geladen. Dieser Zusammenhang ist in [64] ausführlich beschrieben.

IV Sicheres Ausschalten: Um ein sicheres Ausschalten zu gewährleisten, wird die Spannung $v_{GS'}$ weiter reduziert. Das Absinken der Spannung $v_{GS'}$ ist in diesem Zeitabschnitt schneller als im Vergleich zu Zeitabschnitt I. Der Grund hierfür ist die geringere Eingangskapazität des Transistors C_{ISS} .

Nach Messungen von [64] ist die Einschaltenergie $E_{\text{turn-On}}$ um mindestens Faktor 7 höher als die Ausschaltenergie $E_{\text{turn-Off}}$. Dieses Verhältnis ist nach den Datenblattangaben noch höher. Nach den dort aufgeführten Messungen ist die Einschaltenergie neunmal höher als die Ausschaltenergie, siehe [202]. Aufgrund dieses Zusammenhangs ist eine Reduzierung der Ausschaltverluste von sekundärer Bedeutung. Im weiteren Verlauf der Arbeit wird daher der Schwerpunkt auf die Reduzierung der Einschaltenergie $E_{\text{turn-On}}$ gelegt.

Limitierung des Ausschaltvorgangs

In Abb. 3.10 wurde dargestellt, dass der Spannungsabfall über L_{ZWK} genutzt werden kann, um die Einschaltenergie $E_{\text{turn-On}}$ des Transistors zu reduzieren. Im Gegensatz dazu führt dieser Spannungsabfall über L_{ZWK} während des Ausschaltens zu einer Spannungsüberhöhung am Transistor Q_1 . Diese Spannungsüberhöhung kann zur Zerstörung des Transistors führen. Nachfolgend wird dieser Wirkungszusammenhang erläutert und die Auswirkungen an transienten Simulationen verdeutlicht.

Wird der Transistor wie in Abb. 3.14 schematisch dargestellt ausgeschaltet, kommt es durch die parasitäre Induktivität und die parasitäre Kapazität des Schaltknotens zu einer Oszillation der Spannung $v_{DS'}$ und des Stroms i_S . Diese Oszillation wird durch die Stromänderung von i_S und der in L_{ZWK} gespeicherten Energie angeregt.

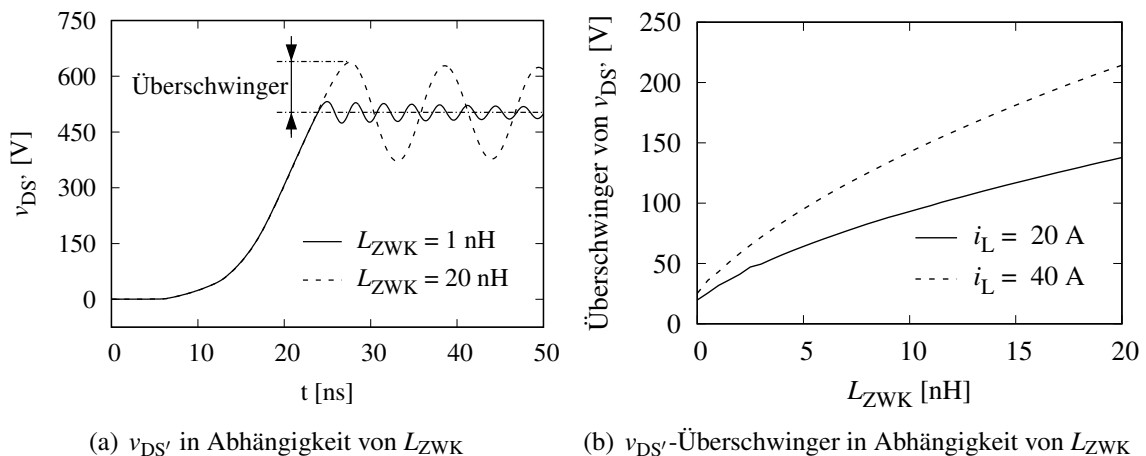


Abb. 3.15: In (a) ist der transiente Verlauf des Ausschaltvorgangs in Abhängigkeit von L_{ZWK} zu sehen. In (b) ist der $v_{DS'}$ -Überschwinger in Abhängigkeit von L_{ZWK} für zwei unterschiedliche Werte von i_L gezeigt.

Die transienten Verläufe der Spannung $v_{DS'}$ sind in Abb. 3.15(a) für zwei unterschiedliche Werte von L_{ZWK} gezeigt. Nach dem Ausschalten des Transistors Q_1 wird der Schaltknoten durch den

Strom der induktiven Last geladen. Beide Spannungsverläufe sind deckungsgleich, bis $v_{DS'}$ die Versorgungsspannung V_{DPP} überschritten hat. In diesem Moment beginnt die Diode D_{FWD} zu leiten. Aufgrund der Stromänderung von i_S wird eine Spannung durch L_{ZWK} eingeprägt. Diese induzierte Spannung kann zu unzulässig hoher Spannung am Transistor führen.

Der maximale Überschwinger der Spannung $v_{DS'}$ ist in Abhängigkeit der Induktivität L_{ZWK} für zwei Werte von i_L in Abb. 3.15(b) gezeigt. Mit steigendem Strom i_L nimmt der Überschwinger von $v_{DS'}$ zu. Dies kann mit der schnelleren Spannungsänderung von $v_{DS'}$ begründet werden. Aufgrund des resistiven Anteils im Schwingkreis und der Flussspannung der Diode D_{FWD} wird keine lineare Zunahme des Überschingers simuliert.

Weitere Verluste des Leistungshalbleiters

Leitverluste

Die Leitverluste spiegeln die Verluste an dem ohmschen Widerstand des Halbleiters inkl. des ohmschen Widerstands der AVT wieder. Dieser Wert wird als $R_{ds,On}$ bezeichnet. Aktuelle Verbundhalbleiter wie beispielsweise GaN-Leistungshalbleiter haben neben dem statischen $R_{ds,On}$ noch einen parasitären dynamischen $R_{ds,On}$. Dieser dynamische $R_{ds,On}$ ist unerwünscht und wird aufgrund von Ladungseinlagerungen im Drain-Gate-Gebiet und dem Gategebiet hervorgerufen, siehe [230]. In [231–233] wird der dynamische $R_{ds,On}$ dem Buffer unterhalb des zweidimensionalen Elektronengasses (2D-EG) des Kanals zugeschrieben. Oberflächeneffekte haben nur geringe Auswirkungen auf die Erhöhung des dynamischen $R_{ds,On}$.

Sperrverzugsverluste

Die Sperrverzugsverluste P_{RR} entstehen nicht durch den aktiv geschalteten Transistor, sondern aufgrund der Freilaufdiode D_{FWD} . Dabei wird die Freilaufdiode D_{FWD} von dem Leitzustand in den Sperrzustand versetzt. Aufgrund der Speicherladung im Halbleiterübergang kommt es zu einer Sperrverzugszeit. Diese Speicherladung wird innerhalb der Sperrverzugszeit abgebaut und die Diode kann ordnungsgemäß sperren. Dieser Mechanismus wird sowohl in Si-basierenden Bauteilen als auch in Verbundhalbleitern beobachtet. Der Effekt ist, wie in [191, 234] festgestellt wurde, unterschiedlich stark ausgeprägt. Durch den Einsatz von GaN- oder SiC-Dioden kann die gespeicherte Energie um mehr als eine Größenordnung im Vergleich zu Si-Dioden reduziert werden.

Gatetreiberverluste

Wesentliche Gatetreiberverluste entstehen durch die Umladung der Eingangskapazität C_{ISS} des zu schaltenden Transistors. Die Verlustleistung kann durch resonante Konzepte, wie in [84–87] gezeigt, deutlich reduziert werden. Wird ein Gatetreiber-IC mit galvanischer Trennung der Steuersignale verwendet, muss die Leistung, die zur Bereitstellung dieser Funktionen nötig ist, beachtet werden.

3.5 Systembetrachtung

In diesem Abschnitt wird das Zusammenwirken der parasitären Elemente betrachtet. Zur Bestimmung der parasitären Elemente wurden verschiedene Literaturquellen mit baugleichen Transistoren bzw. Transistoren der gleichen Technologie gesichtet und diese hinsichtlich ihrer Angaben zu parasitären Elementen untersucht, siehe [223, 235–238]. Die Ergebnisse dieser Untersuchung sind in Tab. A.2 aufgeführt.

Die in Tab. A.2 aufgezeigten Quellen [223, 235–238] nutzen jeweils einen Transistor mit einer Stromtragfähigkeit von 30 A und einer Durchbruchspannung von 650 V. Der in der vorliegenden Arbeit genutzte Transistor hat hingegen die doppelte Stromtragfähigkeit von 60 A, ist aber ansonsten baugleich.

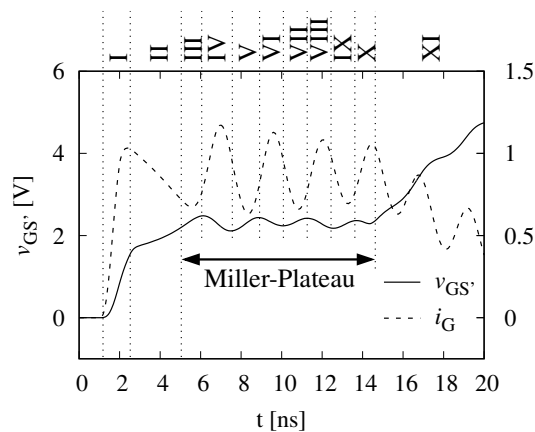
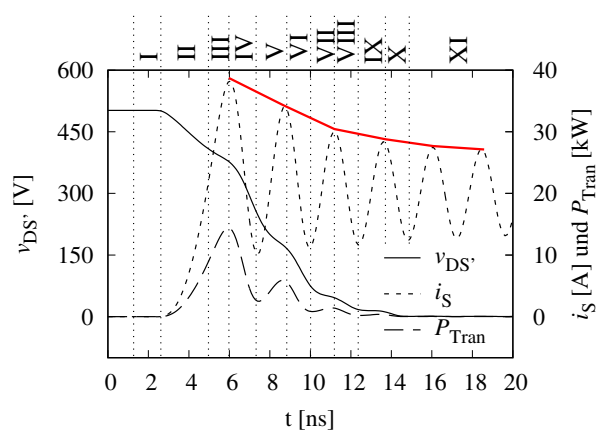
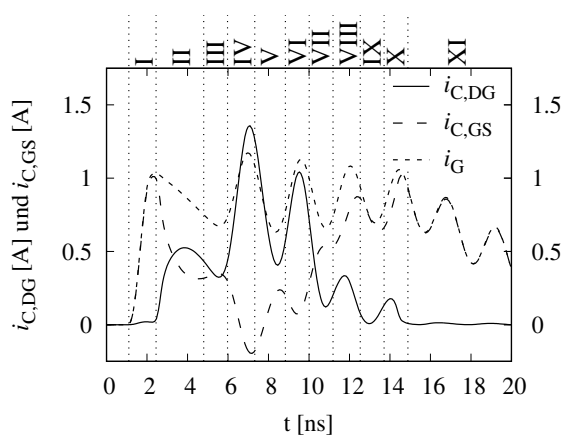
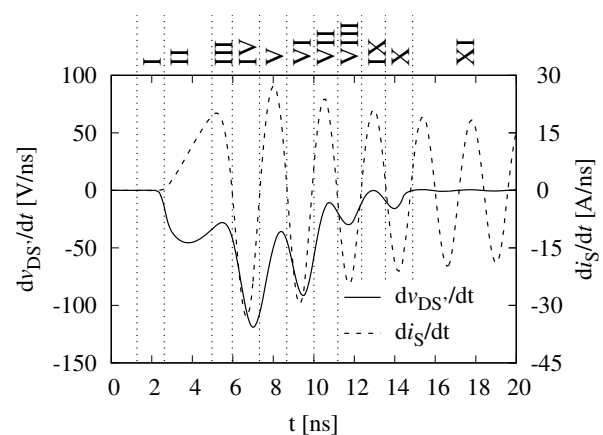
(a) Transienter Verlauf von $v_{GS'}$ und i_G (b) Transienter Verlauf von $v_{DS'}$, i_S und P_{Tran} (c) Transienter Verlauf von $i_{C,DG}$, $i_{C,GS}$ und i_G (d) Transienter Verlauf von $dv_{DS'}/dt$ und di_S/dt

Abb. 3.16: Simulierter Einschaltvorgang mit Beachtung der parasitären Elemente, gezeigt für $V_{DPP} = 500$ V und $i_L = 20$ A. Abb. (a) stellt den transienten Verlauf von $v_{GS'}$ und i_G dar. In (b) ist die Drain-Source-Spannung $v_{DS'}$, der Sourcedstrom i_S und die Verlustleistung P_{Tran} gezeigt. Abb. (c) zeigt den transienten Verlauf von $i_{C,DG}$, $i_{C,GS}$ und i_G , i_G ist zur besseren Übersicht in (a) und (c) gezeigt. Die Spannungsänderung $dv_{DS'}/dt$ und die Stromänderung di_S/dt sind in (d) aufgetragen.

Aus dem vom Hersteller zur Verfügung gestellten Halbleitersimulationsmodells [202] wurden die Werte für R_G (0.38Ω) und $L_{CS'}$ (56 pH) entnommen. Die vom Layout der Leiterplatte abhängigen parasitären Elemente $L_{G,\text{eff}}$ und L_{ZWK} wurden lediglich in den Veröffentlichungen [235] und [237] angegeben. Die kleinsten Werte wurden in [237] mit $L_{G,\text{eff}} = 1 \text{ nH}$ und $L_{ZWK} = 4 \text{ nH}$ gezeigt. Diese Werte werden für die folgende Simulation des Schaltvorgangs genutzt. Als Gatevorwiderstand R_G wurde in [223, 236, 238] ein Wert von 0Ω angesetzt. Dieser Wert wird für die Simulation genutzt. Der Innenwiderstand des Gatetreiber-ICs wird für die Simulation mit $R_{GD} = 2.7 \Omega$ gewählt. Dies deckt sich mit dem im realen Aufbau genutzten GD-IC, siehe [67].

Im Gegensatz zu den in Abschnitt 3.2 vorgestellten Untersuchungen überlagern sich die parasitären Effekte während des Einschaltvorgangs. Aus diesem Grund wird der Einschaltvorgang in verschiedene Zeitabschnitte eingeteilt. In diesen Zeitabschnitten wird die Wechselwirkung der einzelnen parasitären Elemente untersucht und beschrieben.

Die Verläufe der Gate-Source-Spannung $v_{GS'}$ und des Gatestroms i_G sind in Abb. 3.16(a) für den Einschaltvorgang dargestellt. Des Weiteren sind die Drain-Source-Spannung $v_{DS'}$, der Sourcestrom i_S und die Transistorverlustleistung P_{Tran} in Abb. 3.16(b) gezeigt. Abb. 3.16(c) stellt den Ausgleichsstrom $i_{C,\text{DG}}$, den Ausgleichsstrom $i_{C,\text{GS}}$ und den Gatestrom i_G dar. Die Spannungsänderung $dv_{DS'}/dt$ und die Stromänderung di_S/dt sind in Abb. 3.16(d) dargestellt. In jedem der vier Diagramme sind die Zeitabschnitte eingetragen. Die einzelnen Zeitabschnitte sind mit römischen Zahlen nummeriert.

Im nachfolgenden Abschnitt wird der Einschaltvorgang in verschiedene Zeitabschnitte unterteilt und die Beeinflussung durch die parasitären Elemente beschrieben. Der Transistor Q_1 wird mit einer Spannung von $V_{\text{DPP}} = 500 \text{ V}$ und einem Spulenstrom von $i_L = 20 \text{ A}$ eingeschaltet.

- I** *Laden von C_{GS} , bis $v_{GS'}$ die Schwellspannung V_{th} erreicht hat:* In diesem Zeitabschnitt wird C_{GS} durch i_G geladen, siehe Abb. 3.16(a). Der Ladestrom für das Umladen von C_{DG} kann in dieser Phase aufgrund des Verhältnisses von $C_{\text{DG}} \ll C_{GS}$ vernachlässigt werden. Somit entspricht der Strom der Gate-Source-Kapazität $i_{C,\text{GS}}$ in etwa i_G , siehe Abb. 3.16(c). Der Stromanstieg von i_G wird durch $R_{G,\text{eff}}$ und $L_{G,\text{eff}}$ begrenzt.
- II** *Stromzunahme von i_S , bis i_S den Wert von i_L erreicht hat:* Zu Beginn dieses Zeitabschnittes wird die Schwellspannung des Transistors erreicht. Der Transistor wird leitfähig und i_S beginnt zu steigen, siehe Abb. 3.16(b). Die Stromzunahme von i_S wird durch die Spannungserhöhung an C_{GS} bestimmt und somit durch i_G . Der Ladestrom $i_{C,\text{GS}}$ von C_{GS} wird während dieser Phase durch drei Faktoren limitiert. Erstens: Aufgrund der Stromlimitierung von i_G durch den Spannungsabfall über $R_{G,\text{eff}}$. Zweitens: Die Stromänderung von i_S induziert über $L_{CS,\text{eff}}$ eine Spannung in die Gateschleife, welche ebenfalls i_G reduziert. Drittens: Die Stromänderung von i_S führt zu einem Spannungsabfall über L_{ZWK} , somit reduziert sich $v_{DS'}$, siehe Abb. 3.16(b). Die Spannungsänderung führt zu dem Ausgleichsstrom von C_{DG} , welcher durch i_G kompensiert werden muss. Der Ausgleichsstrom von C_{DG} ist in Abb. 3.16(c) gezeigt. Diese Kompensation des Ausgleichsstroms von C_{DG} führt zu einer Reduzierung von $i_{C,\text{GS}}$.
Diese drei beschriebenen Effekte reduzieren den Spannungsanstieg von $v_{GS'}$ und führen dadurch zu einem langsameren Anstieg von i_S . Der Zeitabschnitt endet, wenn i_S den Spulenstrom erreicht hat, $i_S = i_L$.
- III** *Beginn des Miller-Plateau, i_S nimmt weiterhin zu:* Der Laststrom i_L kommutiert von der Diode D_{FWD} auf den Transistor Q_1 , i_S entspricht zu Beginn des Zeitabschnittes i_L , somit

kann D_{FWD} sperren und die Spannung am Schaltknoten kann abnehmen. Aufgrund der Umladung der parasitären Kapazität am Schaltknoten $C_{\text{Par,SW}}$, welche maßgeblich durch D_{FWD} bestimmt ist, steigt i_S weiter an, siehe Abb. 3.16(b).

Wird die Schaltung ideal betrachtet, fällt die Spannung $v_{\text{DS}'}$ gleichförmig ab. Aufgrund der parasitären Elemente kommt es aber nicht zu diesem gewünschten Verhalten. Wie in Abb. 3.16(d) anhand der Spannungsänderung $dv_{\text{DS}'}/dt$ gezeigt wird, fällt die Spannung $v_{\text{DS}'}$ nun langsamer ab.

Das Verhalten von $v_{\text{DS}'}$ ist in diesem Zeitabschnitt von zwei parasitären Induktivitäten bestimmt. Die Reduzierung der Stromanstiegsgeschwindigkeit von i_S führt zu einem geringeren Spannungsabfall über $L_{\text{CS,eff}}$ und L_{ZWK} . Die Änderung der Stromanstiegsgeschwindigkeit ist in Abb. 3.16(d) gezeigt.

Der geringere Spannungsabfall über $L_{\text{CS}'}$ führt zu einer Erhöhung des Gatestroms i_G , siehe Abb. 3.16(c). Dieser Effekt beschleunigt den Schaltvorgang und dies würde somit zu einem schnelleren Abfall von $v_{\text{DS}'}$ führen. Im Gegensatz dazu führt der geringere Spannungsabfall über L_{ZWK} zu einem langsameren Absinken der Spannung $v_{\text{DS}'}$. Trotz des höheren Gatestroms reduziert sich die Spannungsabnahme $v_{\text{DS}'}$ am Schalter Q_1 nicht signifikant. Am Ende dieses Zeitabschnitts ist die Verlustleistung des Transistors P_{Tran} maximal, siehe Abb. 3.16(b). Diese Phase endet mit dem Erreichen des Maximalwerts von i_S .

Die parasitäre Kapazität der Freilaufdiode C_{FWD} und die Ausgangskapazität C_{OSS} des Transistors bilden mit der parasitären Induktivität L_{ZWK} einen Schwingkreis. Der Schwingkreis wird durch die Zunahme von i_S angeregt und ist für die Schwingung des Stroms i_S verantwortlich. Dieser Schwingkreis kann nach [235] wie folgt beschrieben werden:

$$f_{\text{Loop}} \approx \frac{1}{2\pi\sqrt{L_{\text{ZWK}} \cdot (C_{\text{FWD}} + C_{\text{OSS}})}} \quad (3.14)$$

Die angeregte Schwingung wird durch den resistiven Anteil der Schleife gedämpft, dieser wird hauptsächlich durch die Leitfähigkeit des Kanals bestimmt. Durch einen niederinduktiven Aufbau der Gateschleife muss sichergestellt werden, dass es aufgrund der Rückkopplung durch C_{DG} und $L_{\text{CS,eff}}$ nicht zu einem parasitären Schalten kommt. Der Schwingkreis aus (3.14) bestimmt ab diesem Zeitpunkt maßgeblich den Schaltvorgang.

Dabei muss beachtet werden, dass die Spannung am Transistor weiterhin kontrolliert werden muss und es zu keiner Spannungsüberhöhung von $v_{\text{GS}'}$ kommen darf. Nach [157] und [239] muss die folgende Bedingung erfüllt sein, dass kein parasitäres Schalten auftritt.

$$R_{\text{G,eff}} \geq \sqrt{\frac{4 \cdot L_{\text{G,eff}}}{C_{\text{ISS}}}} \quad (3.15)$$

IV Miller-Plateau, i_S nimmt ab: Aufgrund der zuvor erörterten Schwingung zwischen L_{ZWK} und C_{FWD} sinkt i_S wieder ab. Dieses Absinken des Stroms i_S resultiert in einer geringeren Spannung $v_{\text{GS}'}$, somit wird die Kapazität C_{GS} entladen. In dieser Phase ist der Kompensationsstrom $i_{\text{C,DG}}$ teilweise größer als i_G , was durch das zuvor beschriebene Absinken von $v_{\text{GS}'}$ möglich ist, siehe Abb. 3.16(d). Durch das Absinken der Spannung $v_{\text{GS}'}$ ist der Strom $i_{\text{C,GS}}$

zeitweise negativ. Der höhere Kompensationsstrom von C_{DG} erlaubt nun ein schnelleres Absinken der Spannung $v_{DS'}$, siehe Abb. 3.16(b).

Das Absinken der Spannung $v_{DS'}$ wird zusätzlich durch die negative Spannung über $L_{CS,eff}$ verstärkt. Diese negative Spannung ist durch die Abnahme von i_S begründet. Die über $L_{CS,eff}$ induzierte Spannung erhöht den Spannungsabfall über $R_{G,eff}$ und führt somit zu einem höheren Gatestrom i_G .

Das in Abb. 3.16(d) gezeigte negative di_S/dt führt zu einem positiven Spannungsabfall über L_{ZWK} . Diese Spannung limitiert das Absinken der Spannung $v_{DS'}$. Dieser Zeitabschnitt endet mit dem Erreichen des lokalen Minimums von i_S .

V Miller-Plateau, i_S nimmt wieder zu: Aufgrund des zunehmenden Stroms i_S steigt $v_{GS'}$ wieder an. Der Gatestrom i_G lädt nun verstärkt C_{GS} , womit sich $i_{C,DG}$ reduziert. Der geringere Strom der Drain-Gate-Kapazität $i_{C,DG}$ limitiert den Spannungsabfall von $v_{DS'}$.

Der zunehmende Strom i_S induziert über $L_{CS,eff}$ eine positive Spannung in die Gateschleife. Diese Spannung reduziert den Spannungsabfall über $R_{G,eff}$, was zu einer Reduzierung von i_G führt. Die hohe Änderungsgeschwindigkeit der Spannung $v_{DS'}$ zu Beginn des Zeitabschnitts ist durch den Spannungsabfall an L_{ZWK} bedingt. Dieser Spannungsabfall beruht auf der positiven Stromänderung von i_S , siehe Abb. 3.16(d). Der Zeitabschnitt endet mit dem lokalen Maximum von i_S .

Bis Zeitabschnitt X befindet sich der Transistor weiterhin im Miller-Plateau. Trotz der Oszillation von i_S und v_{DS} werden die Zeitabschnitte nicht zusammengefasst. Der Grund hierfür ist die Veränderung des Phasenwinkels zwischen i_S und v_{DS} . Der Phasenwinkel lässt sich am besten aus Abb. 3.16(d) ablesen, es sind $dv_{DS'}/dt$ und di_S/dt gezeigt. In Zeitabschnitt VI tritt die betragsmäßige maximale Änderungsgeschwindigkeit von $v_{DS'}$ ($dv_{DS'}/dt$) später als die betragsmäßige maximale Änderungsgeschwindigkeit von i_S (di_S/dt) auf. Dieser Phasenwinkel dreht sich bis der Zeitabschnitt X erreicht ist um, somit wird erst die betragsmäßige maximale Änderungsgeschwindigkeit von $v_{DS'}$ erreicht.

VI Miller-Plateau, i_S nimmt wieder ab: Vergleichbar mit dem Zeitabschnitt IV nimmt der Strom i_S wieder ab. Dieses Absinken ist durch den in (3.14) beschriebenen Schwingkreis bedingt. Der abnehmende Strom i_S führt zu einem Absinken der Schwellspannung und somit zu einer geringeren Spannung $v_{GS'}$. Dadurch steht wieder ein höherer Anteil von i_G zur Umladung von C_{DG} zur Verfügung.

Das negative di_S/dt induziert via $L_{CS'}$ eine negative Spannung in die Gateschleife. Diese Spannung führt zu einer Erhöhung des Stroms i_G , was wiederum die Schaltgeschwindigkeit erhöht und einen höheren Wert von $i_{C,DG}$ hervorruft, siehe Abb. 3.16(c). Somit nimmt die Änderungsgeschwindigkeit der Spannung $v_{DS'}$ durch diese beiden Effekte, Absinken der Schwellspannung und negatives di_S/dt , wieder zu. Dieser Zeitabschnitt endet mit dem Erreichen des lokalen Minimums von i_S .

VII Miller-Plateau, i_S nimmt wieder zu: Vergleichbar mit Zeitabschnitt V nimmt der Strom i_S wieder zu. Aufgrund des zunehmenden Stroms i_S , steigt die Schwellspannung wieder an. Dies führt dazu, dass $i_{C,DG}$ wieder absinkt. Somit folgt ein geringeres $dv_{DS'}/dt$. Das positive di_S/dt induziert via $L_{CS'}$ eine positive Spannung in die Gateschleife, welche i_G wieder reduziert, siehe Abb. 3.16(a). Dieser Zeitabschnitt endet mit dem lokalen Maximum von i_S .

- VIII Miller-Plateau, i_S nimmt wieder ab:** Vergleichbar mit Zeitabschnitt IV und VI nimmt der Strom i_S wieder ab. Somit wird eine negative Spannung über $L_{CS'}$ in die Gateschleife induziert, welche den Gatestrom i_G erhöht, siehe Abb. 3.16(c). Durch den absinkenden Strom i_S und die Zunahme von i_G kann aufgrund des höheren Wertes von $i_{C,DG}$ die Änderungsgeschwindigkeit von $v_{DS'}$ wieder zunehmen, siehe Abb. 3.16(d). Der Zeitabschnitt endet mit dem lokalen Minimum von i_S .
- IX Miller-Plateau, i_S nimmt wieder zu:** Vergleichbar mit Zeitabschnitt V und VII nimmt der Strom i_S wieder zu. Die Zunahme von i_S führt zu einer positiven Spannung über $L_{CS,eff}$. Diese induzierte Spannung führt zu einer Reduzierung des Stroms i_G , siehe Abb. 3.16(c). Aufgrund der Zunahme von i_S steigt die Spannung $v_{GS'}$ wieder an. Dieser Anstieg von $v_{GS'}$ bedingt die Reduzierung des Stroms $i_{C,DG}$, welche in einer reduzierten Änderungsgeschwindigkeit von $v_{DS'}$ resultiert, siehe Abb. 3.16(c) und Abb. 3.16(d). Der Zeitabschnitt endet mit dem lokalen Maximum von i_S .
- X Miller-Plateau, i_S nimmt wieder ab:** Vergleichbar mit Zeitabschnitt IV, VI und VIII nimmt der Strom i_S wieder ab. Es erfolgt wiederum eine Erhöhung des Gatestroms i_G , welcher durch die negative Spannung über $L_{CS,eff}$ hervorgerufen wird. Das Absinken der Spannung $v_{GS'}$ führt zu einer Erhöhung des Stroms $i_{C,DG}$. Dieser höhere Wert des Stroms $i_{C,DG}$ ermöglicht es die Änderungsgeschwindigkeit von $v_{DS'}$ wieder zu steigern, siehe Abb. 3.16(c) und Abb. 3.16(d).

Der Zeitabschnitt endet mit dem lokalen Minimum von i_S . Das Miller-Plateau endet ebenfalls mit dem Ende dieses Zeitabschnittes, siehe Abb. 3.16(a).

- XI Reduzierung des Einschaltwiderstands:** Die Spannung $v_{GS'}$ wird weiter erhöht, was zu einer Reduzierung des Einschaltwiderstands $R_{ds,On}$ führt. Im Vergleich zum Miller-Plateau ist nun die Dämpfung des in (3.14) beschriebenen Schwingkreises deutlich geringer. Die Dämpfung des Schwingkreises kann durch den Gütefaktor beschrieben werden:

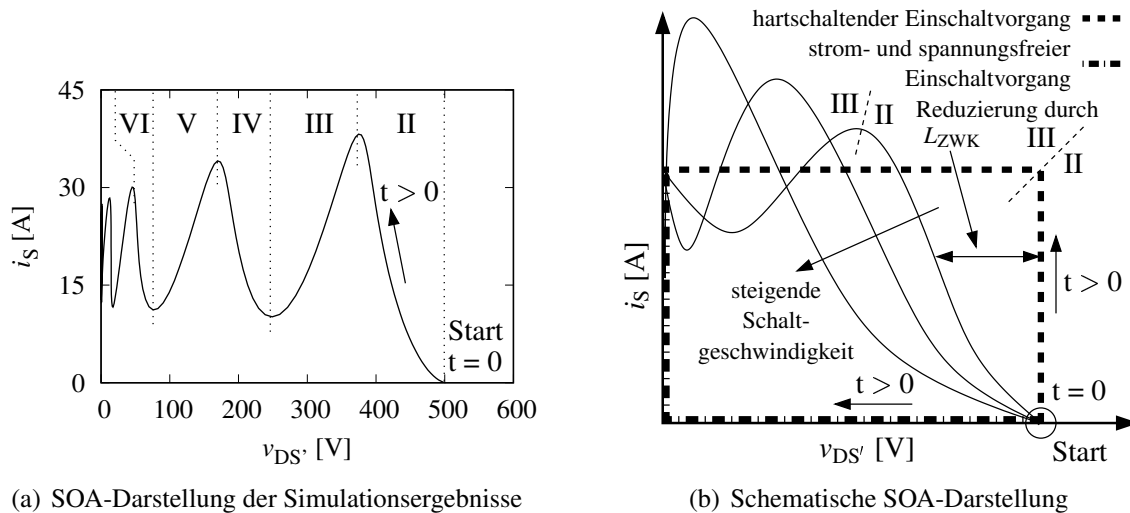
$$Q_{Loop}(t) = \frac{1}{R_{ds,On}(t)} \cdot \sqrt{\frac{L_{ZWK}}{C_{FWD}}} \quad (3.16)$$

Mit Abnahme des Leitwiderstands $R_{ds,On}$ nimmt der Gütefaktor Q_{Loop} zu. Diese Zunahme der Güte führt zu einem schwach gedämpften System. Zur Verdeutlichung wurde die Einhüllende der Maximalwerte von i_S in Abb. 3.16(b) eingezeichnet.

Betrachtung der Safe Operating Area (SOA)

Zur vereinfachten Visualisierung des Zusammenhangs zwischen $v_{DS'}$ und i_S während des Schaltvorgangs können die transienten Verläufe in eine Safe Operating Area-Darstellung überführt werden. Dazu werden die in Abb. 3.16 gezeigten transienten Simulationsergebnisse von $v_{DS'}$ und i_S in die SOA-Darstellung überführt, die Darstellung ist in Abb. 3.17(a) gezeigt. Die in Abb. 3.16 eingeführten Zeitabschnitte sind in Abb. 3.17(a) ebenfalls eingetragen.

Der Zeitabschnitt I ist aufgrund der konstanten Werte von $v_{DS'}$ und i_S in Abb. 3.17(a) nicht ersichtlich. In Zeitabschnitt II sinkt die Spannung $v_{DS'}$ aufgrund des Spannungsabfalles an L_{ZWK} ab. Die maximale Verlustleistung wird zum Ende dieses Zeitabschnittes erreicht. In Zeitabschnitt III sinkt $v_{DS'}$ als auch i_S ab, im Gegensatz zu Zeitabschnitt IV, in dem i_S wieder steigt. Diese Oszillation ist durch den in (3.14) beschriebenen Zusammenhang definiert.



(a) SOA-Darstellung der Simulationsergebnisse

(b) Schematische SOA-Darstellung

Abb. 3.17: Die Simulationsergebnisse aus Abb. 3.16 wurden in die Safe Operating Area-Darstellung überführt. Die idealisierten Verläufe der Safe Operating Area-Darstellung sind in (b) aufgezeigt.

Werden in die SOA-Darstellung die idealisierten Verläufe eines hartschaltenden Einschaltvorgangs und eines spannungsfreien Schaltvorgangs eingezeichnet, kann der unterschiedliche Ablauf des Schaltvorgangs visualisiert werden, siehe Abb. 3.17(b). Für den hartschaltenden Einschaltvorgang sinkt die Spannung $v_{DS'}$ erst ab, wenn i_S den Wert des Spulenstroms i_L erreicht hat. Im Gegensatz dazu sinkt beim strom- und spannungsfreien Schaltvorgang erst die Spannung $v_{DS'}$ ab, bevor der Strom i_S steigt. Dazu muss die Ausgangskapazität C_{OSS} des Transistors Q_1 entladen werden. Das Entladen der Ausgangskapazität C_{OSS} erfordert ein Entlastungsnetzwerk, wie in [31] gezeigt, oder ein Entladen der Kapazität des Schaltknotens kann durch einen negativen Spulenstrom erreicht werden, wie in [29] erläutert wurde. Der Vorteil des strom- und spannungsfreien Schaltvorgangs sind sehr geringe Schaltverluste.

Neben diesen idealisierten Verläufen sind auch Schaltverläufe mit unterschiedlichen Schaltgeschwindigkeiten in Abb. 3.17(b) gezeigt. Dabei wird die Schaltgeschwindigkeit für den gleichen Aufbau variiert, das heißt die parasitären Elemente sind für alle Schaltvorgänge dieselben. Der Übergang von Zeitabschnitt II zu Zeitabschnitt III ist ebenfalls eingetragen.

Mit steigender Schaltgeschwindigkeit (höherem di_S/dt) kommt es zu einer höheren Spannungsreduzierung der Drain-Source-Spannung $v_{DS'}$. Diese Spannungsreduzierung ist durch den Spannungsabfall an L_{ZWK} begründet. Wird die Schaltgeschwindigkeit weiter erhöht, fällt die Spannung $v_{DS'}$ annähernd auf null Volt ab, bevor Zeitabschnitt III erreicht wird. Die höhere Schaltgeschwindigkeit führt aufgrund des schnelleren Umladens des kapazitiven Belags des Schaltknotens zu einem höheren Spitzenwert des Sourcestroms i_S . Der kapazitive Belag ist größtenteils durch die Sperrschichtkapazität C_{FWD} der Diode D_{FWD} bedingt.

Durch die Erhöhung der Schaltgeschwindigkeit wird ein partielles spannungsfreies Schalten ermöglicht, das eine Reduzierung der Schaltverluste erlaubt. (Durch die an der parasitären Induktivität L_{ZWK} abfallende Spannung wird die Spannung $v_{DS'}$ am Transistor reduziert.) Dieses partielle spannungsfreie Schalten erreicht aber nicht den Reduzierungsgrad eines aktiven strom- und spannungsfreien Schaltvorgangs. Der Vorteil des vorgestellten partiellen spannungsfreien Schaltvor-

gangs durch Erhöhung der Schaltgeschwindigkeit im Vergleich zum strom- und spannungsfreien Schaltvorgang ist das Erreichen der Einschaltverlustreduzierung ohne zusätzliche Maßnahmen. Wie zum Beispiel das in [31] eingeführte Entlastungsnetzwerk oder die Notwendigkeit eines negativen Spulenstroms, wie in [29] vorgestellt.

3.6 Anforderungen an die Gatetreiberschaltung

Die Limitierung der Schaltgeschwindigkeit beruht auf der Gegenkopplung des Ausgleichsstroms der Drain-Gate-Kapazität C_{DG} . Dies gilt auch für den Zeitabschnitt II, in dem der Strom i_S auf den Spulenstrom i_L ansteigt. Durch das positive di_S/dt fällt eine Spannung an der parasitären Induktivität L_{ZWK} ab. Diese Spannung reduziert die am Transistor Q_1 anliegende Drain-Source-Spannung $v_{DS'}$. Die Reduzierung der Spannung $v_{DS'}$ führt zu einem Ausgleichsstrom $i_{C,DG}$ der Drain-Gate-Kapazität C_{DG} . Dieser Ausgleichsstrom $i_{C,DG}$ muss durch den Gatestrom i_G kompensiert werden. Der Ausgleichsstrom $i_{C,DG}$ führt wiederum zu einer Reduzierung des Stroms $i_{C,GS}$, somit kann die Gate-Source-Spannung $v_{GS'}$ nur langsamer steigen.

Aus diesen Überlegungen ergeben sich zwei Optimierungsziele, die eine Reduzierung der Einschaltenergie ermöglichen:

1. *Einfluss L_{ZWK}* : Wird die parasitäre Induktivität L_{ZWK} reduziert, kommt es zu einer geringeren Beeinflussung durch C_{DG} . Aber der geringere Spannungsabfall über L_{ZWK} führt jedoch zu einer höheren Einschaltenergie $E_{\text{turn-On}}$, wie in Abb. 3.11 gezeigt wurde. Eine Erhöhung von L_{ZWK} führt zwar zu einer geringeren Einschaltenergie $E_{\text{turn-On}}$, führt aber im Ausschaltmoment zu unzulässig hohen Spannungen von $v_{DS'}$, siehe Abb. 3.15. Aus diesem Grund ist eine Minimierung von L_{ZWK} zwingend erforderlich.
2. *Erhöhung des Gatestroms i_G* : Eine Erhöhung des Gatestroms i_G führt zu einem schnelleren Schaltvorgang. Der Ausgleichsstrom von C_{DG} , der durch den schnelleren Schaltvorgang steigt, wird durch den Strom i_G kompensiert. Somit steht ein höherer Strom $i_{C,GS}$ zum Laden der Gate-Source-Kapazität C_{GS} zur Verfügung. Die Auswirkung auf die Einschaltenergie $E_{\text{turn-On}}$ durch eine Erhöhung der Gatetreiberspannung ist in Abb. 3.13 simulativ gezeigt. Durch die Erhöhung der Gatetreiberspannung fließt ein höherer Gatestrom i_G .

Mit dieser Methode ist es möglich, die Einschaltenergie $E_{\text{turn-On}}$ zu reduzieren. Diese Umsetzung ist aber im praktischen Aufbau nicht möglich. Eine konstante Erhöhung der Gate-Spannung würde zur Zerstörung des Transistors Q_1 führen.

4 Entwicklung eines Gatetreibers mit induktiver Mitkopplung

Im folgendem Kapitel werden zwei Verfahren zur Erhöhung der Schaltgeschwindigkeit eingeführt. Diese Verfahren werden hinsichtlich ihrer Wirksamkeit und Realisierbarkeit geprüft.

4.1 Methoden zur Erhöhung des Gatestroms

Die temporäre Erhöhung der Gatetreiberversorgungsspannung ist eine etablierte Möglichkeit zur Reduzierung der Schaltverluste, siehe [74, 76, 77, 79, 240–244]. Durch die Erhöhung der Gatetreiberversorgungsspannung können parasitäre Induktivitäten und parasitäre Widerstände der Gateschleife durch eine höhere Spannungsdifferenz zwischen Versorgungsspannung und Gate des Transistors kompensiert werden. Somit stellt sich ein höherer Gatestrom ein. Für die Erhöhung der Gatetreiberversorgungsspannung wurden zwei unterschiedliche Methodiken vorgestellt.¹

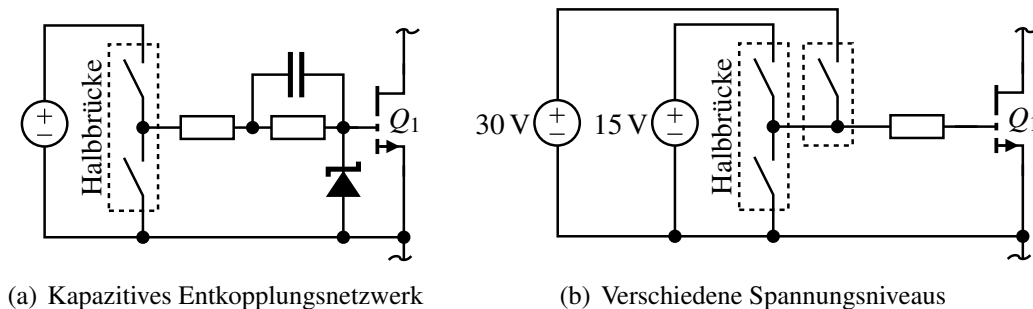


Abb. 4.1: In (a) ist eine Gatetreiberendstufe mit kapazitivem Entkopplungsnetzwerk gezeigt. In (b) ist eine Gatetreiberendstufen mit verschiedenen Spannungsniveaus dargestellt.

Eine Gatetreiberendstufe mit kapazitivem Entkopplungsnetzwerk

Die Versorgungsspannung des Gatetreibers wird über der zulässigen Gate-Source-Spannung des Transistors angesetzt. Mit Hilfe eines kapazitiven Entkopplungsnetzwerkes wird eine bestimmte Ladung auf das Gate des Transistors übertragen, siehe Abb. 4.1(a). Durch diese kapazitive Kopplung wird sichergestellt, dass die zulässige Gate-Source-Spannung nicht überschritten wird. Der Kondensator stellt für hochfrequente Spannungsanteile einen Pfad mit geringer Impedanz da. Über einen hochohmigen Widerstand (parallel zum Kondensator geschaltet) und durch die Diode wird die Spannung am Gate des Transistors limitiert. Zusätzlich ist das Gate mit einer Schutzschaltung

¹Die Aufzählung stellt keinen Anspruch auf Vollständigkeit.

vor unzulässig hohen Spannungen geschützt. Für diese Schutzbeschaltung ist eventuell eine zweite Spannungsversorgung notwendig, die der zulässigen Gate-Source-Spannung entspricht. Weiterführende Informationen sind in [76, 240–242] zu finden. Der Ansatz erlaubt die Reduzierung der Einschaltenergie $E_{\text{turn-On}}$. Nachteilig an dieser Schaltungskonfiguration ist die individuelle Auslegung des Entkopplungsnetzwerkes.

Neben diesen praxisnahen Ansätzen wurde ein weiteres Konzept zur Erhöhung der Gatetreiber-versorgungsspannung in [74] eingesetzt, um sehr schnelle Schaltvorgänge zu ermöglichen, siehe Abb. 4.1. Mit Hilfe eines kapazitiven Entkopplungsnetzwerkes in Kombination mit einer erhöhten Gatetreiber-versorgungsspannung war es möglich, Flankensteilheiten von mehr als 1000 V/ns zu messen. Diese Messungen wurden für einen GaN-HEMT in einem speziellen modifizierten DPP durchgeführt. Durch die hohe Gatetreiber-versorgungsspannung wird ein hoher Gatestrom ermöglicht, der zu einem schnellen Schaltvorgang führt, siehe [74].

Mehrere Gatetreiberendstufen mit verschiedenen Spannungsniveaus

Die Versorgungsspannung des Gatetreibers besteht aus verschiedenen Spannungsquellen, die unterschiedliche Spannungsniveaus zur Verfügung stellen, siehe Abb. 4.1(b). Diese Spannungsquellen können selektiv ein- bzw. ausgeschaltet werden. Mit Hilfe unterschiedlicher Widerstände zwischen den Spannungsquellen und der Eingangskapazität des Transistors ist es nun möglich, Einfluss auf den Gateladestrom des Transistors zu nehmen. Verschiedene Ausführungen dieses Konzeptes sind in [77, 79, 243, 244] aufgeführt.

Neben der Reduzierung der Einschaltverluste kann auch die Flankensteilheit der Spannung v_{DS} und des Stroms i_{S} während des Schaltvorgangs beeinflusst werden. Dies ist laut [77, 79] notwendig, um eine Überlastung des leistungselektronischen Systems zu vermeiden. Nachteilig ist der hohe Regelungsaufwand bzw. Steuerungsaufwand dieses Verfahrens. Des Weiteren kann ein Fehlverhalten der Schaltung zur Zerstörung des Transistors führen. Zusätzlich müssen verschiedene Spannungsquellen zur Verfügung gestellt werden.

Die eingeführten Konzepte zur Erhöhung des Gatestroms durch eine Anhebung der Gatetreiber-versorgungsspannung ermöglichen sehr schnelle Schaltvorgänge, wie in [74] gezeigt. Neben diesem experimentellen Ansatz erlauben die in [76, 77, 79, 240–244] gezeigten Verfahren einen praxistauglichen Einsatz. Durch den Einsatz dieser Verfahren kann die Einschaltenergie $E_{\text{turn-On}}$ reduziert werden. Ebenfalls erlauben die in [77, 79, 243, 244] eingeführten Verfahren eine Modifikation der Flankensteilheit während des Schaltvorgangs. Nachteilig für alle gezeigten Konzepte ist die steigende Komplexität der Schaltung bzw. der steigende Steuerungsaufwand der Konzepte. Des Weiteren kann ein Fehlverhalten zur Zerstörung des Transistors führen.

4.2 Konzeptionelle Überlegung

In einer Vielzahl von Veröffentlichungen wurde gezeigt, dass durch die Reduzierung von parasitären Induktivitäten das Schaltverhalten moderner Leistungshalbleiter verbessert werden kann, siehe [8, 9, 15, 49–52]. Durch die Reduzierung dieser parasitären Induktivitäten kann die Schaltgeschwindigkeit erhöht werden. Das führt unweigerlich zu einer Erhöhung der Ausgleichsströme der parasitären Kapazitäten des Leistungshalbleiters, siehe Abb. 3.16(c). Diese Limitierung ist als Miller-Effekt bekannt. Der Ausgleichsstrom der Drain-Gate-Kapazität C_{DG} muss während des

Einschaltens durch den Gatetreiberpfad abgeführt werden. Kann der Gatetreiber nicht ausreichend Strom liefern, reduziert sich die Schaltgeschwindigkeit und die Schaltverluste steigen.

In Abschnitt 3.3.6 wurde gezeigt, dass durch die Erhöhung der Gatetreiberversorgungsspannung die Einschaltenergie reduziert werden konnte. Diese Reduzierung wurde durch die Erhöhung des Ausgleichstroms der Drain-Gate-Kapazität C_{DG} ermöglicht. Aufgrund der möglichen Zerstörung des Transistors durch diese erhöhte Versorgungsspannung muss von diesem Konzept abgesehen werden. Deshalb werden in den folgenden Abschnitten zwei mögliche Ansätze zur Kompensation des Ausgleichstroms der Drain-Gate-Kapazität C_{DG} eingeführt und deren Wirkungsweise beschrieben.

4.2.1 Kompensation des Ausgleichstroms der Drain-Gate-Kapazität

Die Spannungsänderung der internen Drain-Gate-Spannung $v_{DG'}$ wird erfasst und mit Hilfe des bekannten spannungsabhängigen kapazitiven Betrages von C_{DG} der entsprechende Ausgleichstrom berechnet und in den Ansteuerkreis eingespeist. Ein Prinzipschaltbild ist in Abb. 4.2 gezeigt, dieses Konzept basiert auf Überlegungen und wurde nicht in der Literatur gefunden. Der Ausgleichstrom wird durch die spannungsgesteuerte Stromquelle $E_{Komp.v,DG}$ kompensiert, wodurch der parasitäre Einfluss von C_{DG} aufgehoben wird. Dieser Ansatz erfordert die Kenntnis über den spannungsabhängigen Wert von C_{DG} . Im Folgenden wird dieser Ansatz als v_{DG} -Komp bezeichnet.

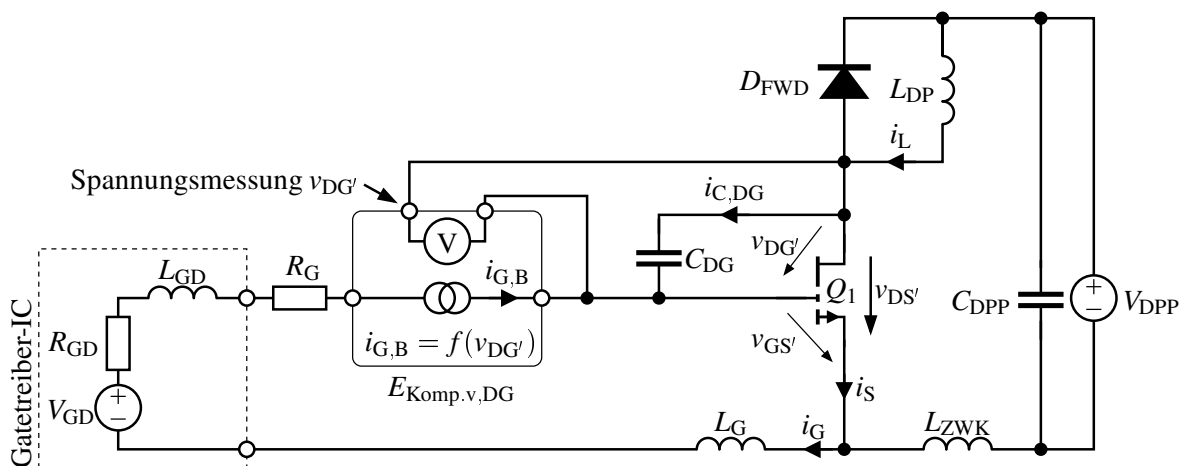


Abb. 4.2: Schaltungskonzept zur Kompensation des Ausgleichstroms $i_{C,DG}$. Die Spannung $v_{DG'}$ muss erfasst werden, um den Ausgleichstrom $i_{C,DG}$ kompensieren zu können.

Das v_{DG} -Komp-Konzept hat zwei wesentliche Herausforderungen. Erstens, die Erfassung des Spannungssignales von der Drain-Gate-Spannung $v_{DG'}$ ist anspruchsvoll. Die Spannungsänderungsgeschwindigkeit kann hier deutlich über 100 V/ns liegen. Die Messung solcher Signale kann durch parasitäre Elemente der Messeinrichtung limitiert sein, was eine korrekte Messung ausschließt, siehe [245]. Zweitens wird eine Anpassung von i_G im Zeitbereich unter 1 ns gefordert. Somit muss die Stromquelle sehr schnell auf unterschiedliche Lastbedingungen reagieren. Hierzu sind erste Ansätze in der Literatur zu finden. Die Anpassung erfolgt hier lediglich in 10 ns Schritten und der Strombereich ist ebenfalls nicht ausreichend, siehe [246]. Eine variable Anpassung des Gatewiderstands mit einer zeitlichen Auflösung von 150 ps wird in [157] gezeigt. Dies

würde die zeitliche Auflösung des geforderten Strompulses ermöglichen. Aufgrund des endlichen Innenwiderstands des Gatetreiber-IC kann aber gegebenenfalls nicht der geforderte Strom geliefert werden.

Im Folgenden sind die Simulationen des v_{DG} -Komp-Konzepts im Vergleich zu einem konventionellen Gatetreiber dargestellt. Die Werte für die Simulation wurden aus Tab. A.2 entnommen, der Gatevorwiderstand wurde mit $R_G = 2.7 \Omega$ gewählt. Die Simulation wurde für $v_{DS} = 500 \text{ V}$ und $i_L = 20 \text{ A}$ durchgeführt.

Die interne Drain-Source-Spannung $v_{DS'}$ ist in Abb. 4.3(a) sowohl für den konventionellen Gatetreiber als auch für das v_{DG} -Komp-Konzept gezeigt. Der Sourcedstrom i_S ist in Abb. 4.3(b) gezeigt. Die Spannung v_{DS} fällt mit dem v_{DG} -Komp-Konzept deutlich schneller ab, siehe Abb. 4.3(a). Trotz des v_{DG} -Komp-Konzepts fällt die Spannung aber nicht gleichförmig ab. Diese Limitierung im Spannungsabfall ist auf den Spannungsabfall über den parasitären Induktivitäten im Hauptstrompfad L_{ZWK} zurückzuführen. Erst wenn die Änderung des Stroms i_S null (bzw. negativ) wird fällt die Spannung $v_{DS'}$ auf null. Sowohl der Stromanstieg als auch der Maximalwert von i_S ist mit dem v_{DG} -Komp-Konzept höher, siehe Abb. 4.3(b). Die interne Gate-Source-Spannung $v_{GS'}$ ist in Abb. 4.3(c) gezeigt, der Ausgleichsstrom durch C_{DG} $i_{C,DG}$ ist in Abb. 4.3(d) aufgeführt.

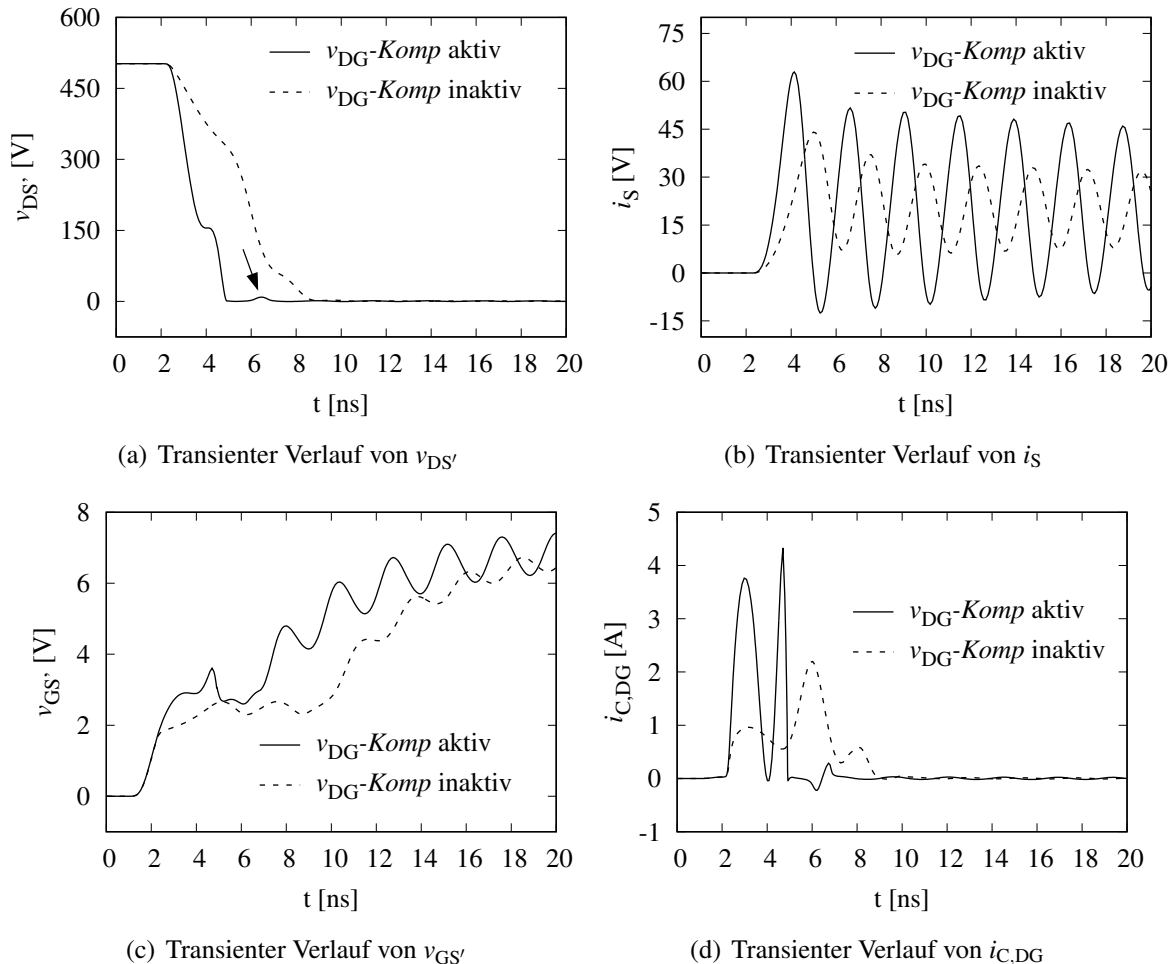


Abb. 4.3: Simulierte transiente Verläufe für das v_{DG} -Komp-Konzept, zur besseren Vergleichbarkeit sind die Verläufe für den konventionellen Gatetreiber ebenfalls eingezeichnet.

Durch das v_{DG} -Komp-Konzept kann die Spannung $v_{GS'}$ schneller erhöht werden, was zu einem schnelleren Einschalten des Transistors führt, siehe Abb. 4.3(c). Dieses schnellere Schalten führt zwangsläufig zu einem höherem Ausgleichsstrom $i_{C,DG}$ und somit auch zu einem höheren Gatestrom i_G . Für das v_{DG} -Komp-Konzept ist i_G um mehr als Faktor 2 größer im Vergleich zu dem konventionellen Gatetreiber, siehe Abb. 4.3(d).

Die SOA-Darstellung ist für den Einschaltvorgang in Abb. 4.4(a) gezeigt. Die simulierte Einschaltenergie $E_{\text{turn-On}}$ ist in Abb. 4.4(b) aufgeführt.

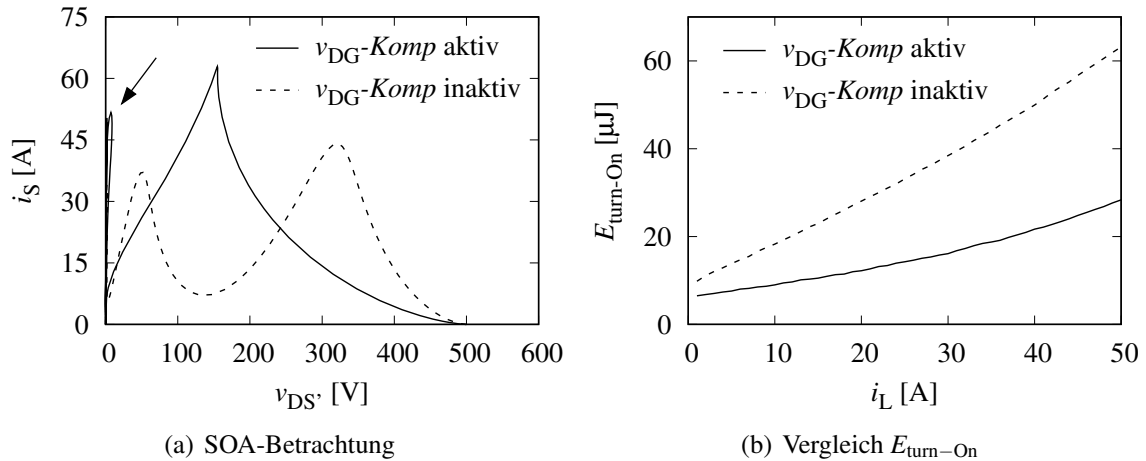


Abb. 4.4: In (a) ist die Darstellung der SOA-Betrachtung für das v_{DG} -Komp-Konzept und für den konventionellen Gatetreiberansatz für $i_L = 20$ A gezeigt. In (b) ist der Vergleich der Einschaltenergie $E_{\text{turn-On}}$ für das v_{DG} -Komp-Konzept und für den konventionellen Gatetreiberansatz aufgeführt.

Trotz des höheren Einschaltstroms, gezeigt in Abb. 4.3(b), kann die thermische Belastung des Transistors reduziert werden, siehe Abb. 4.4(a). Die am Schalter anliegende Spannung $v_{DS'}$ ist aufgrund des höheren Spannungsabfalls über der parasitären Induktivität L_{ZWK} geringer. Dies deckt sich mit den Untersuchungen aus Abschnitt 3.5 [siehe Abb. 3.17], dort ist auch die Überführung aus dem Zeitbereich in die SOA-Darstellung erläutert. Der im Diagramm mit einem Pfeil gekennzeichnete Verlauf ist auf den in (3.14) eingeführten Schwingkreis zurückzuführen. Im transienten Verlauf der Spannung v_{DS} ist diese Erhöhung der Spannung ebenfalls durch einen Pfeil markiert, siehe Abb. 4.3(a).

Die simulierte Verlustleistung kann durch das v_{DG} -Komp-Konzept um etwa die Hälfte reduziert werden, wie für $V_{DPP} = 500$ V in Abb. 4.4(b) gezeigt ist. Das Verhältnis der Einschaltenergieerduzierung ist annähernd konstant über den gesamten Strombereich i_L . Diese Reduzierung ist auf den schnelleren Schaltvorgang zurückzuführen. Wie in Abb. 4.3(a) und Abb. 4.3(b) gezeigt wurde, ist der Spannungsabfall von $v_{DS'}$ schneller und die Stromänderungsgeschwindigkeit von i_s höher.

4.2.2 Induktive Mitkopplung - *iFF*-Verfahren

Eine weitere Möglichkeit zur Kompensation des Ausgleichsstroms der Drain-Gate-Kapazität C_{DG} ist eine Mitkopplung der Stromänderung des Stroms i_S mit Hilfe eines Transformators. Die Grundidee dieses Verfahren ist in Abb. 4.5(a) dargestellt. Dieses Verfahren stellt die Innovation dieser Arbeit dar. Im weiteren Verlauf wird dieses als Inductive Feed Forward-Verfahren kurz *iFF*-Verfahren bezeichnet. Das *iFF*-Verfahren nutzt die Stromänderung von i_S , um mit Hilfe des Transformators T Energie in den Gatekreis einzuspeisen, siehe Abb. 4.5(b). Dieses Verfahren wurde in [247] eingeführt.

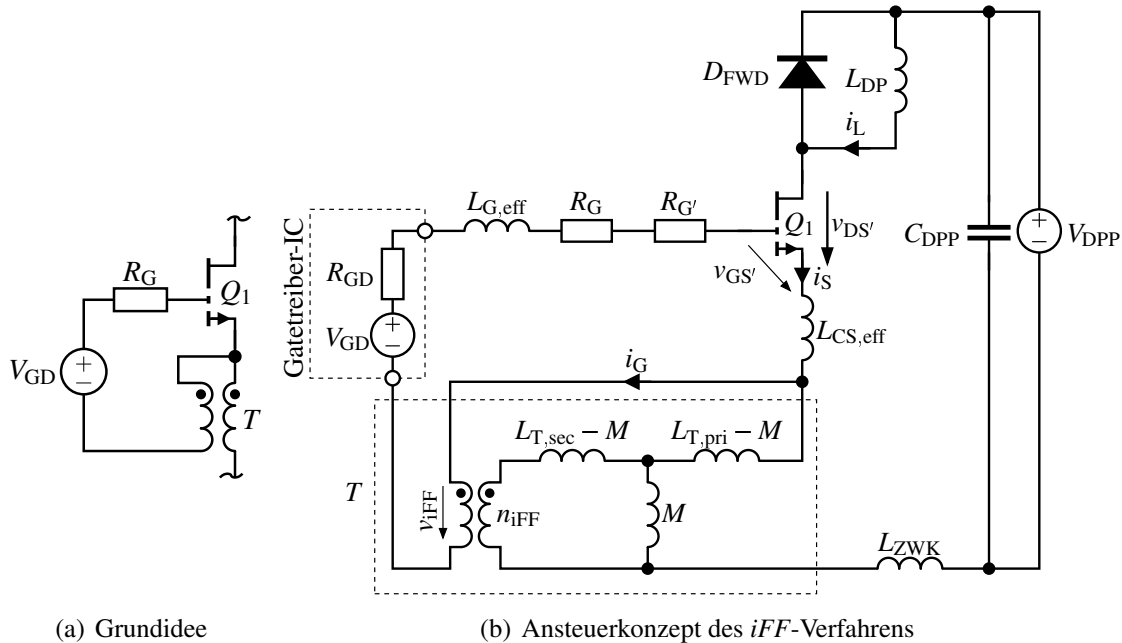


Abb. 4.5: In (a) ist die Grundidee des *iFF*-Konzeptes eingeführt. In (b) ist das Ansteuerkonzept zur Mitkopplung der Stromänderung von i_S zur Beschleunigung des Einschaltvorgangs dargestellt.

Die von T in die Gateschleife induzierte Spannung ist proportional zur Stromänderung von i_S . Zur Beschreibung des realen Transformators wird ein T-Ersatzschaltbild eingeführt, dieses wird in Abschnitt 6.2.1 genauer beschrieben. Für die vereinfachte Betrachtung wird $M = L_{T,pri} = L_{T,sec} = 1 \text{ nH}$ angenommen. Dadurch entsteht ein idealer Transformator und (4.1) gilt.

Die an M abfallende Spannung wird mit einem idealen Transformator mit einem definierten Übersetzungsverhältnis n_{iFF} an die Sekundärseite übertragen. Für die Spannung v_{iFF} ergibt sich somit:

$$v_{iFF} = n_{iFF} \cdot M \cdot \frac{di_S}{dt} \quad (4.1)$$

Durch die Definition $M = L_{T,pri} = L_{T,sec} = 1 \text{ nH}$ hat der Koppelfaktor k einen Wert von 1. Durch das Übersetzungsverhältnis des idealen Transformators n_{iFF} kann Einfluss auf die Mitkopplung genommen werden.

Für nachfolgende Simulationen wird für L_{ZWK} ein Wert von 4 nH gewählt, für $L_{G,eff}$ ein Wert von 1 nH. Der ohmsche Widerstand der Gateschleife beträgt etwa 3 Ω und ist durch R_{GD} mit 2.7 Ω , R_G

mit 0Ω und $R_{G'}$ mit 0.38Ω definiert. Die effektive Common-Source-Induktivität $L_{CS,eff}$ wird mit einem Wert von 56 pH angesetzt. Alle Simulationswerte sind in Tab. A.2 aufgeführt. Die Vereinfachung des T-Ersatzschaltbildes erlaubt es nun, die Stromänderung im Verhältnis zur eingekoppelten Spannung v_{iFF} zu setzen. Dabei ist n_{iFF} so gewählt, dass bei einer Stromänderung von 1 A/ns eine Spannung von $v_{iFF} = 1 \text{ V}$ eingespeist wird, somit ergibt sich $n_{iFF} = 1$.

Im Gegensatz zum v_{DG} -Komp-Konzept wird bei dem *iFF*-Konzept nicht nur der Einfluss des Ausgleichsstroms von C_{DG} berücksichtigt, vielmehr wird auch der Einfluss der Common-Source-Induktivität $L_{CS,eff}$ kompensiert. Ein Nachteil des *iFF*-Konzeptes ist der Eingriff in den Hauptstromkreis, wodurch die parasitäre Induktivität des Hauptstromkreises erhöht wird.

Simulation des *iFF*-Verfahrens

Bei dem *iFF*-Verfahren handelt es sich um ein selbstverstärkendes System. Eine höhere Stromänderung von i_S führt zu einer höheren Mitkopplung in den Gatekreis und somit zu einem schnelleren Schalten. Dieses Verhalten kann sowohl in Spannungsabfall von $v_{DS'}$ als auch im Stromanstieg von i_S beobachtet werden. Wie zuvor im Abschnitt 4.2.1 dargestellt, wird das *iFF*-Verfahren mit dem konventionellen Einschaltvorgang verglichen, siehe Abb. 4.6.

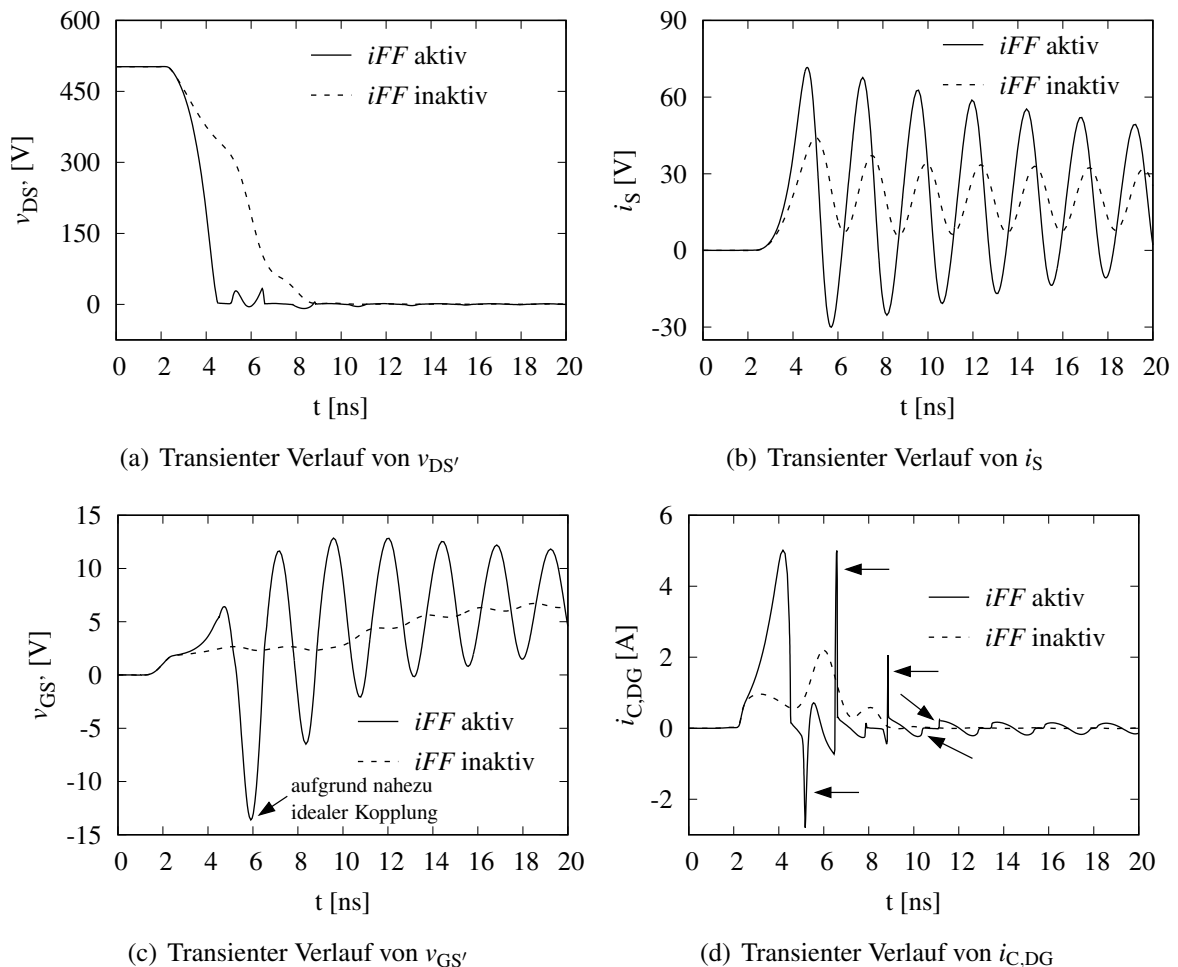


Abb. 4.6: Transiente Verläufe für das *iFF*-Konzept mit $n_{iFF} = 0.5$, zur besseren Vergleichbarkeit sind die Verläufe für den konventionellen Gatetreiber ebenfalls eingezeichnet.

Die Spannung $v_{DS'}$ ist sowohl für den konventionellen Gatetreiber als auch für das *iFF*-Konzept in Abb. 4.6(a) gezeigt. Wie in Abschnitt 3.5 dargestellt, kommt es für den konventionellen Gatetreiberansatz zu einer Begrenzung der Abnahme der Spannung $v_{DS'}$. Gleiches gilt auch für die Zunahme von i_S . Die Ursache für dieses Verhalten ist die Limitierung des Gatestroms i_G , bzw. die Limitierung des Ausgleichsstroms $i_{C,DG}$ der Drain-Gate-Kapazität C_{DG} .

Durch das *iFF*-Konzept kann der Strom i_G erhöht werden, was einen höheren Ausgleichsstrom von C_{DG} $i_{C,DG}$ erlaubt, siehe Abb. 4.6(d). (Die sprunghafte Änderung des Stroms $i_{C,DG}$ an den mit Pfeilen markierten Stellen ist auf Unstetigkeiten des vom Halbleiterhersteller zur Verfügung gestellten Modells zurückzuführen.) Hierdurch steigt die Spannung $v_{GS'}$ schneller an, siehe Abb. 4.6(c). Durch die ideale Kopplung (Definition in (4.1)) kommt es zu Spannungsspitzen von $v_{GS'}$ während des Schaltvorgangs, diese sind im realen Aufbau deutlich weniger ausgeprägt. Die Messung des Einschaltvorgangs wird später in Abb. 5.5(b) gezeigt. Die Erhöhung der Spannung $v_{GS'}$ erlaubt nun eine höhere Stromänderung von i_S , siehe Abb. 4.6(b) und folglich auch eine schnellere Spannungsänderung von $v_{DS'}$, siehe Abb. 4.6(a), im Vergleich zum konventionellen Gatetreiber.

Nachdem die Spannung $v_{DS'}$ null Volt erreicht hat, sinkt der Strom i_S wieder ab. Der Strom i_S induziert über den Transformator T_{iFF} eine Spannung in die Gateschleife, welche die Spannung $v_{GS'}$ unter null Volt absenkt. (Aufgrund der nahezu idealen Kopplung kommt es zu signifikanten negativen einer Gate-Source-Spannung mit minimal $v_{GS} = -14$ V, die ideale Kopplung für auch zu einer Überhöhung der Gate-Source-Spannung mit maximal $v_{GS} = 14$ V.) Die Spannung $v_{DS'}$ steigt nicht an, weil zu dieser Zeit der Strom i_S negativ ist. Diese Mitkopplung führt in dieser Konfiguration nicht zu einem parasitären Schalten. Wird aber n_{iFF} weiter erhöht, kommt es aufgrund der höheren Mitkopplung zu einem parasitären Schalten des Transistors. Wie im weiteren Verlauf der vorliegenden Arbeit gezeigt wird, hilft die endliche Bandbreite des Transformators, dieses parasitäre Schalten zu vermeiden.

SOA-Betrachtung und Einschaltenergie: Die SOA-Betrachtung des *iFF*-Konzeptes und des konventionellen Gatetreibers ist für einen Spulenstrom von $i_L = 30$ A in Abb. 4.8(a) gezeigt. In Abb. 4.8(b) ist die simulierte Einschaltenergie $E_{\text{turn-On}}$ dargestellt.

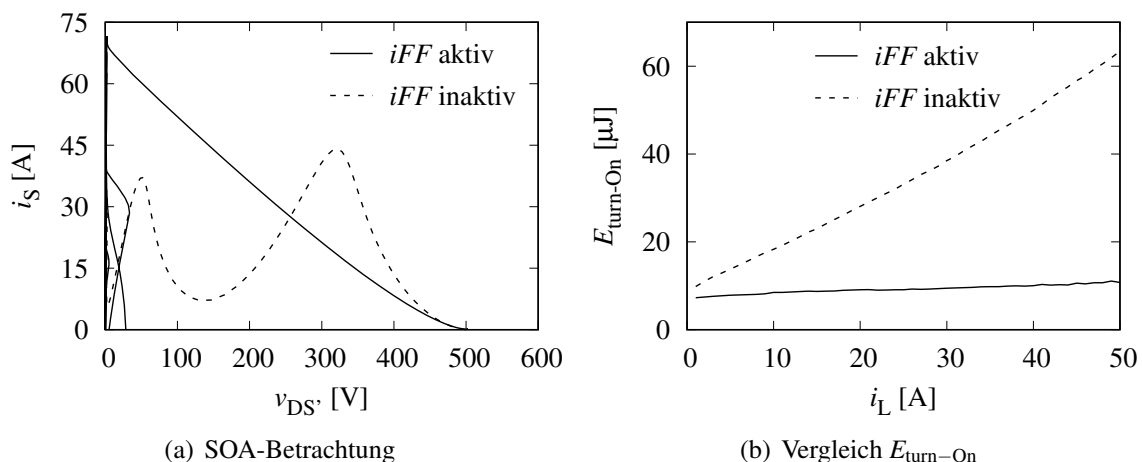


Abb. 4.7: In (a) ist die Darstellung der SOA-Betrachtung für das *iFF*-Konzept und für den konventionellen Gatetreiber gezeigt. In (b) ist der Vergleich der Einschaltenergie $E_{\text{turn-On}}$ für das *iFF*-Konzept und für den konventionellen Gatetreiber aufgeführt.

Das *iFF*-Konzept erlaubt es trotz des beschleunigten Schaltens, die maximale thermische Belastung des Transistors zu reduzieren, siehe Abb. 4.7(a). Dies ist möglich, da die Spannung $v_{DS'}$ aufgrund der parasitären Induktivität des Hauptstromkreises L_{ZWK} auf null fällt. Dieses Verhalten konnte in ähnlicher Weise für das v_{DG} -Komp-Konzept in Abb. 4.4(a) gezeigt werden.

Die Einschaltenergie $E_{\text{turn-On}}$ konnte signifikant reduziert werden, siehe Abb. 4.7(b). Das *iFF*-Konzept erlaubt es, die Einschaltenergie $E_{\text{turn-On}}$ annähernd konstant über den gesamten Strombereich von i_L zu halten. Im Vergleich zu dem v_{DG} -Komp-Konzept konnte $E_{\text{turn-On}}$ noch weiter reduziert werden. Für einen Strom von $i_L = 30 \text{ A}$ wurde für den konventionellen Gatetreiber eine Einschaltenergie von $E_{\text{turn-On}} = 38 \mu\text{J}$ bestimmt, für das v_{DG} -Komp-Konzept $E_{\text{turn-On}} = 17 \mu\text{J}$ und für das *iFF*-Konzept $E_{\text{turn-On}} = 9 \mu\text{J}$.

Für das v_{DG} -Komp-Konzept war es das Ziel, den Strom $i_{C,DG}$, der durch den Gatetreiber fließen muss, zu kompensieren. Im Gegensatz dazu kann bei dem *iFF*-Konzept durch das Übersetzungsverhältnis n_{iFF} die Mitkopplung variiert werden. Die Auswirkung des Übersetzungsverhältnisses n_{iFF} auf die Einschaltenergie $E_{\text{turn-On}}$ wird in Abb. 4.8(a) untersucht. Die entsprechenden transienten Verläufe der Drain-Source-Spannung $v_{DS'}$ sind in Abb. 4.8(b) aufgeführt.

Wird ein Übersetzungsverhältnis n_{iFF} von null gewählt, ist die Mitkopplung nicht wirksam, siehe Abb. 4.5(b). Wird ein positiver Wert für den Kopplungsfaktor n_{iFF} gewählt, ist die Mitkopplung wirksam und reduziert die Einschaltenergie $E_{\text{turn-On}}$, siehe Abb. 4.8(a). Die Reduzierung der Einschaltenergie $E_{\text{turn-On}}$ sättigt bei einem Wert von $n_{iFF} \geq 0.45$. Die Ursache für diese Limitierung ist die endliche Stromanstiegsgeschwindigkeit von i_S . Diese ist durch die parasitäre Induktivität L_{ZWK} und durch die Spannung V_{DPP} limitiert. Dieser Zusammenhang wird in Abschnitt 5.1 [siehe Abb. 5.6(a)] weiterführend diskutiert.

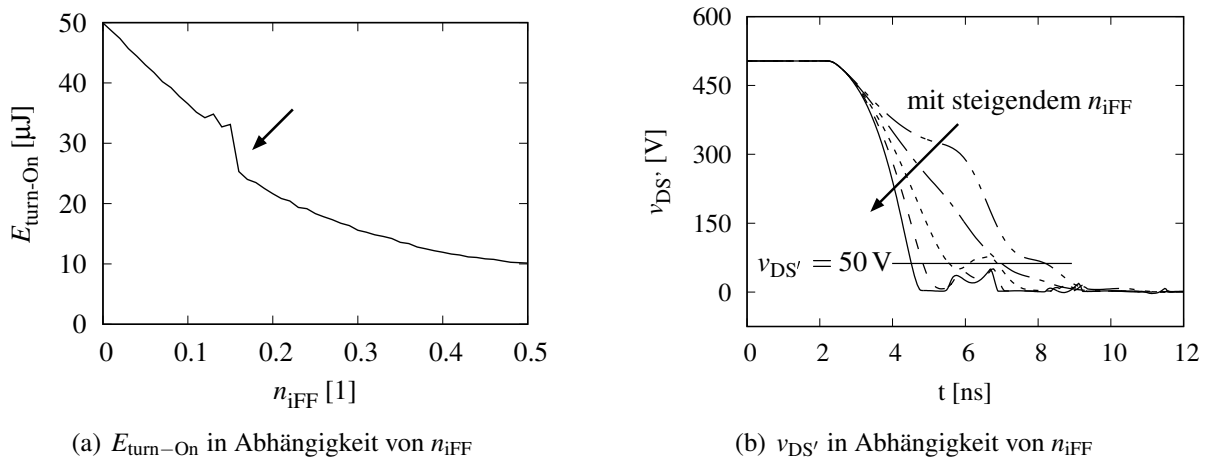


Abb. 4.8: In (a) ist die Einschaltenergie $E_{\text{turn-On}}$ für $i_L = 40 \text{ A}$ in Abhängigkeit von n_{iFF} gezeigt. In (b) ist der transiente Verlauf von $v_{DS'}$ für $i_L = 40 \text{ A}$ in Abhängigkeit von n_{iFF} aufgeführt.

Der Grund für den Sprung (markiert mit einem Pfeil) in der Einschaltenergie bei $n_{iFF} = 0.17$ ist durch die Definition der Einschaltenergie (entsprechend der Norm IEC 60747-8) bedingt. Das Zeitintervall zur Bestimmung der Einschaltenergie endet mit dem Unterschreiten von $v_{DS'} = 50 \text{ V}$, symbolisiert durch die horizontale Linie in Abb. 4.8(b). Erst mit einem Wert von $n_{iFF} \geq 0.17$ fällt die Spannung $v_{DS'}$ direkt unter 50 V ab.

In Abb. 4.8(b) ist die simulierte Drain-Source-Spannung $v_{DS'}$ für unterschiedliche Übersetzungsverhältnisse n_{iFF} gezeigt. Mit steigendem Übersetzungsverhältnis n_{iFF} wird die Schaltgeschwindigkeit des Transistors erhöht und die Drain-Source-Spannung $v_{DS'}$ wird schneller reduziert.

4.2.3 Vergleich der Konzepte

Wie in Abschnitt 4.2.1 und Abschnitt 4.2.2 dargestellt kann die Einschaltenergie $E_{\text{turn-On}}$ mit dem v_{DG} -Komp-Verfahren und dem iFF -Verfahren signifikant reduziert werden. Das v_{DG} -Komp-Verfahren kompensiert den Ausgleichsstrom $i_{C,DG}$ der Drain-Gate-Kapazität C_{DG} . Dieser Ausgleichsstrom wird durch die Spannungsänderung von $v_{DS'}$ während des Einschaltens des Transistors hervorgerufen. Herausforderungen des v_{DG} -Komp-Verfahrens stellen die schnelle und gleichzeitig genaue Erfassung der Spannungsänderung am Schaltknoten dar. Des Weiteren muss eine ebenfalls sehr schnelle Stromquelle im Gatetreiberpfad implementiert werden. Hinsichtlich Schnelligkeit und Genauigkeit sind dem Autor keine Verfahren- oder Einrichtungen bekannt, die das v_{DG} -Komp-Verfahren ermöglichen würden.

Im Gegensatz zu dem v_{DG} -Komp-Verfahren erlaubt das iFF -Verfahren den Einsatz von konventionellen Bauteilen. Dabei wird mit Hilfe eines Transformators die Stromänderung des Hauptstrompfads ausgenutzt, um einen zusätzlichen Strom in den Gatepfad einzuspeisen. Es können vorhandene Gatetreiber-ICs genutzt werden. Eine wesentliche Anforderung für den Transformator stellt die notwendige Bandbreite dar. Des Weiteren muss der Transformator ausreichend Energie während des Schaltens übertragen, um den Schaltvorgang zu beschleunigen, was eine gute elektromagnetische Kopplung voraussetzt. Wie im weiteren Verlauf der Arbeit gezeigt wird, können diese Anforderungen an den Transformator erfüllt werden. Im Gegensatz zum v_{DG} -Komp-Verfahren muss beim iFF -Verfahren kein aktives Bauteil eingefügt werden. Eine Limitierung stellt die endliche Kurzschlussfestigkeit des Verfahrens (welche in Abschnitt 6.3 diskutiert wird) und die Spannungsspitzen von $v_{GS'}$ dar.

4.3 Realisierung des iFF -Verfahrens

Im weiteren Verlauf der Arbeit wird der Ansatz des iFF -Verfahrens weiterverfolgt. Dieses Verfahren verspricht bei geringerem Entwicklungsaufwand eine höhere Einschaltverlustreduzierung. Dies konnte in Abb. 4.4(b) und Abb. 4.7(b) simulativ nachgewiesen werden. Dieses Verfahren ist zum Patent angemeldet, siehe [248].

4.3.1 Erweiterung des konventionellen Gatetreibers

Die in Abb. 4.9(a) gezeigte Gatetreiberschaltung erlaubt es, den Einschalt- und den Ausschaltvorgang jeweils über $R_{G,on}$ bzw. $R_{G,off}$ zu steuern. Über die Spannungsquellen $V_{G,on}$ und $V_{G,off}$ kann der Transistor mit einer positiven Spannung eingeschaltet und mit einer negativen Spannung ausgeschaltet werden. Bei diesen Spannungsquellen handelt es sich im realen Aufbau um die Kondensatoren $C_{G,on}$ und $C_{G,off}$, inklusive der Netzwerke zur Bereitstellung der Spannungen. Die Ansteuerung des Transistors erfolgt über einen konventionellen Gatetreiber-IC, diese Schaltung stellt den Stand der Technik dar.

Die Erweiterung des *iFF*-Verfahrens umfasst den Transformator T . Die Primärseite von T wird zwischen den Sourceanschluss des Transistors und dem nächsten Anschlusspunkt angeschlossen. In der Regel wird an dieser Stelle die Stützkapazität C_{DPP} vorgesehen, siehe hierzu Abb. 4.5(b). Die Sekundärseite des Transformator T wird in den Einschaltpfad des Gatetreiber-ICs eingefügt. Das Einschaltverhalten kann weiterhin durch den Widerstand $R_{G,on}$ beeinflusst werden. Dies erlaubt die Anpassung der maximal zulässigen Stromänderung bzw. Spannungsänderung während des Schaltens. Der Ausschaltpfad der Gatetreiberschaltung wird nicht geändert. Die Ansteuerung erfolgt wie für die konventionelle Gatetreiberschaltung über den Gatetreiber-IC. Somit ändert sich die Ansteuerung des Transistors nicht für das *iFF*-Verfahren.

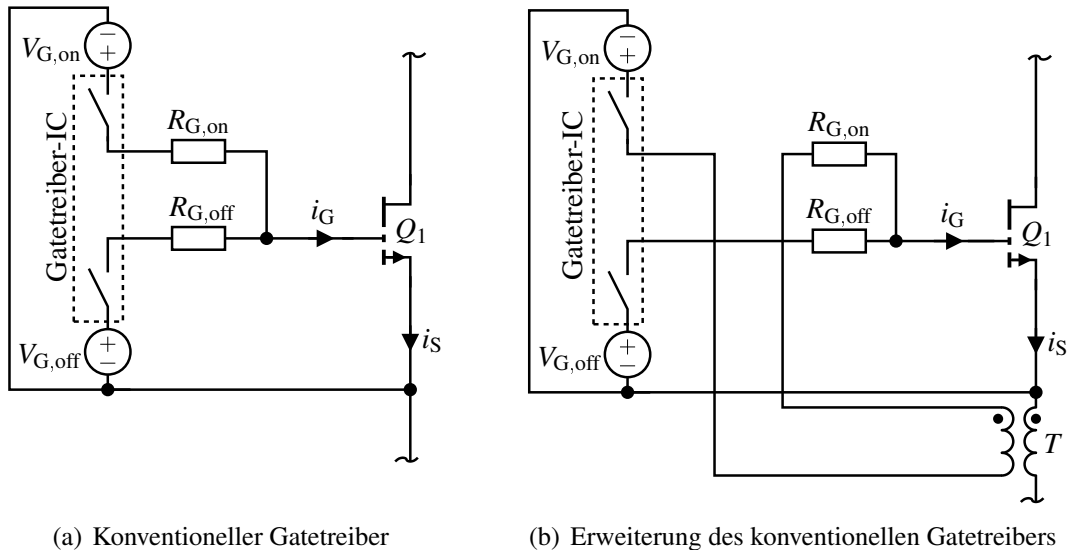


Abb. 4.9: In (a) ist der konventionelle Gatetreiber mit separaten Pfaden zum Ein- bzw. Ausschalten des Transistors Q_1 gezeigt. In (b) ist die Erweiterung des konventionellen Gatetreibers gezeigt, der Transformator T koppelt Energie vom Hauptstromkreis in den Einschaltsteuerpfad ein.

Wie in Abschnitt 4.2.2 beschrieben wird der Einschaltvorgang beschleunigt. Dies ist möglich, da eine positive Stromänderung des Sourcestroms i_S eine Spannung an der Sekundärseite des Transformators T hervorruft. Diese Spannung erhöht den Gatestrom i_G , wodurch der Transistor schneller eingeschaltet wird. Die Mitkopplung bewirkt einen selbstverstärkenden Effekt des *iFF*-Verfahrens. Aufgrund der Entkopplung des Einschalt- und Ausschaltpfads durch die Widerstände $R_{G,on}$ und $R_{G,off}$ wird das Ausschaltverhalten durch das *iFF*-Verfahren nicht beeinflusst. Dies stellt den Unterschied zu dem in [247] eingeführten Konzept dar, bei dem wird der Ein- bzw. Ausschaltvorgang nicht separat gesteuert, kommt es zu einem parasitären Schalten während des Ausschaltens des Transistors.

4.3.2 Realisierung des Transformators

Die Auslegung des Transformators ist für die Wirksamkeit des Konzeptes von zentraler Bedeutung. Ein realer Transformator ist immer verlustbehaftet und hat eine endliche Grenzfrequenz. Für das Design des Transformators muss eine möglichst hohe Bandbreite erreicht werden. Dies kann im Wesentlichen durch die Reduzierung der Streuinduktivitäten ermöglicht werden. Zusätzlich muss ein möglichst hoher Kopplungsfaktor des Transformators angestrebt werden, der ebenfalls durch eine Reduzierung der Streuinduktivitäten erreicht wird.

Neben der Bandbreite und einem hohen Kopplungsfaktor muss der Transformator für hohe Spitzenströme geeignet sein. Der Spitzenstrom kann während des Einschaltens den vielfachen Wert des Nennstroms annehmen, siehe Abb. 4.6(b). Der Transformator muss über den gesamten Strombereich einen linearen Zusammenhang zwischen Primär- und Sekundärseite aufweisen. Darüber hinaus soll die Baugröße des Transformators minimal ausfallen.

Transformator Typen

Die Anforderungen an den Transformator hinsichtlich geringer Baugröße und hohem Sättigungsstrom schließen kernmaterialbasierte Transformatoren weitestgehend aus. Diese Transformator Typen verlieren aufgrund von Sättigungseffekten des Kernmaterials bei Überlastung den linearen Zusammenhang zwischen Primärstrom und induzierter Sekundärspannung, siehe [249, 250]. Wesentliche Vorteile hinsichtlich der Sättigungsströme bieten Rogowskispulen. Die Rogowskispule kann aufgrund des fehlenden Kernmaterials nicht sättigen, siehe [251]. Ein Nachteil stellt der geringe Kopplungsfaktor dar. Für kernmaterialbasierte Transformatoren ist der Kopplungsfaktor signifikant höher, wie in [252] gezeigt.

Ein Anwendungsbeispiel der Rogowskispule ist nach [253] die Strommessung in leistungselektronischen Systemen. Im Speziellen wird die Rogowskispule für die Vermessung von hohen Stromänderungsgeschwindigkeiten verwendet, einige Beispiele sind in [254–259] aufgeführt. Der Vorteil der Rogowskispule ist, dass die Umsetzung der Strommessung durch eine Integration in die bestehende Schaltung durchführbar ist. Dadurch ist es möglich, den Strom ohne wesentliche Beeinträchtigung der Schaltung zu messen. Durch einen optimierten Aufbau sind in [254, 258] Bandbreiten von mehr als 100 MHz gezeigt. Die Bandbreite wird maßgeblich sowohl durch das Design des Transformators als auch durch die sekundärseitige Last bestimmt. Aufgrund der guten Integrierbarkeit, einer hohen Bandbreite und Vermeidung von Sättigungseffekten wird der Ansatz der Rogowskispule verfolgt.

Implementierung des Transformators

Geringe Streuinduktivitäten und eine hohe Bandbreite sind für das Design des Transformators von großer Bedeutung. Dazu wird der aktuelle Stand der Technik aufgegriffen, siehe [61]. Einerseits wird ein möglichst niederinduktives Layout der Schaltzelle umgesetzt, welches in Abb. 4.10 gezeigt ist. In dieses Layout wird der in Abschnitt 4.3.1 eingeführte Transformator integriert, ohne die parasitäre Induktivität signifikant zu beeinflussen.

Die Abb. 4.10 beschränkt sich an dieser Stelle auf die Darstellung der Anbindung des Transistors Q_1 an die Stützkapazität C_{out} und an den Gatetreiber-IC. Der Transistor Q_1 kann mit Hilfe des Gatetreiber-ICs ein- und ausgeschaltet werden, das Schaltverhalten kann über die Widerstände $R_{G,on}$ und $R_{G,off}$ beeinflusst werden. Die Messpunkte für v_{GS} und v_{DS} sind ebenfalls angedeutet. Für eine gute Signalintegrität ist es wichtig, eine niederimpedante Masseanbindung des Messmittels

umzusetzen, in Abschnitt 5.1.1 wird auf diesen Zusammenhang genauer eingegangen. Zusätzlich ist unterhalb des Gateanschlusses eine weitere Lage (Layer 2) zur Unterstützung der Rückführung des Gatestroms eingezeichnet. Diese Lage reduziert die parasitäre Induktivität der Gateschleife.

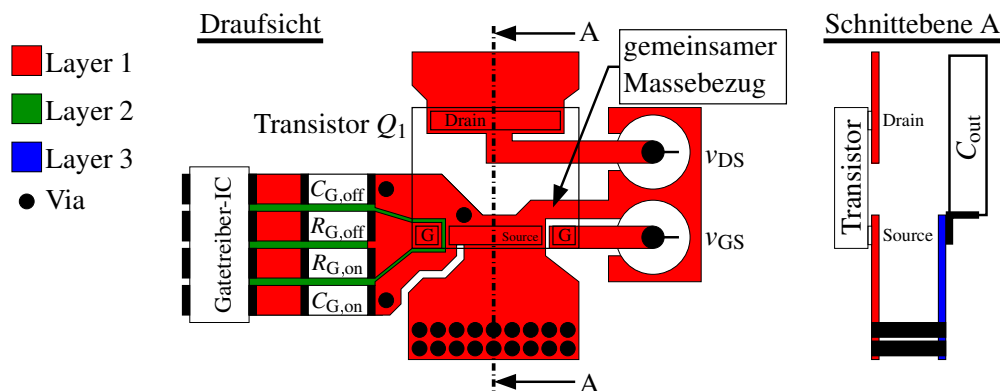


Abb. 4.10: Ein typisches PCB-Layout eines Leistungstransistors, nur der Transistor Q_1 und der Kondensator C_{out} ist gezeigt, siehe Abb. 2.1(a). Der Transistor Q_1 verfügt über zwei Gateanschlüsse (G), welche direkt neben dem Sourceanschluss zu finden sind. Zur besseren Darstellung ist der Schnitt A eingefügt.

Durch Anordnung der Stromleiter mit gegenläufigem Stromfluss kann die parasitäre Induktivität reduziert werden, siehe [7, 9, 10, 14]. Dabei muss der Abstand zwischen den Leitern deutlich kleiner sein als die Breite der Leiter. Eine Realisierung der Anbindung des Gateantriebsschaltplans an den Leistungstransistor ist in Abb. 4.10 gezeigt.

Der in Abb. 4.9(b) eingeführte Transformator kann, wie in [254–259] gezeigt wurde, realisiert werden. Dazu wird der Abstand zwischen dem Transistor Q_1 und den Leiterplatten-Vias erhöht. Dieser Abstand ist in Abb. 4.10 markiert. Die Erweiterung des in Abb. 4.10 eingeführten Layouts ist in Abb. 4.11 gezeigt.

Dabei wird wie zuvor erläutert der Abstand zwischen dem Transistor Q_1 und den Leiterplatten-Vias erhöht. In die entstehende Lücke kann die Sekundärseite des Transformators integriert werden. Die Umsetzung der Sekundärseite des Transformators T erfolgt mit Hilfe von drei Leiterplattenebenen auf dem Printed Circuit Board (PCB). Durch die Windungszahl und die geometrische Struktur kann die Mitkopplung beeinflusst werden, wie später in Abschnitt 6.2 untersucht wird. Die Primärseite des Transformators T wird durch zwei aufgelötete Kupferstücke realisiert.

Alternativ zu der innenliegenden Sekundärseite des Transformators T kann auch eine planare Struktur der Sekundärseite gewählt werden. In [255, 259] sind Umsetzungen dieses planaren Konzeptes gezeigt. Zusätzlich führt [255] einen Vergleich der beiden Konzepte auf. Die Autoren stellen heraus, dass die innenliegende Sekundärseite für hohe Frequenzen eine deutlich bessere Signalintegrität zeigt. Als ein weiterer Vorteil der innenliegenden Sekundärseite ist die konstruktionsbedingte Schirmung gegen externe Magnetfelder zu sehen. Die Primärseite des Transformators umschließt die Sekundärseite, was die gute Abschirmung erklärt.

Das in [247] eingeführte Konzept nutzt einen Transformator, dessen Sekundärseite nicht von den schaltstromführenden Leitern umschlossen wird. Dadurch wird die magnetische Kopplung zwischen Primärseite und Sekundärseite des Transformators signifikant reduziert. Die planar zu dem stromführenden Leiter verlaufende Sekundärseite wurde simulativ und experimentell getestet. Der

Effekt der Beschleunigung des Schaltvorgangs konnte gezeigt werden, aber die innenliegende Sekundärseite zeigt simulativ und experimentell deutlich bessere Ergebnisse.

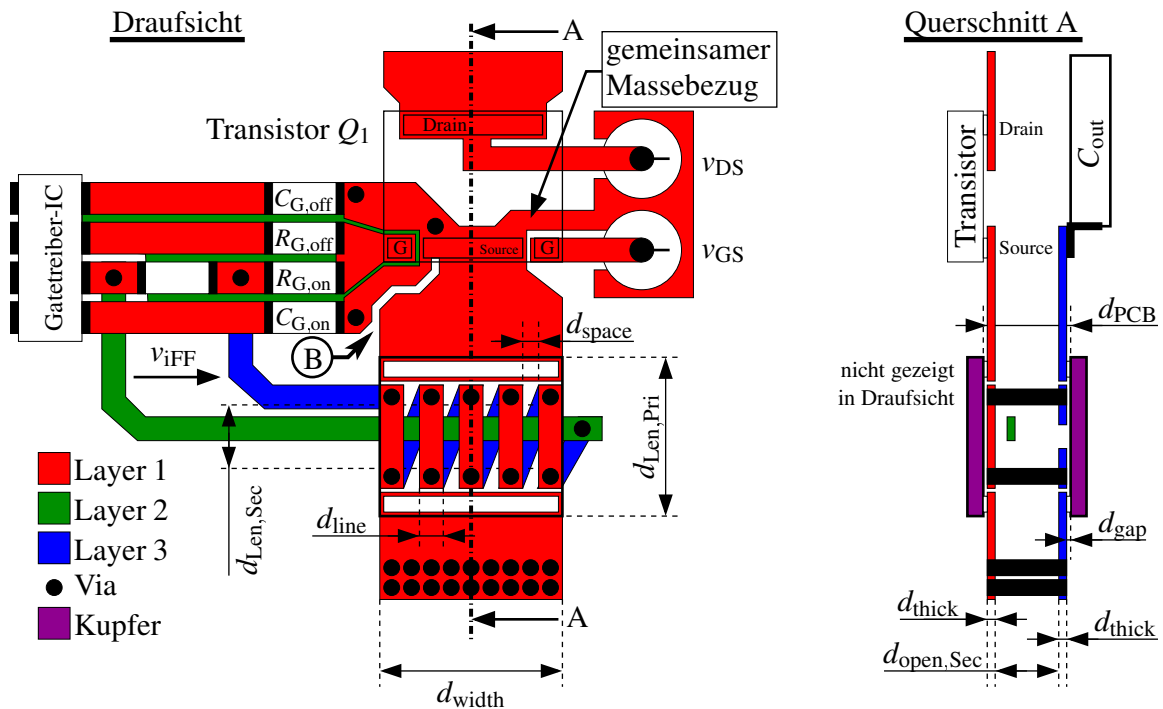
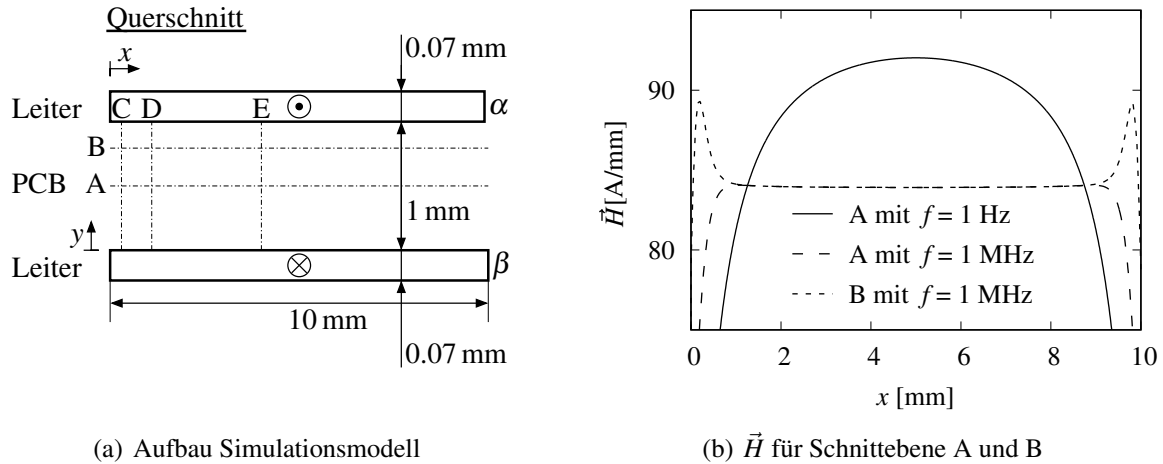


Abb. 4.11: Erweiterung des PCB-Layouts eines Leistungstransistors zur Realisierung des *iFF*-Verfahrens. Die Sekundärseite des Transformators wird zwischen den Transistor und dem Kondensator C_{out} in das PCB integriert.

4.3.3 Analytische Betrachtung des Transformators

Nach Festlegung der geometrischen Struktur wird die magnetische Feldstärke \vec{H} innerhalb der Struktur für verschiedene Frequenzen berechnet. Dies erfolgt mit Hilfe eines numerischen Berechnungsprogrammes, siehe [260] bzw. Abschnitt 2.3.2. Dabei wird die Leiterstruktur, die später die Primärseite des Transformators darstellt, mit einem sinusförmigen Strom (Amplitude 1 A) mit einer bestimmten Frequenz angeregt. Die Ströme im oberen und unteren Leiter (α und β) sind gegenläufig und betragsmäßig gleich. Die für die Berechnung angenommenen Zahlenwerte sind in Abb. 4.12(a) angegeben.

Die Schnittebene A und B stellen die in Abb. 4.12(b) gezeigten Verläufe von \vec{H} dar. Zu Beginn wird die Feldstärke entlang der Mittellinie (Schnittebene A) betrachtet. Mit einer geringen Frequenz (1 Hz) zeigt sich, dass es zu einer Absenkung des Feldes am Anfang und am Ende der elektrischen Leiter kommt. Mit einer höheren Frequenz (1 MHz) ist der Verlauf vom \vec{H} deutlich homogener. Für die Schnittebene A ist eine Absenkung im Randbereich der Leiter zu sehen. Wird nun aber die Schnittebene von der Mittellinie entfernt, zeigt sich eine Feldüberhöhung am Rand der Leiter. Die Schnittebene B ist für einen Wert von $y = 0.85$ mm simuliert und Schnittebene A mit $y = 0.5$ mm. Mit einem Abstand von $1 < x < 9$ mm ist die Feldstärke \vec{H} für die Schnittebenen A und B identisch.



(a) Aufbau Simulationsmodell

 (b) \vec{H} für Schnittebene A und B

Abb. 4.12: In (a) ist das Simulationsmodell bestehend aus zwei Leitern (α und β) gezeigt, die Ströme der Leiter sind gegenläufig und betragsmäßig gleich. In (b) ist das Simulationsergebnis für die Schnittebene A und B dargestellt. Für die Schnittebene A sind zwei verschiedene Frequenzen simuliert.

In Anhang B ist der Feldverlauf für die Schnittebenen C, D, E entlang der y-Achse dargestellt. Auch hier kann festgehalten werden, dass sich mit hoher Frequenz eine gleichmäßige Feldverteilung einstellt. Des Weiteren nimmt die Gleichförmigkeit mit dem Abstand zur Leiterkante zu, das heißt die Feldverteilung ist für Schnittebene D gleichmäßiger als für Schnittebene C.

Durch diese annähernd homogene Feldverteilung kann für die analytische Betrachtung des Transformators die magnetische Feldstärke \vec{H} als konstant zwischen den Leitern (α und β) angenommen werden. Des Weiteren wird für die analytische Berechnung angenommen, dass alle Feldlinien zwischen den Leitern hindurch laufen. In der Literatur finden sich vergleichbare Betrachtungen die diesen Zusammenhang auf eine ähnliche Weise vereinfachen, siehe [256, 257, 261].

Induktionswirkung und Induktionsgesetz

Die magnetische Feldstärke \vec{H} und die magnetische Flussdichte \vec{B} ist über die magnetische Permeabilität μ gekoppelt, es gilt:

$$\vec{B} = \vec{H} \cdot \mu \quad (4.2)$$

Es gilt die vierte Maxwell'sche Gleichung [262], das Gauß'sche Gesetz für Magnetfelder:

$$\vec{\nabla} \cdot \vec{B} = 0 \quad (4.3)$$

Somit sind die Magnetfelder stets quellenfrei, es gibt nur magnetische Wirbelfelder. Aufgrund des Induktionsgesetzes gilt:

$$\vec{\nabla} \times \vec{E} = -\frac{\partial \vec{B}}{\partial t} \quad (4.4)$$

Eine Änderung der magnetischen Flussdichte \vec{B} führt zu einem elektrischen Wirbelfeld \vec{E} . Das Minuszeichen schlägt sich in der Lenz'schen Regel nieder, siehe [263]. Wird das in (4.4) eingeführte

Induktionsgesetz in die integrale Schreibweise überführt, zeigt sich, dass die (elektrische) Zirkulation über der Randkurve ∂A einer Fläche A gleich ist mit der negativen zeitlichen Änderung des magnetischen Flusses durch die Fläche:

$$\oint_{\partial A} \vec{E} \cdot d\vec{s} = - \int_A \frac{\partial \vec{B}}{\partial t} \cdot d\vec{A} \quad (4.5)$$

Durch (4.5) wird ersichtlich, dass mit steigender Fläche A die induzierte Spannung ebenfalls steigt. Wie zuvor ausgeführt wird das Feld zwischen den Leitern (α und β) als homogen angenommen. Daraus folgt, dass die Leiterschleife zwischen den Leitern (α und β) möglichst die gesamte Fläche einnehmen soll, um eine hohe induzierte Spannung zu erreichen.

5 Experimentelle Verifikation des *iFF*-Verfahrens

Im Folgenden wird das *iFF*-Verfahren für drei unterschiedliche Halbleitertechnologien experimentell verifiziert. Dazu wird das Schaltverhalten und die Einschaltenergie mit dem Stand der Technik verglichen. Am Ende dieses Kapitels erfolgt ein Vergleich des Reduzierungspotentials der unterschiedlichen Halbleitertechnologien.

5.1 Messergebnisse für einen GaN-HEMT

5.1.1 Beschreibung des Demonstrators

Zur Verifikation der Einschaltenergiereduzierung werden im Folgenden Doppelpulsmessungen zur Bestimmung der Einschaltenergie $E_{\text{turn-On}}$ durchgeführt. Die Testschaltung erlaubt es, das *iFF*-Verfahren zu aktivieren und zu deaktivieren. Dadurch ist es möglich, im identischen Aufbau mit den identischen Bauteilen eine vergleichende Messung für den konventionellen Gatetreiber und für das *iFF*-Verfahren durchzuführen. Durch diese Vorgehensweise können Bauteilstreuungen das Messergebnis nicht beeinflussen. Des Weiteren wurde mit denselben Messmitteln im identischen Aufbau das Schaltverhalten vermessen. Diese Methode reduziert sowohl die Streuung durch Messmittel als auch den Einfluss durch parasitäre Elemente in der Messkette. Eine vergleichbare Vorgehensweise wurde auch für die Effizienzmessung eines Aufwärtswandlers umgesetzt. Durch die Messung des Aufwärtswandlers können die Einschaltenergiemessungen durch eine Effizienzsteigerung verifiziert werden.

Die in Abb. 5.1 dargestellte Leiterplatte zeigt die Leistungsendstufe des Doppelpulsmesstages, der in Abschnitt 3.1 eingeführt wurde. Die gezeigte Leiterplatte umfasst den Gatetreiber-IC inkl. der Spannungsversorgung, den Transistor Q_1 und die Freilaufdiode D_{FWD} . Die Stützkapazität C_{out} ist auf der Rückseite des PCBs montiert. Die Spule L_{DP} und der Mikrocontroller zur Steuerung des Messtages sind nicht gezeigt. Darüber hinaus ist der Transformator T dargestellt. Wie eingangs erwähnt kann das *iFF*-Verfahren durch eine Lötbrücke ein- bzw. ausgeschaltet werden.

Spannungsmessung

Die Spannungsmessung von schnellschaltenden Spannungswandlern erfordert die Einführung eines Massekonzeptes.¹ In dem in Abb. 5.1 eingeführten Layout wurde ein gemeinsamer Massepunkt auf den Sourceanschluss des Transistors Q_1 bezogen. Die Spannungen v_{GS} und v_{DS} beziehen sich auf diesen Punkt. Zur besseren Verdeutlichung ist der gemeinsame Massepunkt in Abb. 4.10 gezeigt. Durch diesen zentralen Punkt kann ein sternförmiges Massekonzept realisiert werden. Dieses

¹ Dies gilt für eine erdpotenzialbezogene Spannungsmessung, was die gängige Praxis darstellt.

sternförmige Massekonzept ist notwendig, da es aufgrund von parasitären Induktivitäten in Verbindung mit einer Stromänderung zu einem Verzug des Massepunkts kommen kann. Durch den Anschluss an einem gemeinsamen Punkt kann dieser Einfluss minimiert werden. An dieser Stelle sei erwähnt, dass dies nicht für die Messung von i_S gilt. Für die Messung von i_S wird ein galvanisch entkoppeltes Signal ausgewertet, weitere Details sind in Abb. 5.2 dargestellt.

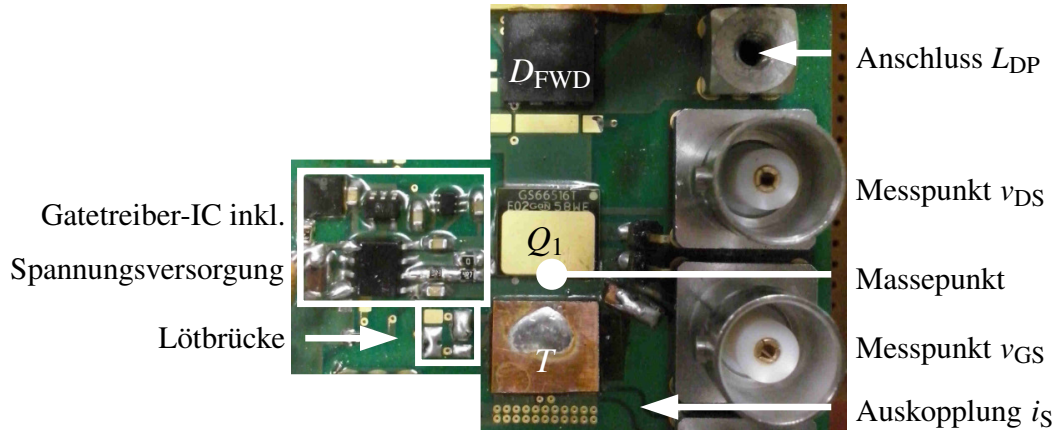


Abb. 5.1: Praktische Umsetzung des *iFF*-Verfahrens. Ferner sind die Messpunkte für v_{GS} und v_{DS} gezeigt. Der Gatetreiber-IC und dessen Spannungsversorgung ist ebenfalls dargestellt. Das *iFF*-Verfahren kann mit Hilfe der Lötbrücke ein- bzw. ausgeschaltet werden.

Neben dem sternförmigen Massekonzept ist eine niederinduktive Anbindung des Tastkopfes erforderlich. Die parasitäre Induktivität und der kapazitive Belag des Spannungstastkopfes limitiert die Bandbreite des Messsystems. Die parasitäre Induktivität kann durch kurze Leitungswege, günstige Verlegung der Kabel (keine Leiterschleifen) und eine gute Anbindung des Tastkopfs an die Leiterplatte reduziert werden.

Die zuvor erwähnten Designrichtlinien für das Massekonzept sind trotz ihrer Einfachheit teilweise schwierig im Leiterplattendesign umzusetzen. Dies wird umso schwieriger, je kompakter der Aufbau des leistungselektronischen Systems wird. In [74] wird auf die Schwierigkeit der Spannungsmessung an schnellschaltenden Halbleitern eingegangen und es werden Lösungsansätze aufgezeigt. Eine Möglichkeit zur Lösung dieses Problems stellt eine analog-optisch-isolierte differenzielle Spannungsmessung dar, siehe [264]. Durch die differenzielle Messung ist kein gemeinsames Massekonzept notwendig.

Die Messungen der nachfolgenden Spannungsverläufe für v_{DS} wurden mit Hilfe eines passiven 2 kV Tastkopfs mit einer Bandbreite von 400 MHz und einer Eingangskapazität von 6 pF gemessen. Die Spannung v_{GS} wurde ebenfalls mit einem passiven Tastkopf (Bandbreite 500 MHz, Eingangskapazität 9.5 pF) gemessen, aber dieser kann lediglich Spannung bis 300 V messen.

Strommessung

Die Strommessung von schnellen Schaltvorgängen kann nach [253, 265] durch drei Methoden realisiert werden.

- Die *Hall-Effekt*-Strommessung ist eine weit verbreitete Strommessmethode. Die Ausnutzung des Hall-Effekts ist die Grundlage von vielen kommerziellen Strommesszangen. Mit dieser Methode werden Bandbreiten von bis zu 150 MHz bei Strömen von 30 A erreicht,

siehe [266]. Es können Wechsel- und Gleichströme gemessen werden, das Messsignal ist galvanisch entkoppelt. Als Nachteil dieses Verfahrens ist die absinkende Bandbreite bei steigendem Strommessbereich zu sehen.

- Die Strommessung mit Hilfe eines *Shunt-Widerstands* bietet eine sehr hohe Bandbreite. Hohe Stromspitzen können ohne Sättigungserscheinungen gemessen werden, siehe [267]. Die hohe Bandbreite resultiert aus einer geringen Induktivität des Messwiderstands. Hierbei muss bedacht werden, dass sich diese geringe Induktivität nur auf den Shunt bezieht, nicht aber auf den gesamten Aufbau des Messwiderstands. In Abhängigkeit des Aufbaus des Messwiderstands kann dieser eine signifikante parasitäre Induktivität besitzen, die das Schaltverhalten stark beeinflussen kann.

Ein weiterer Nachteil ist die galvanische Kopplung des Widerstandmesssignals. Das in Abschnitt 5.1.1 eingeführte sternförmige Massekonzept kann gegebenenfalls nicht umgesetzt werden. Dieses Problem kann durch eine potentialgetrennte Messung des Shuntsignals umgangen werden. Die Anforderungen hinsichtlich Gleichtaktunterdrückung und Bandbreite der Differentialmessung sind jedoch anspruchsvoll.

- Eine weitere Möglichkeit der Strommessung bietet die *Rogowskispule*, siehe [251]. Wesentliche Vorteile dieser Methode sind die galvanische Trennung, die Vermeidung von Sättigungseffekten und eine relativ hohe Bandbreite. Als Nachteil muss die Messbeschränkung auf Wechselströme genannt werden. (Es wird lediglich die Stromänderung gemessen.) Der tatsächliche Strom kann durch Integration mit bekannter Anfangsbedingung ermittelt werden.

Nach [268] kommt es zu einer Beeinflussung des Schaltvorgangs durch die Strommessung. Diese Beeinflussung entsteht einerseits durch die physikalische Größe des Stromsensors, der in die Schaltung integriert werden muss. Dieser vergrößert die Leiterschleife und somit die parasitäre Induktivität des Hauptstromkreises. Zusätzlich kommt es durch die Impedanz des Messsystems zu einer zusätzlichen Belastung.

Basierend auf den oben genannten Vor- und Nachteilen der jeweiligen Strommessmethoden wurde eine Rogowskispule zur Strommessung gewählt. Dazu wurde der Transformator T erweitert und ein dritter Abgriff eingefügt. Der Transformator T wird für das *iFF*-Verfahren benötigt. Dadurch konnte die Beeinflussung des Schaltvorgangs minimal gehalten werden. Durch die galvanische Trennung konnte das in Abb. 5.2(a) eingeführte Massekonzept aufrechterhalten werden.

Das Messsignal entspricht der Stromänderungsrate von i_S (di_S/dt), siehe Abb. 5.2(a) bzw. (4.5). Es wurde mit Hilfe eines Kabels mit einem Wellenwiderstand von $50\ \Omega$ zum Oszilloskop geführt und dort mit einer $50\ \Omega$ Terminierung abgeschlossen. Die $50\ \Omega$ Terminierung reduziert Leitungsreflexionen. Dies ist nötig, da die Impedanz der Rogowskispule nicht auf das $50\ \Omega$ System angepasst ist.

Bei der Rogowskispule handelt es sich um ein vielfach umgesetztes Verfahren. Folgende Arbeiten zeigen die Funktionsfähigkeit des Konzeptes und vergleichen die Ergebnisse mit Shunt-Strommessungen, siehe [269, 270]. Aufgrund der Messung der Stromänderung ist es notwendig, das Signal durch geeignete schaltungstechnische bzw. numerische Verfahren aufzubereiten. Ein numerisches Verfahren ist in [271] gezeigt, eine analoge Lösung ist in [272] aufgeführt.

Zur Validierung des Messverfahrens wurde eine Messplatine entwickelt, welche die Strommessung gleichzeitig mit Hilfe eines Shunts und der Rogowskispule erlaubt. Die Umsetzung ist in

Abb. 5.2(a) zeigt. Um die parasitäre Induktivität des Shunt-Widerstands zu reduzieren, wurde eine Vielzahl von Widerständen parallel geschaltet. Der Spannungsabgriff an den Shunt-Widerständen erfolgt in der Mitte des Leitungstreifens (angedeutet durch zwei Vias). Diese Spannung wird über eine innere Leiterlage an einen Messpunkt geführt, siehe Abb. 5.2(a). An diesem Punkt wird die Spannung v_{Shunt} gemessen. Die Spannung der Rogowskispule v_{Rog} wird ebenfalls an einem Messpunkt abgegriffen. Die Ergebnisse sind in Abb. 5.2(b) gezeigt, die Spannung v_{Rog} wurde bereits integriert.

Das Spannungssignal der Rogowskispule wurde numerisch integriert. Das Ergebnis dieser Integration ist in Abb. 5.2(b) gezeigt. Das Spannungssignal v_{Shunt} wurde mit einer analog-optisch-isolierten Differenzmessung durchgeführt, siehe [264].

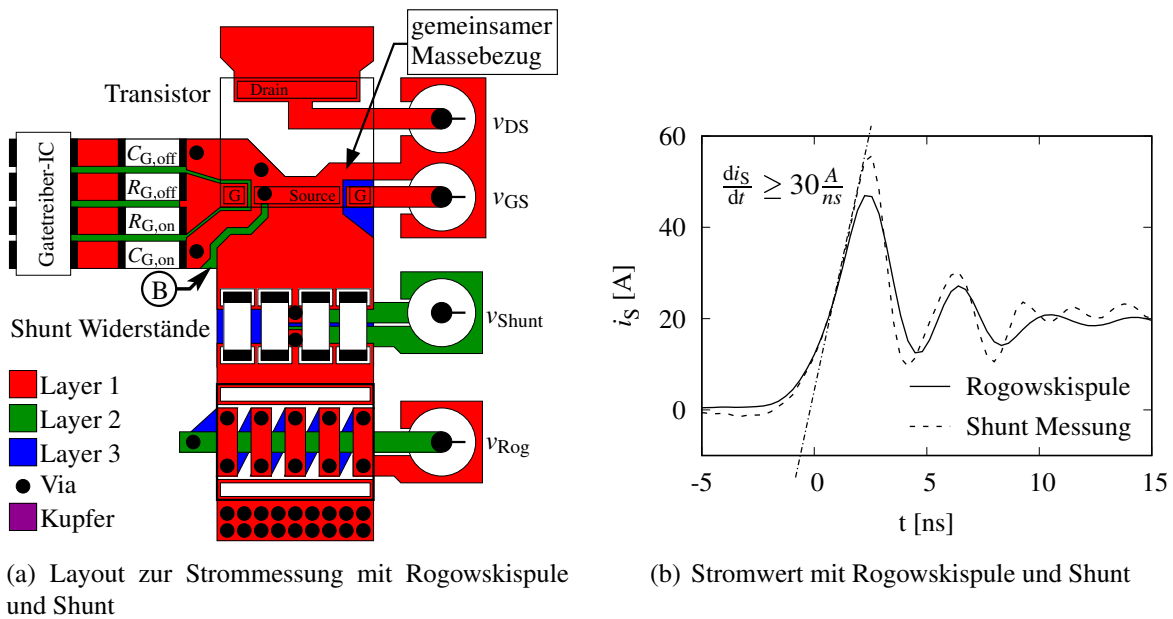


Abb. 5.2: Vergleich der Strommessmethoden Rogowskispule und Shunt. In (a) ist das schematische Layout zur gleichzeitigen Messung des Sourcestroms i_S mit Hilfe eines Shunts und durch die Rogowskispule gezeigt. In (b) ist das gemessene Signal der beiden Strommessmethoden aufgeführt, gezeigt für $V_{\text{DPP}} = 500 \text{ V}$ und $i_L = 20 \text{ A}$

Beide Messergebnisse zeigen eine gute Übereinstimmung des Stroms i_S . In den in Abb. 5.2(b) gezeigten Messergebnissen konnte eine Stromänderungsgeschwindigkeit von i_S mit mehr als 30 A/ns gemessen werden. Die Rogowskispule zeigt eine etwas geringere Amplitude, was mit der geringeren 3-dB Grenzfrequenz der Rogowskispule erklärt werden kann. Diese ist um Faktor 3 geringer als die Bandbreite der analog-optisch-isolierten Differenzprobe (800 MHz). Eine vergleichbare Studie wurde in [270] durchgeführt. Auch hier wurde gezeigt, dass die Rogowskispule eine hinreichend hohe Bandbreite besitzt.

Die Shunt-Messung konnte nicht für alle Messungen eingesetzt werden, da die analog-optisch-isolierten Differenzprobe die zur Messung notwendig ist nicht für die gesamte Bearbeitungszeit zur Verfügung stand. Aus diesem Grund wurde die Strommessung mit Hilfe der Rogowskispule durchgeführt.

5.1.2 Transiente Messergebnisse

In dem nachfolgenden Abschnitt wird ein GaN-HEMT mit einer Durchbruchspannung von 650 V und einer Stromtragfähigkeit von 60 A vermessen, siehe [202]. Wie in Abschnitt 5.1.1 beschrieben erfolgt die Spannungsmessung potenzialbezogen. Im Gegensatz hierzu wird der Strom i_S durch das ausgekoppelte Spannungssignal des Transformators T gemessen. Dieses Verfahren ist ebenfalls in Abschnitt 5.1.1 beschrieben.

Die transienten Verläufe der Drain-Source-Spannung v_{DS} und der Gate-Source-Spannung v_{GS} für das Einschalten des GaN-HEMTs Q_1 sind in Abb. 5.3(a) gezeigt, die Abb. 5.3(b) zeigt v_{DS} und den Sourcestrom i_S . Die Spannung v_{DS} ist aufgrund einer besseren Übersicht sowohl in Abb. 5.3(a) als auch in Abb. 5.3(b) aufgeführt. Beide Abbildungen zeigen das Einschaltverhalten für eine Spannung von $V_{DPP} = 500$ V und einen Schaltstrom von $i_L = 20$ A. Die gemessenen transienten Verläufe werden für die Bestimmung der Einschaltenergie $E_{\text{turn-On}}$ genutzt. Die Definition der Zeitpunkte des Beginns und des Endes des Einschaltvorgangs sind in Abschnitt 3.1 definiert.

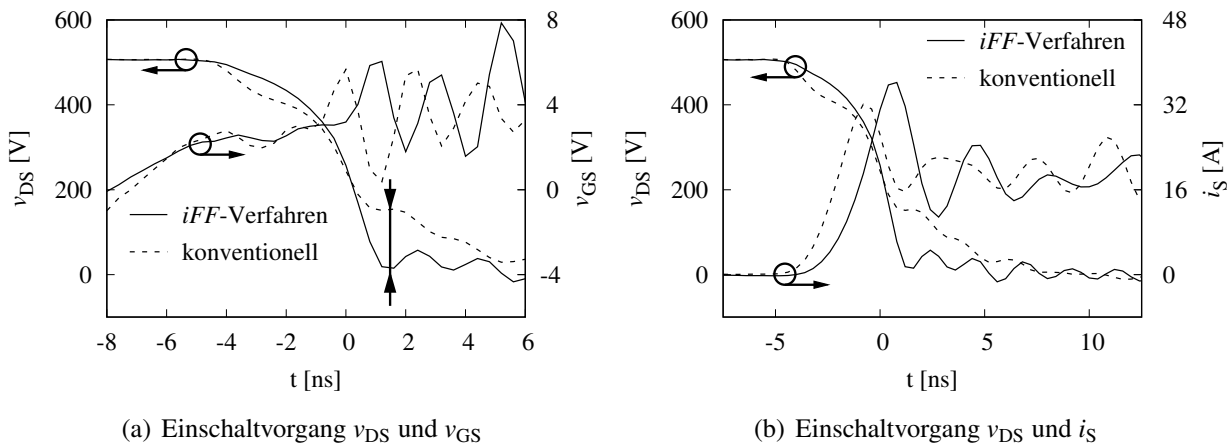


Abb. 5.3: Vergleich des Einschaltvorgangs des konventionellen Gatetreibers und des *iFF*-Verfahrens für einen GaN-HEMT mit $V_{DPP} = 500$ V und $i_L = 20$ A. Abbildung (a) zeigt v_{DS} und v_{GS} . Abbildung (b) zeigt nochmals v_{DS} (vereinfacht zeitliche Zuordnung) und i_S .

Für den konventionellen Gatetreiber wurde ein Gatevorwiderstand von $R_{G,on} = 0 \Omega$ verwendet. Dies stellt somit den schnellstmöglichen Einschaltvorgang dar. Das *iFF*-Verfahren wurde mit einem Gatevorwiderstand von $R_{G,on} = 9.1 \Omega$ betrieben. Für das *iFF*-Verfahren ist zu Beginn des Schaltvorgangs ein langsames Absinken der Spannung v_{DS} messbar. Dies kann durch den größeren Gatevorwiderstand $R_{G,on}$ und die Induktivität der Sekundärseite des Transformators $L_{T,sec}$ erklärt werden.

Im mittleren Bereich des Schaltvorgangs ($180 \text{ V} < v_{DS} < 400 \text{ V}$) sinkt die Spannung v_{DS} mit vergleichbarer Geschwindigkeit für beide Gatetreiber ab. Unterschreitet die Spannung $v_{DS} = 180$ V, reduziert sich die Fallgeschwindigkeit der Spannung v_{DS} für den konventionellen Gatetreiber. Das kann durch den höheren Wert der Drain-Gate-Kapazität C_{DG} erklärt werden. Diese nimmt signifikant im unteren Spannungsbereich zu. Der Zusammenhang zwischen C_{DG} und der Schaltgeschwindigkeit wurde in Abschnitt 3.3.5 diskutiert. Im Gegensatz hierzu fällt die Spannung v_{DS} mit dem *iFF*-Konzept mit konstanter Änderungsgeschwindigkeit ab, bis die Spannung v_{DS} null erreicht hat. Das Schaltverhalten deckt sich mit den Simulationsergebnissen aus Abschnitt 4.2.2.

Aufgrund der hohen Änderungsgeschwindigkeit von i_S und der von $L_{CS,eff}$ induzierten Spannung ist die Messung der Gate-Source-Spannung v_{GS} äußerst schwierig, siehe Abb. 3.9. Eine Aussage bezüglich der Wirksamkeit des Transformators ist durch die Messung der Spannung v_{GS} nicht möglich. An dieser Stelle sei auf den Vergleich zwischen Messung und Simulation verwiesen, siehe Abb. 6.2. Die Simulation erlaubt es, den Spannungsverlauf ohne den Einfluss von parasitären Elementen sichtbar zu machen.

Der Sourcestrom i_S ist in Abb. 5.3(b) gezeigt, die Stromsteilheit ist für beide Gatetreiber nahezu identisch. Für den konventionellen Gatetreiber ist der Stromanstieg begrenzt, wenn die Spannung v_{DS} unter 180 V fällt. Im Gegensatz hierzu steigt der Strom i_S für das *iFF*-Verfahren weiter an, was zu einem höheren Maximalwert des Stroms i_S führt.

Das Einschaltverhalten der Drain-Source-Spannung v_{DS} des konventionellen Gatetreibers ist für unterschiedliche Spulenströme i_L (20 A, 40 A und 60 A) in Abb. 5.4(a) gezeigt. Während des Anstiegs des Stroms i_S fällt die Spannung v_{DS} ab, dieser Zusammenhang ist in Abb. 3.10 dargestellt. Mit zunehmendem Wert von i_L ist dieser Effekt stärker ausgeprägt. Ab einem Spannungswert von $v_{DS} \leq 180$ V wird der Spannungsabfall von v_{DS} durch den zunehmenden Wert der spannungsabhängigen Drain-Gate-Kapazität limitiert. Der größere Wert der Drain-Gate-Kapazität führt zu einem größeren Kompensationsstrom, der durch die Gateschleife abgeführt werden muss. Der Kompensationsstrom reduziert die Flankensteilheit von v_{DS} , wie in Abb. 3.12 dargestellt. Dieser Zusammenhang ist nahezu unabhängig vom Spulenstrom i_L , siehe Abb. 5.4(a).

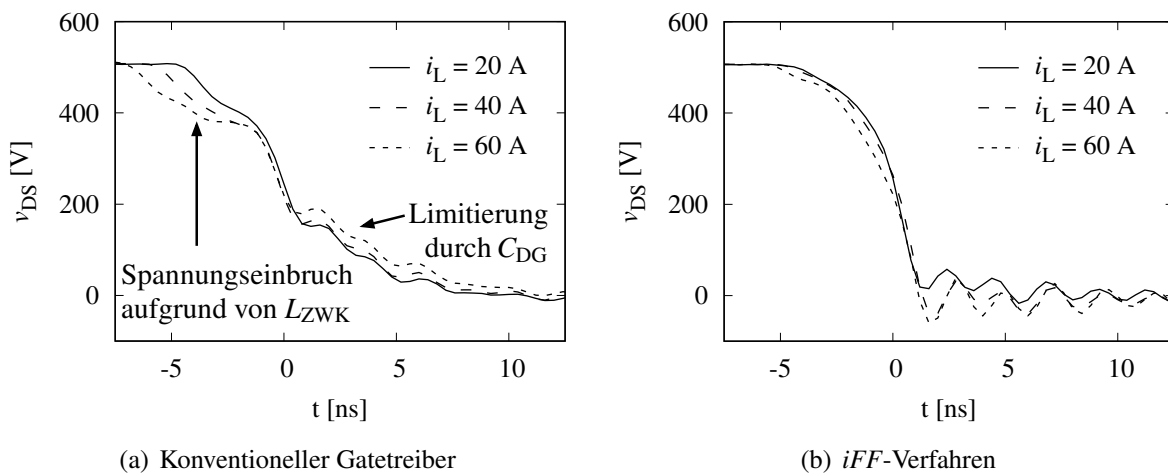


Abb. 5.4: Vergleich des konventionellen Gatetreibers und des *iFF*-Verfahrens für den GaN-HEMT mit $V_{DPP} = 500$ V und unterschiedlichen Werten von i_L . In (a) für den konventionellen Gatetreiber und in (b) für das *iFF*-Verfahren.

Das Einschaltverhalten der Spannung v_{DS} für das *iFF*-Verfahren ist in Abb. 5.4(b) dargestellt. Es sind die Spannungsverläufe für die gleichen Spulenströme wie in Abb. 5.4(a) gezeigt. Im Vergleich zum konventionellen Gatetreiber ist der Verlauf von v_{DS} fast identisch für die unterschiedlichen Spulenströme i_L . Dieses Verhalten kann durch den selbstverstärkenden Effekt des *iFF*-Verfahrens erklärt werden. Es wurde in Abschnitt 4.2.2 simulativ nachgebildet und in Abschnitt 4.3.1 ergänzend beschrieben. Die stetige Zunahme der Stromänderungsgeschwindigkeit von i_S und der Spannungsabfall über der Induktivität L_{ZWK} führt zu dem gleichmäßigen Abfall der Drain-Source-Spannung v_{DS} .

Gatestrommessung: Wie in Abschnitt 4.2.2 gezeigt, kann durch das *iFF*-Verfahren der Gatestrom i_G erhöht werden. Zur Verifikation dieser Gatestromerhöhung wird der Spannungsabfall über den $R_{G,on}$ mit Hilfe eines Differenztestkopfes gemessen und daraus der Gatestrom i_G errechnet. In Abb. 5.5(a) ist für den konventionellen Gatetreiber und in Abb. 5.5(b) ist für das *iFF*-Verfahren der Gatestrom i_G und die Gate-Source-Spannung v_{GS} gezeigt. Aus Gründen der Vergleichbarkeit sind beide Messungen mit $R_{G,on} = 9.1 \Omega$ gemessen. Die Spannung wurde mit $V_{DPP} = 500 \text{ V}$ und der Spulenstrom mit $i_L = 24 \text{ A}$ gewählt.

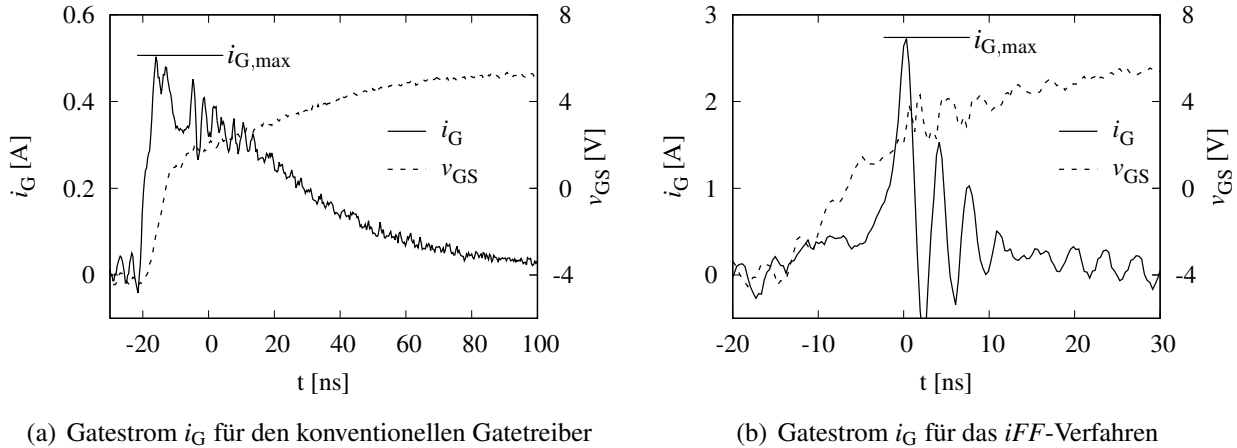


Abb. 5.5: Vergleich des Gatestroms i_G und der Gate-Source-Spannung v_{GS} für den konventionellen Gatetreiber und das *iFF*-Verfahren mit einem GaN-HEMT. In (a) für den konventionellen Gatetreiber und in (b) für das *iFF*-Verfahren. Die Ergebnisse sind für $R_{G,on} = 9.1 \Omega$, $i_L = 24 \text{ A}$ und $V_{DPP} = 500 \text{ V}$ dargestellt.

Für den konventionellen Gatetreiber konnte ein maximaler Gatestrom i_G von etwa 0.5 A gemessen werden. Durch die Nutzung des *iFF*-Verfahrens konnte der maximale Gatestrom i_G auf etwa 2.8 A erhöht werden. Der Transformator T speist somit eine Spannung von ungefähr -18 V in die Gateschleife ein. Diese Spannung wurde ebenfalls gemessen, die Darstellung erfolgt in Abb. 5.7. Durch das *iFF*-Verfahren konnte der Maximalwert des Gatestroms i_G um mehr als 500 % gesteigert werden. Diese Erhöhung des Gatestroms erlaubt nun die schnellere Umladung von C_{DG} und führt somit zu einem schnelleren Schaltvorgang.

Der maximale Gatestrom $i_{G,max}$ für den konv. Gatetreiber und das *iFF*-Verfahren ist in Abb. 5.6(a) in Abhängigkeit von i_L gezeigt. Für den maximalen Gatestrom $i_{G,max}$ des konventionellen Gatetreibers ergibt sich ein annähernd konstanter Wert über den gesamten Strombereich von i_L . Im Gegensatz dazu zeigt sich für das *iFF*-Verfahren eine konstante Zunahme des Stroms $i_{G,max}$.

Ab einem Spulenstrom $i_L = 22 \text{ A}$ kommt es zu einem Ende des Anstieges von $i_{G,max}$. Dies kann mit dem Erreichen der maximalen Stromänderungsgeschwindigkeit von i_S begründet werden. Wie in Abb. 5.2(b) für einen Spulenstrom von $i_L = 20 \text{ A}$ gezeigt wurde, konnte eine Stromsteilheit von mehr als 30 A/ns gemessen werden. Aufgrund der Induktivität L_{ZWK} , die einen Wert von 14 nH besitzt (9 nH davon entfallen auf die AVT der Diode D_{FWD}) und einer Spannung V_{DPP} von 500 V ist eine maximale Stromsteilheit von 35 A/ns möglich. Wird diese erreicht, nimmt der Strom i_G nicht weiter zu, da die Spannung der Sekundärseite des Transformators T proportional zur Stromänderung von i_S ist.

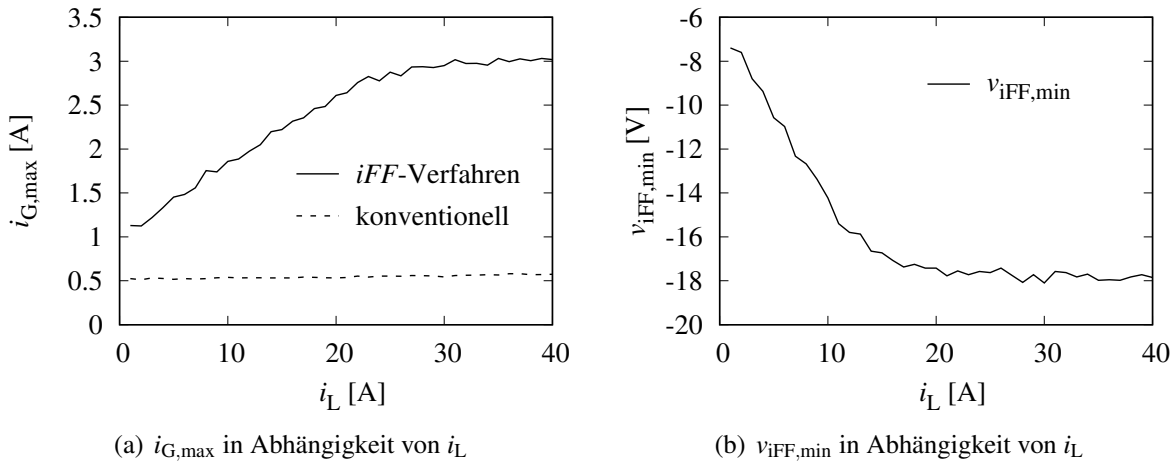


Abb. 5.6: Der Strom $i_{G,max}$ und die Spannung $v_{iFF,min}$ für das *iFF*-Verfahren mit einem GaN-HEMT. In (a) ist der maximale Gatestrom $i_{G,max}$ in Abhängigkeit von i_L aufgeführt und in (b) ist die Spannung $v_{iFF,min}$ in Abhängigkeit von i_L dargestellt. Die Ergebnisse sind für $R_{G,on} = 9.1 \Omega$ und $V_{DPP} = 500 \text{ V}$ gezeigt.

Die minimale sekundärseitige Spannung des Transformators T $v_{iFF,min}$ ist in Abb. 5.6(b) gezeigt. Die Spannung $v_{iFF,min}$ nimmt betragsmäßig mit steigendem Wert des Spulenstroms i_L zu. Wird ein Spulenstrom von $i_L = 14 \text{ A}$ erreicht, kommt es zu einer Limitierung des (betragsmäßigen) Anstiegs der Spannung $v_{iFF,min}$, da die maximale Stromänderungsgeschwindigkeit für i_S von 35 A/ns erreicht wurde. Dieser Versatz zwischen Erreichen der betragsmäßigen maximalen Spannung $v_{iFF,min}$ und des maximalen Gatestroms $i_{G,max}$ kann durch die parasitäre Induktivität der Gateschleife $L_{G,eff}$ begründet werden. Die Induktivität $L_{G,eff}$ verhindert die sprunghafte Änderung des Stromwerts.

In Abb. 5.7(a) und Abb. 5.7(b) ist jeweils der Gatestrom i_G und die Spannung $v_{iFF,min}$ für $i_L = 18 \text{ A}$ bzw. $i_L = 36 \text{ A}$ abgebildet.

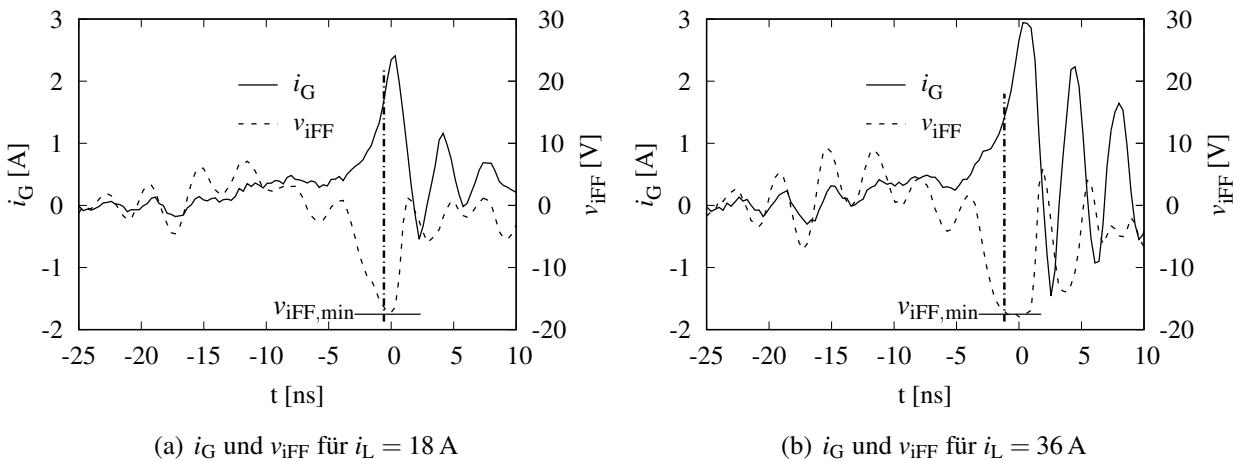


Abb. 5.7: Der Strom i_G und die Spannung v_{iFF} sind für das *iFF*-Verfahren mit einem GaN-HEMT gezeigt, in (a) ist i_G und v_{iFF} für $i_L = 18 \text{ A}$ und in (b) für $i_L = 36 \text{ A}$ abgebildet. Die Ergebnisse sind für $R_{G,on} = 9.1 \Omega$ und $V_{DPP} = 500 \text{ V}$ gemessen.

Für $i_L = 18 \text{ A}$ zeigt sich aufgrund der kürzeren Zeit des Stromanstieges von i_S eine kürzere Phase der negativen Spannung v_{iFF} , siehe hierzu Abschnitt 3.5 Zeitabschnitt II und III. Der Minimalwert von v_{iFF} $v_{iFF,\min}$ wird erreicht, bevor der Strom i_G seinen Maximalwert erreicht hat. Wie bereits erwähnt, kann dies mit der parasitären Induktivität $L_{G,\text{eff}}$ begründet werden. Eine Spannung von $v_{iFF} = -18 \text{ V}$ wird in die Gateschleife eingekoppelt, da sich die maximale Stromänderungsgeschwindigkeit für i_S von 35 A/ns eingestellt hat. Die Induktivität $L_{G,\text{eff}}$ von etwa 10 nH (größtenteils bedingt durch den Gatetreiber-IC) limitiert die Stromänderungsgeschwindigkeit auf unter 1.8 A/ns .

Diese Limitierung wird für einen höheren Laststrom i_L noch deutlicher, wie in Abb. 5.7(b) gezeigt ist. Die Spannung v_{iFF} hat ihren Endwert bei $t = -1 \text{ ns}$ erreicht, ab diesem Zeitpunkt steigt der Strom i_G von 1 A auf 3 A weiter an. Zur Verdeutlichung ist das Erreichen des Minimalwertes $v_{iFF,\min}$ mit einer horizontalen Linie in Abb. 5.7(a) und in Abb. 5.7(b) markiert.

Im Folgenden wird der gemessene Strom i_G mit theoretischen Überlegungen verglichen. In Tab. 2.3 wurde für den GaN-HEMT ein maximaler Gatestrom i_G von 14.7 A ermittelt. Dieser theoretische Wert wurde aufgrund des endlichen Widerstands des Gatetreibers nicht erreicht. Selbst für die in Abb. 3.6 annähernd ideale Simulation wurde lediglich ein Gatestrom i_G von 7.3 A bestimmt. Dieser Wert wurde auch für das *iFF*-Verfahren nicht gemessen. Die in Abb. 5.6(a), bzw. in Abb. 5.7(b), dargestellten Messergebnisse zeigen einen maximalen Gatestrom i_G von etwa 3 A . Des Weiteren verhindert die parasitäre Induktivität der Gateschleife $L_{G,\text{eff}}$ ein schnellen Anstieg des Stroms i_G . Diese Limitierung der Anstiegsgeschwindigkeit konnte in Abb. 5.7 messtechnisch nachgewiesen werden.

Ausschaltverhalten: In Abb. 5.8 ist das Ausschaltverhalten des GaN-HEMTs für unterschiedliche Spulenströme i_L gezeigt. In Abb. 5.8(a) und Abb. 5.8(b) ist die Drain-Source-Spannung v_{DS} bzw. die Gate-Source-Spannung v_{GS} für den konventionellen Gatetreiber dargestellt.

Für einen Strom von $i_L = 20 \text{ A}$ steigt die Spannung v_{DS} langsamer an als im Vergleich zu den höheren Spulenströmen. Dieses Verhalten kann durch das Laden der parasitären Kapazität des Schaltknotens $C_{\text{Par},\text{SW}}$ erklärt werden, siehe Abschnitt 3.4. Je höher der Strom i_L ist, desto schneller wird der Knoten umgeladen. Für die Ströme $i_L = 40 \text{ A}$ und $i_L = 60 \text{ A}$ zeigt sich kaum ein Unterschied, dies kann durch die limitierte Bandbreite des eingesetzten Messmittels begründet werden, siehe Abschnitt 5.1.1. Der gemessene Überschwinger der Drain-Source-Spannung v_{DS} steigt mit zunehmendem Wert von i_L . Dieser Zusammenhang ist in Abb. 5.9 weiterführend verdeutlicht und wird im Anschluss diskutiert.

Wird hingegen die Gate-Source-Spannung v_{GS} betrachtet, zeigt sich ein unterschiedlicher Verlauf für die Ströme $i_L = 40 \text{ A}$ und $i_L = 60 \text{ A}$. Mit $i_L = 40 \text{ A}$ kann ein sicheres Ausschalten noch gewährleistet werden. Wird hingegen der Verlauf der Gate-Source-Spannung v_{GS} für $i_L = 60 \text{ A}$ betrachtet, steigt die Spannung v_{GS} wieder über die Schwellspannung des Transistors an, siehe Abb. 5.8(b) und Abb. 5.8(d) jeweils mit einem Kreis markiert. Dieses Verhalten kann durch die Spannungsinduktion durch $L_{\text{CS},\text{eff}}$ erklärt werden. Diese Spannung wirkt der Gatetreiberspannung entgegen und kann daher zu einem parasitären Schalten führen.

In Abb. 5.8(c) und Abb. 5.8(d) sind die Drain-Source-Spannung v_{DS} bzw. die Gate-Source-Spannung v_{GS} für das *iFF*-Verfahren dargestellt. Der Verlauf der Drain-Source-Spannung v_{DS} ist bis 5 ns etwa deckungsgleich mit dem Verlauf des konventionellen Gatetreibers, siehe Abb. 5.8(a) und Abb. 5.8(c). Nach 5 ns kommt es für den Schaltvorgang mit $i_L = 60 \text{ A}$ zu einem parasitären

Schalten und somit sinkt die Spannung v_{DS} wieder ab. Dieser Spannungseinbruch ist aber nur temporär, die Gate-Source-Spannung v_{GS} kann wieder abgesenkt werden und die Spannung v_{DS} steigt wieder an. Durch dieses Verhalten zeigt sich ein zweiter Überschwinger, der einen höheren Maximalwert von v_{DS} aufweist.

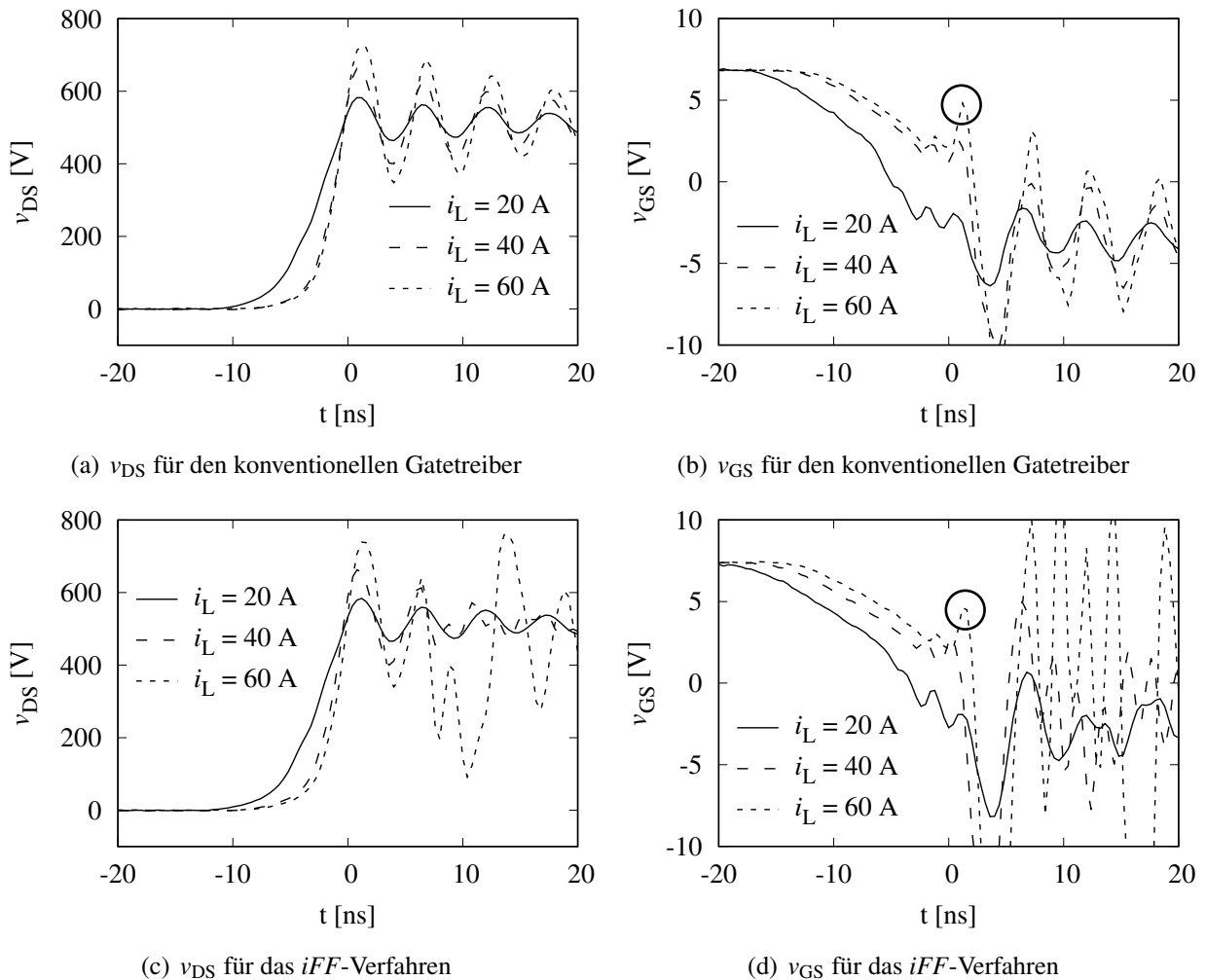


Abb. 5.8: Vergleich des Ausschaltverhaltens des konventionellen Gatetreibers und des *iFF*-Verfahrens für unterschiedliche Werte von i_L . Die Abbildungen (a) und (b) zeigen die Verläufe der Drain-Source-Spannung v_{DS} und der Gate-Source-Spannung v_{GS} für den konventionellen Gatetreiber, die Abbildungen (c) und (d) zeigen die Verläufe von v_{DS} und v_{GS} für das *iFF*-Verfahren.

Die Erhöhung des Risikos des parasitären Schaltens wird bei der Betrachtung der Gate-Source-Spannung v_{GS} für die gezeigten Werte von i_L noch deutlicher. Für einen Strom von $i_L = 20$ A verstärkt sich die Schwingung der Spannung v_{GS} ab $t = 1$ ns im Vergleich zu dem konventionellen Gatetreiber, siehe Abb. 5.8(b) und Abb. 5.8(d). Für die Ströme $i_L = 40$ A und $i_L = 60$ A kommt es zu einer signifikanten Schwingung der Gate-Source-Spannung v_{GS} . Für $i_L = 40$ A kann diese Schwingung noch ausreichend gedämpft werden, für $i_L = 60$ A gelingt das nicht mehr. Daher kommt es zu einem parasitären Schalten und die Spannung v_{DS} sinkt wieder ab, wie in Abb. 5.8(c) gezeigt wurde.

Dieses parasitäre Schalten kann auch bei der Betrachtung des maximalen Überschingers der Spannung v_{DS} beobachtet werden. Dazu wird in Abb. 5.9 der maximale Überschinger der Spannung v_{DS} in Abhängigkeit des Stroms i_L gezeigt. Eine Definition des Überschingers von v_{DS} ist in Abb. 3.15(a) dargestellt. Bis zu einem Stromwert von $i_L = 50$ A zeigt sich ein deckungsgleicher Verlauf des Überschingers der Spannung v_{DS} für den konventionellen Gatetreiber und das *iFF*-Verfahren. Mit zunehmendem Strom i_L kommt es zu einer konstanten Zunahme des Überschingers von v_{DS} .

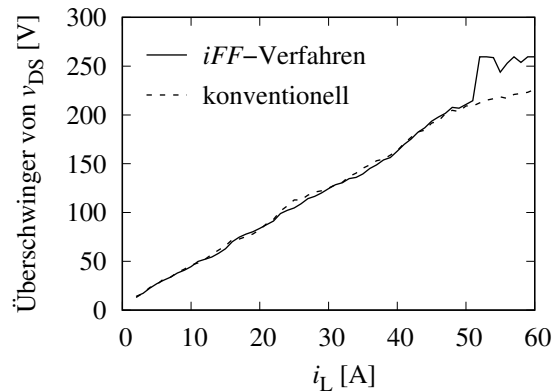


Abb. 5.9: Überschinger der Spannung v_{DS} im Ausschaltmoment für den GaN-HEMT

Für Werte $i_L \geq 50$ A zeigt sich für den konventionellen Gatetreiber eine Abnahme des Überschingers von v_{DS} . Diese Abnahme kann mit der durch $L_{CS,eff}$ eingekoppelten Spannung begründet werden. Sie limitiert die Schaltgeschwindigkeit des Ausschaltvorganges, was den Überschinger von v_{DS} langsamer mit dem Strom i_L ansteigen lässt. Für das *iFF*-Verfahren zeigt sich für Werte $i_L \geq 50$ A ein sprunghafter Anstieg des Überschingers von v_{DS} . Dieser Anstieg kann durch das parasitäre Schalten während des Ausschaltvorgangs erklärt werden. Der transiente Verlauf der Spannung v_{DS} ist in Abb. 5.8(c) für $i_L = 60$ A gezeigt. Der Grund für dieses parasitäre Schalten ist die Einkopplung durch das *iFF*-Verfahren. Obwohl der Gatetreiber über einen separaten Ausschaltpfad verfügt, siehe Abb. 4.9(b), kommt es zu einer Erhöhung der Gatespannung v_{GS} , siehe Abb. 5.8(d). Die Anbindung des Ausschaltpfades ist nicht ausreichend niederohmig, um das parasitäre Einschalten zu unterdrücken.

Eine Modifikation des *iFF*-Verfahrens ist in Anhang C gezeigt. Diese erlaubt mit Hilfe einer Diode, dass keine hohe positive Spannung über der Sekundärseite des Transformators anliegt. Dadurch kann ein parasitäres Schalten weitestgehend ausgeschlossen werden.

Der genutzte GaN-HEMT hat eine maximal zulässige Drain-Source-Spannung von 650 V. Für Zeiten unter $1 \mu s$ darf die Spannung aber auf 750 V ansteigen, siehe [202]. Aufgrund dieser Limitierung muss der maximale Schaltstrom bei einer Schaltspannung von 500 V zwar nicht eingeschränkt werden, trotzdem ist es sinnvoll, den maximalen Schaltstrom auf 50 A zu limitieren, um ein parasitäres Schalten auszuschließen.

Maximale Gate-Source-Spannung: Durch das *iFF*-Verfahren wird der Schaltvorgang beschleunigt. Dies wird erreicht, indem der Gatestrom i_G erhöht wird. Diese Erhöhung wird durch die induzierte Spannung der Sekundärseite des Transformators $T v_{iFF}$ ermöglicht. Wie in Abb. 5.3(a) dargestellt, führt diese Spannung v_{iFF} zu einer temporären Erhöhung der Gate-Source-Spannung v_{GS} .

Die zulässige Gate-Source-Spannung v_{GS} des Transistors liegt zwischen -10 V und 7 V. Für Zeitphasen unter $1 \mu\text{s}$ darf die Spannung zwischen -20 V und 10 V liegen, siehe [202]. Diese Spannungsgrenzen sind in Abb. 5.10(a) und Abb. 5.10(b) eingezeichnet. Die maximale Gate-Source-Spannung $v_{GS,max}$ und die minimale Gate-Source-Spannung $v_{GS,min}$ sind in Abb. 5.10(a) für das in Abschnitt 5.1.1 bzw. Abb. 4.11 eingeführte Messverfahren dargestellt. Die Werte $v_{GS,max}$ und $v_{GS,min}$ werden in Abhängigkeit des Spulenstroms i_L dargestellt.

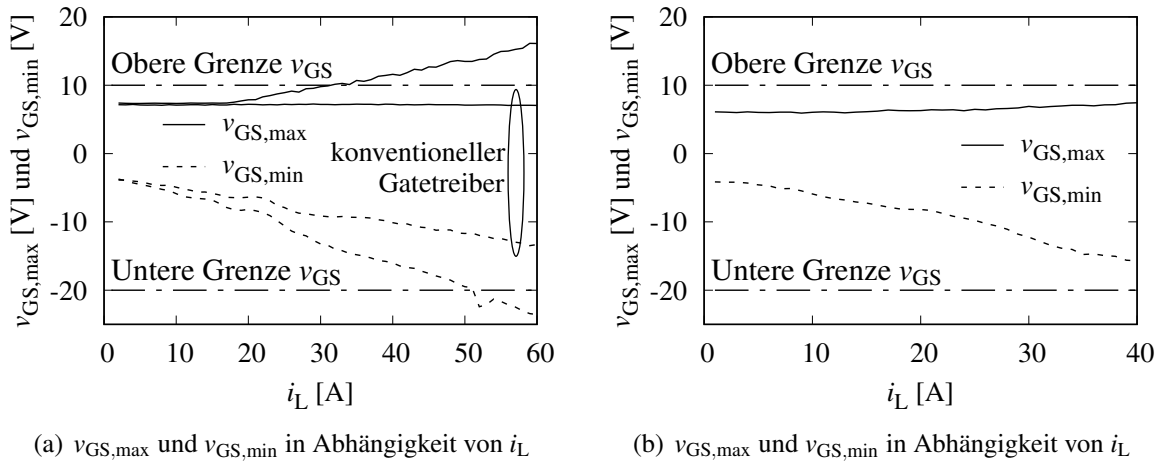


Abb. 5.10: Maximale ($v_{GS,max}$) und minimale ($v_{GS,min}$) Gate-Source-Spannung in Abhängigkeit von i_L , in (a) für das in Abschnitt 5.1.1 eingeführte Massekonzept und in (b) für eine differenzielle Spannungsmessung der Gate-Source-Spannung v_{GS} . Die Ergebnisse sind für $R_{G,on} = 0 \Omega$ für den konventionellen Gatetreiber, $R_{G,on} = 9.1 \Omega$ für das *iFF*-Verfahren, $R_{G,off} = 0 \Omega$ und $V_{DPP} = 500 \text{ V}$ dargestellt.

Für den konventionellen Gatetreiber ist die Spannung $v_{GS,max}$ und $v_{GS,min}$ für den gesamten Strombereich von i_L im zulässigen Bereich. Die minimale Spannung $v_{GS,min}$ sinkt mit zunehmendem Strom ab. Dieses Verhalten kann mit der über $L_{CS,eff}$ induzierten Spannung erklärt werden, siehe Abb. 5.8(b). Mit steigendem Wert von i_L nimmt die Stromänderungsgeschwindigkeit zu und somit die induzierte Spannung über $L_{CS,eff}$. Mit dem Einsatz des *iFF*-Verfahrens wird die maximal zulässige Gate-Source-Spannung $v_{GS,max}$ mit einem Strom von $i_L = 32 \text{ A}$ überschritten. Die minimal zulässige Spannung $v_{GS,min}$ wird erst bei einem Wert von $i_L = 52 \text{ A}$ unterschritten. Wie zuvor erwähnt, ist in Anhang C eine Erweiterung des *iFF*-Verfahrens aufgeführt, welches die Wirkung des *iFF*-Verfahrens im Ausschaltvorgang minimiert und somit die Spannung $v_{GS,min}$ sicher im zulässigen Bereich halten kann.

In Abb. 5.10(b) wurde die Messung mit Hilfe eines differentiellen Tastkopfs durchgeführt, siehe [264]. Mit Hilfe des differentiellen Tastkopfes konnte die Spannung v_{GS} zwischen dem Kühlkörperanschluss (dieser ist elektrisch mit dem Sourceanschluss S verbunden) und dem Gateanschluss G gemessen werden. Durch den Einsatz des differentiellen Tastkopfes konnte der Einfluss von $L_{CS,eff}$ reduziert werden, wodurch die Spannung $v_{GS,max}$ nicht den zulässigen Bereich verlässt. Durch diese Messung kann bestätigt werden, dass der zulässige Bereich der Gate-Source-Spannung bis zu einem Strom von $i_L = 40 \text{ A}$ eingehalten wird, Messwerte bis 60 A liegen leider nicht für diese Messung vor.

5.1.3 Schaltverluste

Die Bestimmung der Einschaltenergie $E_{\text{turn-On}}$ erfolgt durch die Auswertung der in Abb. 5.3(a) und Abb. 5.3(b) gezeigten transienten Verläufe von v_{DS} und i_{S} . Die Definition der Einschaltenergie ist in Abschnitt 3.2 eingeführt. Der Schaltvorgang beginnt, wenn der Sourcestrom i_{S} 10 % des Schaltstroms erreicht hat und er endet, wenn die Spannung v_{DS} auf 10 % ihres Nennwertes (V_{DPP}) gefallen ist. Die Einschaltenergie $E_{\text{turn-On}}$ ist in Abb. 5.11 für sechs unterschiedliche Gatevorwiderstände $R_{\text{G,on}}$ für den konventionellen Gatetreiber gezeigt.

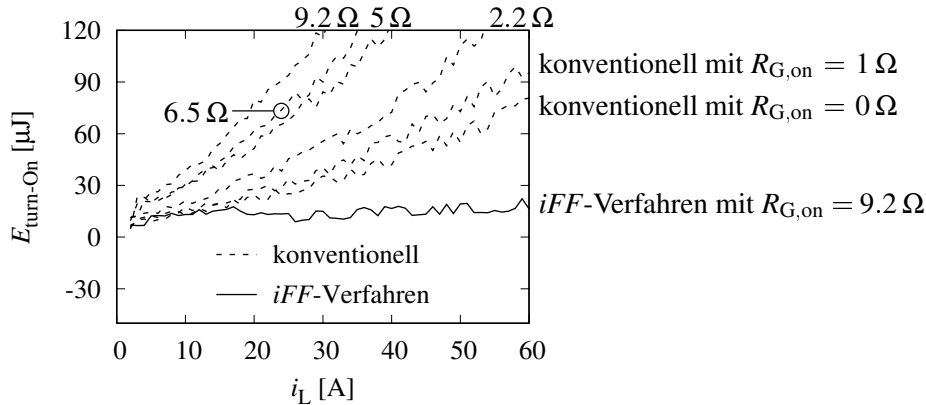


Abb. 5.11: Einschaltenergie $E_{\text{turn-On}}$ in Abhängigkeit des Spulenstroms i_{L}

Die Einschaltenergie $E_{\text{turn-On}}$ steigt mit zunehmendem Strom i_{L} . Dieser Anstieg ist überproportional. Der erhöhte Anstieg der Einschaltenergie $E_{\text{turn-On}}$ beruht auf dem zum Schaltstrom proportionalen Einfluss der Common-Source-Induktivität $L_{\text{CS,eff}}$, siehe Abb. 3.9. Des Weiteren konnte eine direkte Korrelation zwischen einer Erhöhung des Gatevorwiderstands $R_{\text{G,on}}$ und der Zunahme der Einschaltenergie $E_{\text{turn-On}}$ gemessen werden, dies ist in Abb. 3.6 genauer beschrieben.

Durch den Einsatz des *iFF*-Verfahrens wurde eine annähernd konstante Einschaltenergie für den gesamten Bereich von i_{L} erreicht. Für einen Schaltstrom von $i_{\text{L}} = 60 \text{ A}$ kann eine Reduzierung der Einschaltenergie von 78 % verzeichnet werden. Hierbei wurde eine Einschaltenergie von $80 \mu\text{J}$ für den konventionellen Gatetreiber mit $R_{\text{G,on}} = 0 \Omega$ gemessen, die durch das *iFF*-Verfahren mit $R_{\text{G,on}} = 9.2 \Omega$ auf $17 \mu\text{J}$ reduziert werden konnte.

Die konstante Einschaltenergie $E_{\text{turn-On}}$ über den gesamten Strombereich i_{L} des *iFF*-Verfahrens kann durch die Erhöhung der Stromsteilheit während des Schaltens zurückgeführt werden. Durch die hohe Stromsteilheit erhöht sich der Spannungsabfall über der parasitären Induktivität der Leistungsschleife L_{ZWK} , welche die anliegende Spannung am Schalter reduziert bzw. auf null Volt absenkt, siehe Abb. 3.10 und Abb. 3.17(b). Liegt keine Spannung am Schalter an, entstehen auch keine Verluste.

Ein baugleicher Transistor, lediglich mit halber Stromtragfähigkeit, wurde in [223] und [236] vermessen. Die Autoren messen eine Einschaltenergie $E_{\text{turn-On}}$ von $80 \mu\text{J}$ für $V_{\text{DS}} = 400 \text{ V}$ und $i_{\text{L}} = 37 \text{ A}$. Im Vergleich hierzu konnte mit einem Bauteil mit doppelter Stromtragfähigkeit die Verlustleistung auf $17 \mu\text{J}$ reduziert werden. Die Ergebnisse aus [223] und [236] konnten mit dem konventionellen Gatetreiber nachvollzogen werden.

Ein weiteres Beispiel wurde in [273] für einen p-Gate GaN-HEMT gezeigt, hier mit $V_{\text{DPP}} = 500 \text{ V}$ und $i_{\text{L}} = 10 \text{ A}$. In diesem Fall summiert sich die Einschaltenergie $E_{\text{turn-On}}$ zu $32 \mu\text{J}$. Weitere Messergebnisse für einen p-Gate GaN-HEMT wurden in [64] für $V_{\text{DPP}} = 400 \text{ V}$ und $i_{\text{L}} = 18 \text{ A}$ gezeigt.

Die Autoren zeigen eine Einschaltenergie $E_{\text{turn-On}}$ für diese Konfiguration von $60 \mu\text{J}$. Werden diese Ergebnisse mit dem *iFF*-Verfahren verglichen, zeigt sich eine signifikante Reduzierung der Einschaltenergie. Es ist möglich, die Einschaltenergie $E_{\text{turn-On}}$ um über zwei Drittel zu reduzieren.

5.1.4 Messung des Aufwärtswandlers

Die in Abb. 6.3 vorgestellten Ergebnisse sind aufgrund der in Abschnitt 5.1.1 dargestellten Herausforderungen hinsichtlich der Genauigkeit der Spannungs- und Strommessung limitiert. Aus diesem Grund wurde ein Aufwärtswandler entwickelt, um die Effizienz des Wandlers mit dem konventionellen Gatetreiber und dem *iFF*-Verfahren zu vermessen. Beide Ansätze wurden zur besseren Vergleichbarkeit mit $R_{G,\text{on}} = 3 \Omega$ vermessen und die Ergebnisse sind in Abb. 5.12 gezeigt. Der Wandler wird mit einer Eingangsspannung von $V_{\text{in}} = 230 \text{ V}$ und einer Ausgangsspannung von $V_{\text{out}} = 400 \text{ V}$ betrieben.

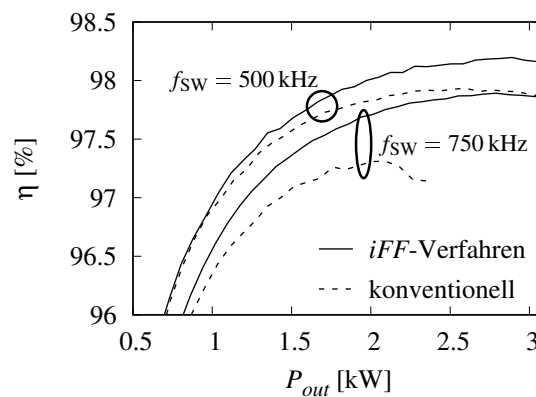


Abb. 5.12: Gemessene Effizienz des Aufwärtswandlers mit dem konventionellen Gatetreiber und dem *iFF*-Verfahren

Der Aufwärtswandler wurde im nicht lückenden Betrieb vermessen, der Strom i_L ist im dargestellten Bereich immer positiv. Durch diese Betriebsart wurde ein hartes Einschalten gewährleistet. Der Aufwärtswandler wurde für zwei Frequenzen ($f_{\text{sw}} = 500 \text{ kHz}$ und $f_{\text{sw}} = 750 \text{ kHz}$) vermessen.

Für eine Schaltfrequenz von $f_{\text{sw}} = 500 \text{ kHz}$ konnte im höheren Leistungsbereich eine signifikante Verbesserung der Effizienz erzielt werden. Dieses Verhalten kann durch den selbstverstärkenden Effekt des *iFF*-Verfahrens erklärt werden, was sich auch in Abb. 6.3 zeigt. Hier war es durch den Einsatz des Ansteuerverfahrens möglich, die Einschaltverluste über den gesamten Strombereich i_L konstant zu halten.

Mit höherer Schaltfrequenz ($f_{\text{sw}} = 750 \text{ kHz}$) ist die Effizienzsteigerung noch stärker ausgeprägt. Durch den Einsatz des *iFF*-Verfahrens war es möglich, die Ausgangsleistung P_{out} von 2.3 kW auf 3.1 kW zu erhöhen, was einer Steigerung von 35% entspricht. Dies ist gelungen, da die Sperrschichttemperatur des Transistors Q_1 durch die Minimierung der Schaltverluste reduziert werden konnte. Aufgrund des positiven Temperaturgradienten des Leitwiderstands des Transistors Q_1 , konnten durch die reduzierte Sperrschichttemperatur ebenfalls die Leitverluste minimiert werden.

5.2 Messergebnisse für einen SiC-MOSFET

Prototyp

Im Gegensatz zum GaN-HEMT wird der SiC-Transistor in einem Standardgehäuse vermessen. Bei dem Gehäuse handelt es sich um ein TO247-4 Gehäuse. Es verfügt über einen vierten Anschluss, der es ermöglicht, den Gatestrom i_G und den Sourcestrom i_S direkt am Halbleiter zu trennen, siehe Abschnitt 2.2.6 bzw. Abb. 2.9(b).

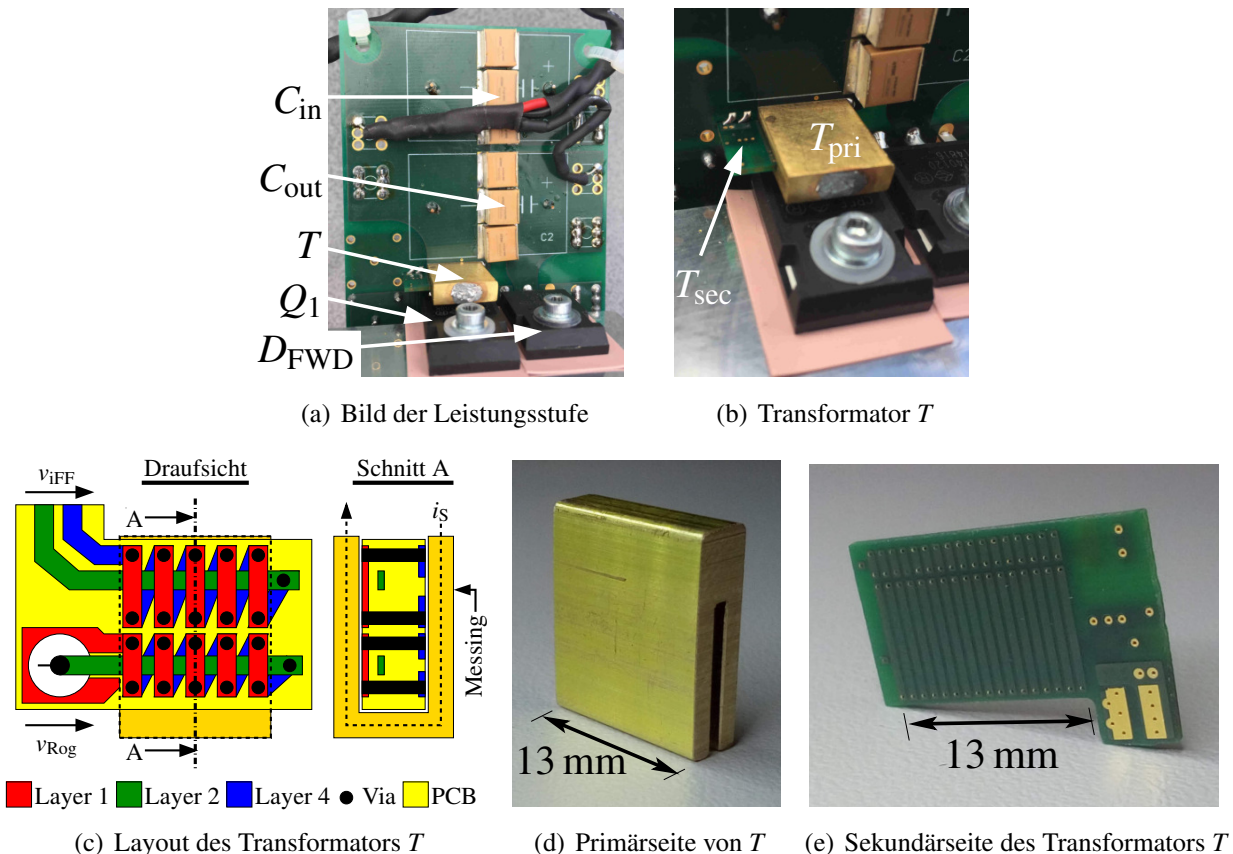


Abb. 5.13: Bild des SiC-Prototypenaufbaus, in (a) ist die Leistungsstufe mit dem Transistor Q_1 und dem Transformator T gezeigt. Der Gatetreiber ist auf der Rückseite des PCBs montiert. In (b) ist der Transformator T im Detail gezeigt. Der baugleiche Prototypenaufbau wird auch für die Messung des Si-MOSFET verwendet, siehe Abschnitt 5.3. In (c) ist die schematische Layoutdarstellung des Transformators T gezeigt. Die Sekundärseite ist mit Hilfe eines PCBs realisiert. Die in (d) gezeigte Primärseite des Transformators T ist aus Messing gefertigt und hat eine U-förmige Kontur. Die Sekundärseite des Transformators T ist in (e) gezeigt.

Die Leistungsstufe ist in Abb. 5.13(a) gezeigt. Es sind die Eingangskapazität C_{in} , die Ausgangskapazität C_{out} , der Transformator T , der Leistungstransistor Q_1 und die Freilaufdiode D_{FWD} zu sehen. Der Gatetreiber ist auf der Rückseite des PCBs montiert.

Der Transformator T ist in Abb. 5.13(b) im Detail gezeigt. Eine schematische Darstellung des Transformators ist in Abb. 5.13(c) aufgeführt. Die Primärseite des Transformators T ist aus einem

U-förmigen Messingstück gefertigt. Durch dieses Messingstück fließt der Sourcestrom i_S und generiert innerhalb der Aussparung ein homogenes magnetisches Feld, siehe Abschnitt 4.3.3. In diese Aussparung wird ein PCB integriert. Auf dem PCB ist eine Spule realisiert, in welcher das durch i_S generierte magnetische Feld eine Spannung induziert. Diese Spule stellt die Sekundärseite des Transformators dar. Die praktische Realisierung der Primärseite ist in Abb. 5.13(d) gezeigt. Die Sekundärseite ist in Abb. 5.13(e) abgebildet.

5.2.1 Transiente Messergebnisse

Ein Vergleich des konventionellen Gatetreibers und des *iFF*-Verfahrens ist in Abb. 5.14(a) für $V_{DPP} = 600$ V und $i_L = 30$ A gezeigt. Für beide Verfahren wurde ein Einschaltwiderstand $R_{G,on}$ von 0Ω verwendet. In Abb. 5.14(b) ist das Messergebnis für $V_{DPP} = 800$ V und $i_L = 30$ A gezeigt.

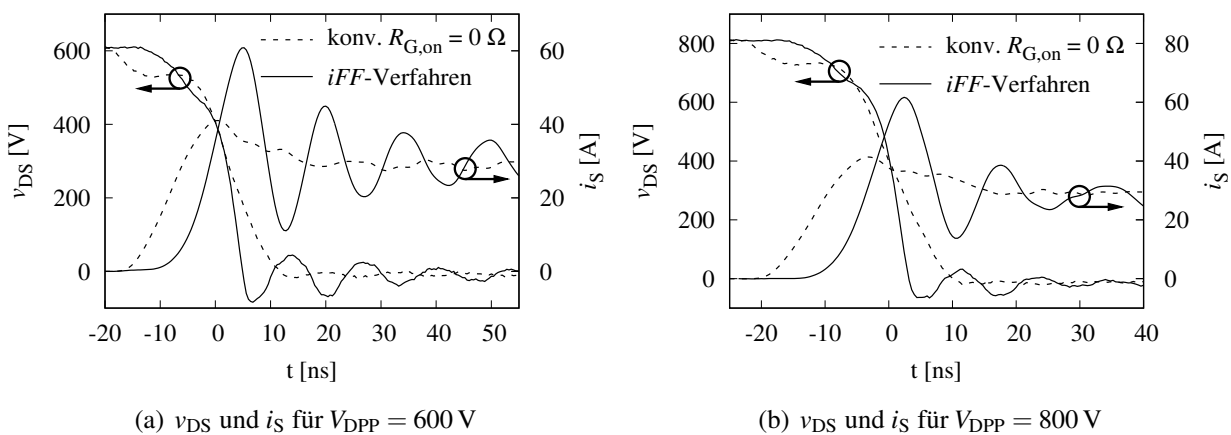


Abb. 5.14: Vergleich des konventionellen Gatetreibers und des *iFF*-Verfahrens für einen SiC-MOSFET mit $R_{G,on} = 0 \Omega$ und $i_L = 30$ A. In (a) ist v_{DS} und i_S für $V_{DPP} = 600$ V gezeigt, in (b) ist v_{DS} und i_S für $V_{DPP} = 800$ V gezeigt.

Die Spannung v_{DS} und der Sourcestrom i_S sind in Abb. 5.14(a) und Abb. 5.14(b) dargestellt. Für den konventionellen Gatetreiber sinkt während des Stromanstiegs von i_S die Spannung v_{DS} aufgrund des Spannungsabfalles über L_{ZWK} ab. Dieser Zusammenhang wird in Abb. 3.10 und Abschnitt 3.5 dort in Zeitabschnitt II und III erläutert. Erreicht i_S den Wert von i_L , fällt die Spannung v_{DS} ab, aber die Änderungsgeschwindigkeit der Spannung v_{DS} nimmt mit fortschreitender Zeit ab. Dieses Verhalten kann durch den spannungsabhängigen Wert von C_{DG} erklärt werden. Nimmt die Spannung v_{DS} ab, steigt der Wert von C_{DG} an und der höhere Kompensationsstrom bremst den Schaltvorgang ab, siehe Abschnitt 3.3.5.

Für den konventionellen Gatetreiber stellt sich eine konstante Stromänderung von i_S ein, somit ist der Spannungsabfall über L_{ZWK} konstant. Durch den Einsatz des *iFF*-Verfahrens wird der typische Einbruch der Spannung v_{DS} nicht mehr messbar. Das *iFF*-Verfahren beschleunigt die Stromänderung von i_S durch den in Abschnitt 4.3.1 beschriebenen selbstverstärkenden Effekt. Die Spannung v_{DS} sinkt nun gleichförmig während der Zunahme von i_S ab. Wenn der Strom i_S den Wert von i_L erreicht hat, nimmt die Änderungsgeschwindigkeit von v_{DS} noch einmal zu.

Die Änderungsgeschwindigkeit von v_{DS} kann aber im Vergleich zu dem konventionellen Gatetreiber erhöht werden. Die Spannung v_{DS} erreicht signifikante Werte unter null Volt. Diese negati-

ve Spannung ist durch die Gehäuseinduktivität $L_{D'}$ bedingt. Die Spannungsmessung ist auf den Kelvin-Source-Anschluss des Gehäuses bezogen, daher wirkt sich nur die Induktivität $L_{D'}$ auf die Spannungsmessung von v_{DS} aus. Die Stromänderung von i_S induziert eine Spannung über $L_{D'}$, welche bei der Messung von v_{DS} mitgemessen wird. Der maximale Strom von i_S steigt von 40 A für den konventionellen Gatetreiber auf 60 A für das *iFF*-Verfahren an. Diese Erhöhung des Maximalwerts von i_S kann auf den schnelleren Schaltvorgang und die Umladung der parasitären Kapazität am Schaltknoten zurückgeführt werden, siehe Abb. 3.5.

Die Spannung v_{DS} ist für unterschiedliche Stromwerte von i_L in Abb. 5.15(a) für den konventionellen Gatetreiber und in Abb. 5.15(b) für das *iFF*-Verfahren gezeigt. Beide Messungen wurden mit $R_{G,on} = 0 \Omega$ und $V_{DPP} = 800 \text{ V}$ durchgeführt.

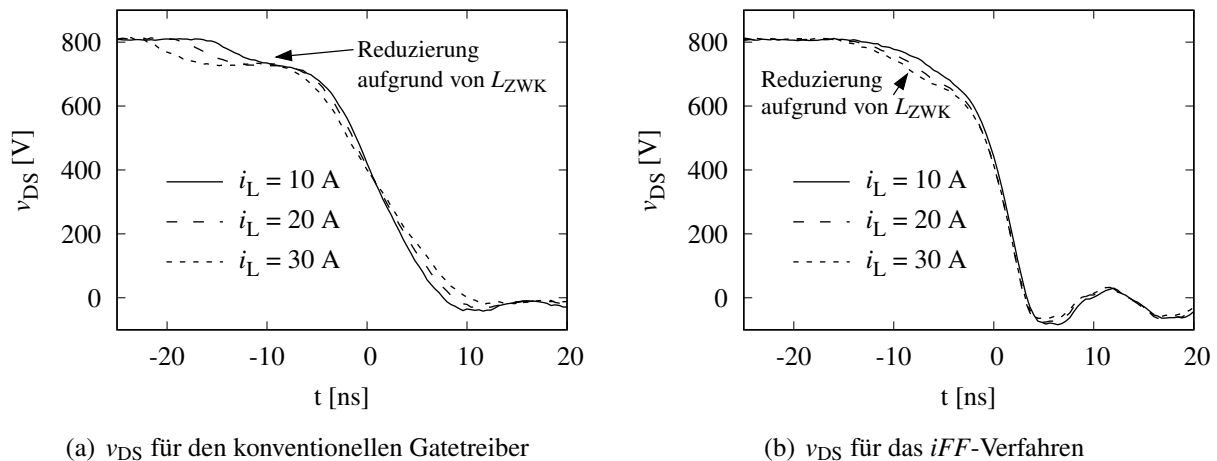


Abb. 5.15: Vergleich des Einschaltvorgangs für den konventionellen Gatetreiber und das *iFF*-Verfahren für einen SiC-MOSFET für unterschiedliche Spulenströme i_L , mit $R_{G,on} = 0 \Omega$ und $V_{DPP} = 800 \text{ V}$. In (a) sind die Messergebnisse für den konventionellen Gatetreiber gezeigt und in (b) sind die Messergebnisse für das *iFF*-Verfahren gezeigt.

Für den konventionellen Gatetreiber zeigt sich wieder der typische Spannungseinbruch von v_{DS} aufgrund des Spannungsabfalls über L_{ZWK} , siehe Abb. 5.15(a). Dieser Spannungsabfall wird durch den Anstieg von i_S hervorgerufen. Mit steigendem Wert von i_L verlängert sich die Zeitphase, in der die Spannung aufgrund von L_{ZWK} auf etwa 720 V absinkt. Weiterführende Informationen sind in Abschnitt 3.3.4 aufgeführt. Des Weiteren nimmt die Änderungsgeschwindigkeit der Spannung v_{DS} mit zunehmendem Wert von i_L ab. Das kann durch die höhere Schwellspannung V_{th} des Transistors begründet werden. Diese beträgt für $i_S = 10 \text{ A}$ etwa 6.8 V und für $i_S = 30 \text{ A}$ etwa 9.2 V. Aufgrund dieses Unterschieds kommt es zu einem geringeren Spannungsabfall über $R_{G,on}$ und somit zu einem geringeren Gatestrom i_G . Dieser geringere Gatestrom i_G erlaubt nur noch eine langsamere Umladung der Drain-Gate-Kapazität C_{DG} und führt somit zu einer geringeren Änderungsgeschwindigkeit von v_{DS} .

Für das *iFF*-Verfahren ist ebenfalls die Spannung v_{DS} für unterschiedliche Stromwerte von i_L gezeigt, siehe Abb. 5.15(b). Wie bereits in Abb. 5.14 dargestellt, führt der selbstverstärkende Effekt des *iFF*-Verfahrens zu einem ansteigenden Spannungsabfall über L_{ZWK} , während der Strom i_S steigt. Dieser Spannungsabfall ist für größere Werte von i_L stärker ausgeprägt. Die Spannungsänderungsgeschwindigkeit von v_{DS} ist, im Gegensatz zum konventionellen Gatetreiber, für alle drei gezeigten Stromwerte fast identisch.

Ausschalten

Der Verlauf von v_{DS} ist für unterschiedliche Spulenströme i_L in Abb. 5.16(a) für den konventionellen Gatetreiber gezeigt. Das Messergebnis ist für das *iFF*-Verfahren in Abb. 5.16(b) dargestellt. Beide Messungen wurden mit $R_{G,off} = 0 \Omega$ und $V_{DPP} = 800 \text{ V}$ durchgeführt.

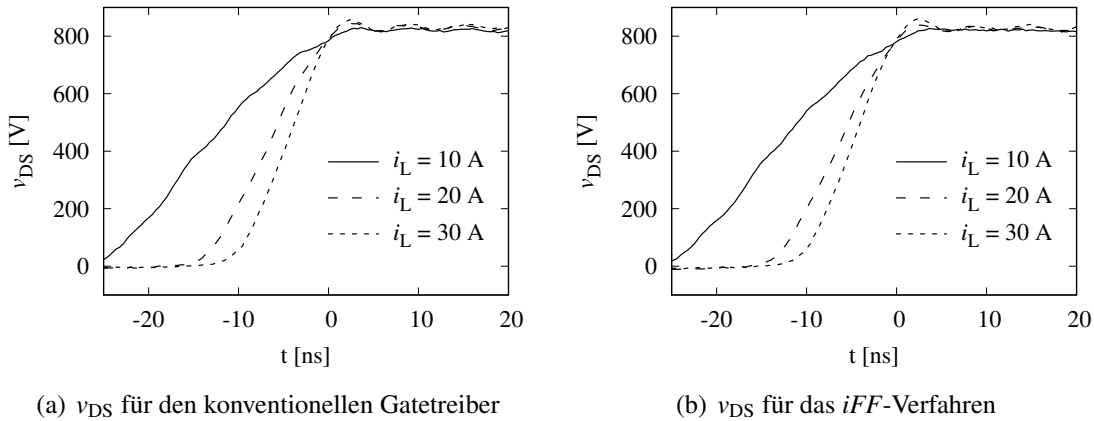


Abb. 5.16: Vergleich des Ausschaltvorgangs für den konventionellen Gatetreiber und das *iFF*-Verfahren für einen SiC-MOSFET mit unterschiedlichen Werten von i_L , mit $R_{G,off} = 0 \Omega$ und $V_{DPP} = 800 \text{ V}$. In (a) für den konventionellen Gatetreiber und in (b) für das *iFF*-Verfahren.

Das Ausschaltverhalten für den konventionellen Gatetreiber und für das *iFF*-Verfahren ist nahezu identisch. Der in Abb. 4.9(b) gezeigte separate Ausschaltpfad des *iFF*-Verfahrens ermöglicht es, die Wirkung des Transformators T zu unterdrücken.

5.2.2 Schaltverluste

Die in Abb. 5.14 gezeigten transienten Verläufe der Spannung v_{DS} und des Stroms i_S werden genutzt, um die Einschaltenergie $E_{turn-On}$ für den konventionellen Gatetreiber und das *iFF*-Verfahren zu bestimmen. Die Ergebnisse sind in Abb. 5.17(a) für $V_{DPP} = 600 \text{ V}$ und in Abb. 5.17(b) für $V_{DPP} = 800 \text{ V}$ in Abhängigkeit des Spulenstroms i_L gezeigt. Für den konventionellen Gatetreiber ist $E_{turn-On}$ für $R_{G,on} = 3 \Omega$ und $R_{G,on} = 0 \Omega$ dargestellt. Das *iFF*-Verfahren ist mit $R_{G,on} = 0 \Omega$ vermessen. Beide Methoden wurden mit dem identischen Gatetreiber-IC angesteuert, dieser hat einen Innenwiderstand von $R_{GD} = 2.7 \Omega$.

Für $V_{DPP} = 600 \text{ V}$ und $V_{DPP} = 800 \text{ V}$ kann durch den Einsatz des *iFF*-Verfahrens die Einschaltenergie $E_{turn-On}$ deutlich reduziert werden. Für den konventionellen Gatetreiber zeigt sich ein direkter Zusammenhang zwischen der Reduzierung des Einschaltwiderstands $R_{G,on}$ und der Abnahme von $E_{turn-On}$. Aufgrund des geringeren Gatevorwiderstands $R_{G,on}$ fließt ein höherer Gatestrom i_G , siehe Abb. 3.6. Dadurch kann ein schnellerer Schaltvorgang erreicht werden.

Mit dem *iFF*-Verfahren ist es möglich, für $V_{DPP} = 600 \text{ V}$ die Einschaltenergie $E_{turn-On}$ für $i_L = 10 \text{ A}$ um 38 % und für $i_L = 30 \text{ A}$ um 55 % zu reduzieren. Wird nun die Spannung V_{DPP} auf 800 V erhöht, kann für $i_L = 10 \text{ A}$ eine Reduzierung von 27 % erzielt werden. Für einen Strom von $i_L = 30 \text{ A}$ hingegen ist eine Reduzierung von 53 % möglich. Mit steigendem Stromwert i_L nimmt das Einsparpotential durch das *iFF*-Verfahren zu.

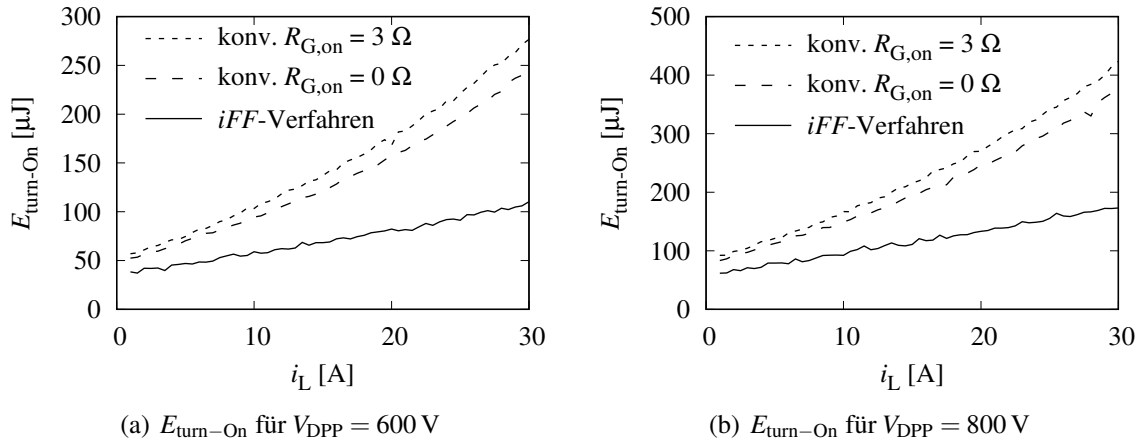


Abb. 5.17: Vergleich der Einschaltenergie $E_{\text{turn-On}}$ des konventionellen Gatetreibers und des *iFF*-Verfahrens in Abhängigkeit von i_L . Das *iFF*-Verfahren ist mit $R_{\text{G,on}} = 0 \Omega$ vermessen. In (a) ist die Einschaltenergie $E_{\text{turn-On}}$ für $V_{\text{DPP}} = 600 \text{ V}$ gezeigt. In (b) ist die Einschaltenergie $E_{\text{turn-On}}$ für $V_{\text{DPP}} = 800 \text{ V}$ gezeigt.

Dieses Verhalten kann auf die unterschiedliche Einschaltverlustleistungsverteilung zurückgeführt werden. Mit steigendem Stromwert von i_L nimmt der Anteil der Stromkommutierungsschaltverluste zu (i_S steigt in diesem Zeitabschnitt). In Abb. 5.15(a) ist die Spannung v_{DS} gezeigt. Durch den Einbruch der Spannung v_{DS} aufgrund der über L_{ZWK} abfallenden Spannung kann gesehen werden, dass die Länge des Zeitabschnittes der Stromkommutierung steigt. Somit steigen die Stromkommutierungsschaltverluste überproportional mit dem Anstieg von i_L an.

Erreicht i_S den Wert von i_L , ist die Änderungsgeschwindigkeit von v_{DS} annähernd konstant für die unterschiedlichen Werte von i_L . Dieser Zeitabschnitt verlängert sich nicht signifikant. Die Verluste steigen nur linear mit dem Wert von i_L an. Durch das *iFF*-Verfahren stellt sich eine kürzere und fast identische Stromanstiegszeit für die gezeigten Werte von i_L ein, siehe Abb. 5.15(b). Dies erklärt das höhere Reduzierungspotential mit steigendem Stromwert von i_L .

In Abb. 5.18(a) ist die Einschaltenergie $E_{\text{turn-On}}$ für unterschiedliche Spannungen V_{DPP} mit einem Spulenstrom i_L von 10 A gezeigt. In Abb. 5.18(b) ist die Einschaltenergie für $i_L = 20 \text{ A}$ dargestellt. Die Einschaltenergie für $i_L = 30 \text{ A}$ ist in Abb. 5.19(a) aufgeführt.

Wie in Abb. 5.18(a) für $i_L = 10 \text{ A}$ gezeigt wurde, fällt die Reduzierung durch das *iFF*-Verfahren von 41 % für $V_{\text{DPP}} = 550 \text{ V}$ auf 38 % für $V_{\text{DPP}} = 800 \text{ V}$ ab. Wird ein Strom von $i_L = 20 \text{ A}$ betrachtet, ergibt sich eine Reduzierung von 47 % für $V_{\text{DPP}} = 550 \text{ V}$ und 46 % für $V_{\text{DPP}} = 800 \text{ V}$, siehe Abb. 5.18(b). Für einen Strom von $i_L = 30 \text{ A}$ ergibt sich für $V_{\text{DPP}} = 550 \text{ V}$ eine Reduzierung von 58 % und für $V_{\text{DPP}} = 800 \text{ V}$ um 55 %, siehe Abb. 5.19(a).

Für geringere Spannungen von V_{DPP} wird eine etwas höhere Reduzierung der Einschaltenergie $E_{\text{turn-On}}$ erreicht. Aufgrund der geringeren Spannung am Transistor v_{DS} ist der Anteil der Einschaltverluste während des Anstiegs von i_S höher. Das *iFF*-Verfahren reduziert während des Anstiegs von i_S die Einschaltenergie verstärkt. Des Weiteren ergibt sich ein höheres prozentuales Einsparpotenzial mit steigendem Strom i_L , da der Verlustanteil während des Stromanstiegs steigt.

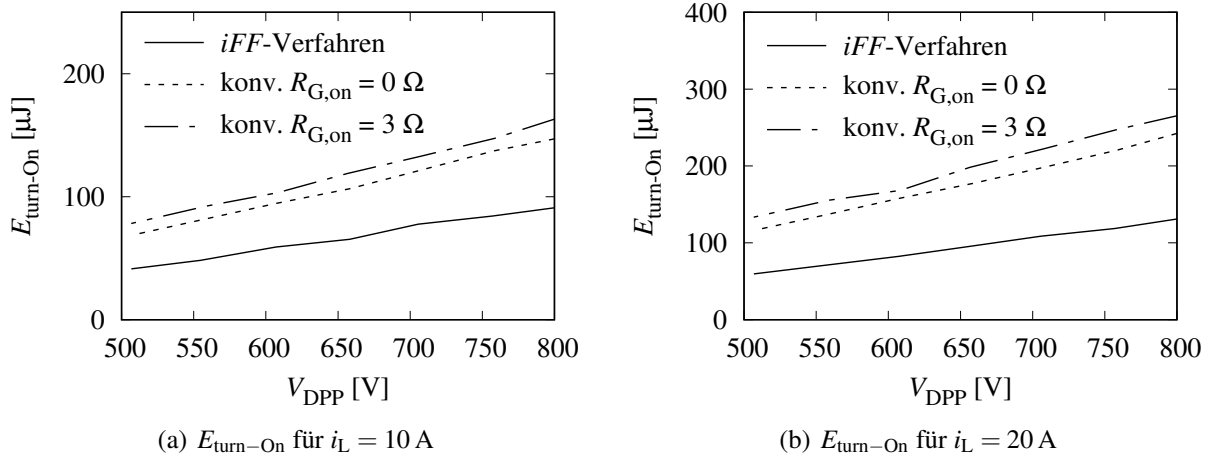


Abb. 5.18: Vergleich der Einschaltenergie $E_{\text{turn-On}}$ des konventionellen Gatetreibers und des *iFF*-Verfahrens in Abhängigkeit von V_{DPP} . Das *iFF*-Verfahren ist mit $R_{\text{G,on}} = 0 \Omega$ vermessen. In (a) ist die Einschaltenergie $E_{\text{turn-On}}$ für $i_L = 10 \text{ A}$ gezeigt. In (b) ist die Einschaltenergie $E_{\text{turn-On}}$ für $i_L = 20 \text{ A}$ gezeigt.

5.2.3 Messung des Aufwärtswandlers

In Abb. 5.19(b) ist die gemessene Effizienz des Aufwärtswandlers für verschiedene Schaltfrequenzen f_{SW} gezeigt. Der Wandler wird mit einer Eingangsspannung von $V_{\text{in}} = 300 \text{ V}$ und einer Ausgangsspannung von $V_{\text{out}} = 600 \text{ V}$ betrieben. Die maximale Leistung des Aufwärtswandlers wurde durch eine maximale Gehäusetemperatur von $125 \text{ }^\circ\text{C}$ des Transistors Q_1 limitiert. Die passiven Bauteile (Spule und Kondensatoren) waren für alle Messungen identisch. Der Wert der Spule wurde so gewählt, dass der Strom i_L ab einer Leistung von $P_{\text{out}} = 500 \text{ W}$ und einer Schaltfrequenz von $f_{\text{SW}} = 100 \text{ kHz}$ nicht negativ wird. Dadurch wird ein hartes Einschalten sichergestellt.

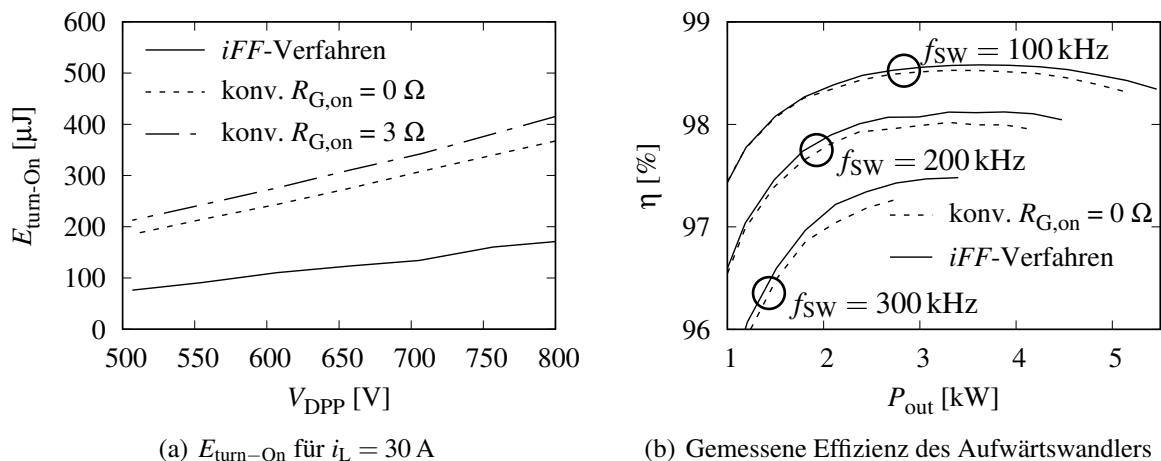


Abb. 5.19: In (a) ist der Vergleich der Einschaltenergie $E_{\text{turn-On}}$ des konventionellen Gatetreibers und des *iFF*-Verfahrens in Abhängigkeit von V_{DPP} für $i_L = 30 \text{ A}$ gezeigt. In (b) ist die gemessene Effizienz η des Aufwärtswandlers mit dem konventionellen Gatetreiber und dem *iFF*-Verfahren mit $R_{\text{G,on}} = 0 \Omega$ gezeigt.

Die höchste Effizienz wurde mit einer Schaltfrequenz von $f_{\text{SW}} = 100 \text{ kHz}$ erreicht. Mit Hilfe des *iFF*-Verfahrens war es möglich, die Effizienz für $f_{\text{SW}} = 100 \text{ kHz}$ leicht zu steigern. Mit steigender Schaltfrequenz wurde das Verhältnis des Effizienzgewinns gesteigert, da der Anteil der Schaltverluste zu nimmt. Es war möglich, die Effizienz für $f_{\text{SW}} = 300 \text{ kHz}$ um 0.15% zu erhöhen, was einer Systemverlustreduzierung von 8% entspricht. Dadurch wurde die Ausgangsleistung P_{out} von 2.75 kW auf 3.4 kW erhöht, was etwa 23% entspricht. Die Transistortemperatur war für die Maximaleistung der beiden Messungen mit 125 °C identisch.

5.3 Messergebnisse für einen Si-MOSFET in zwei Gehäusevarianten

Neben dem SiC-MOSFET wird ein Si-MOSFET in einem TO-247-4 Gehäuse vermessen. Dazu wird der in Abb. 5.13 eingeführte Prototypenaufbau genutzt. Dieser Aufbau erlaubt auch die Messung desselben Transistors in einem TO247-3 Gehäuse, hierzu wurde das TO247-4 Gehäuse ohne Kelvin-Source-Anschluss vermessen. Dazu wird der Gatetreiber auf den Sourceanschluss des Leistungstransistors referenziert. Der Kelvin-Source-Anschluss wird lediglich zur Spannungsmessung von v_{GS} und v_{DS} genutzt.

In Abb. 5.20(a) ist der Verlauf von v_{DS} und i_{S} für den konventionellen Gatetreiber und das *iFF*-Verfahren mit dem Si-Transistor in einem TO247-3 Gehäuse gezeigt. Die Messungen wurden mit $R_{\text{G,on}} = 5.1 \Omega$, $V_{\text{DPP}} = 400 \text{ V}$ und $i_{\text{L}} = 30 \text{ A}$ durchgeführt. Durch den Einsatz des *iFF*-Verfahrens kann die Stromänderungsgeschwindigkeit von i_{S} erhöht werden. Aber die Spannungsänderungsgeschwindigkeit von v_{DS} wird nicht beeinflusst.

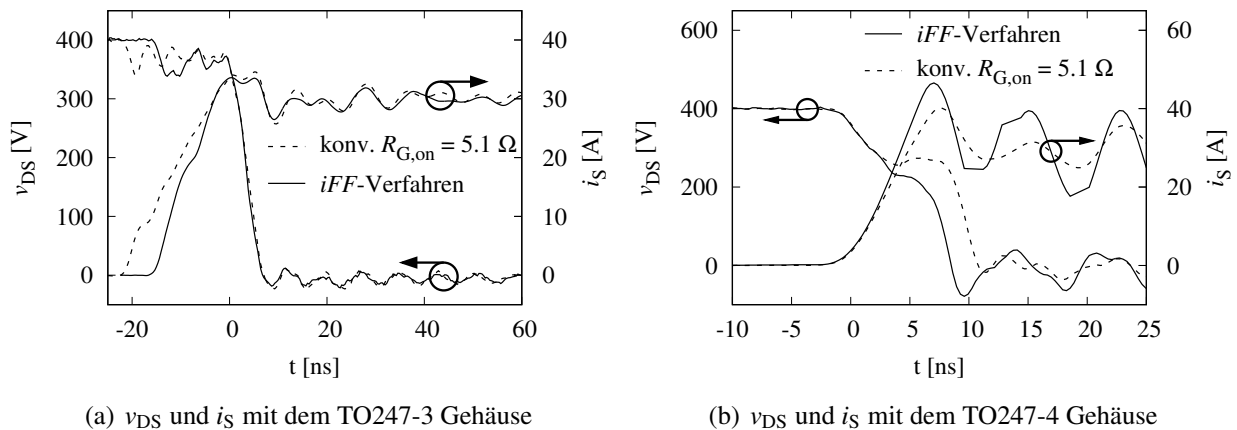


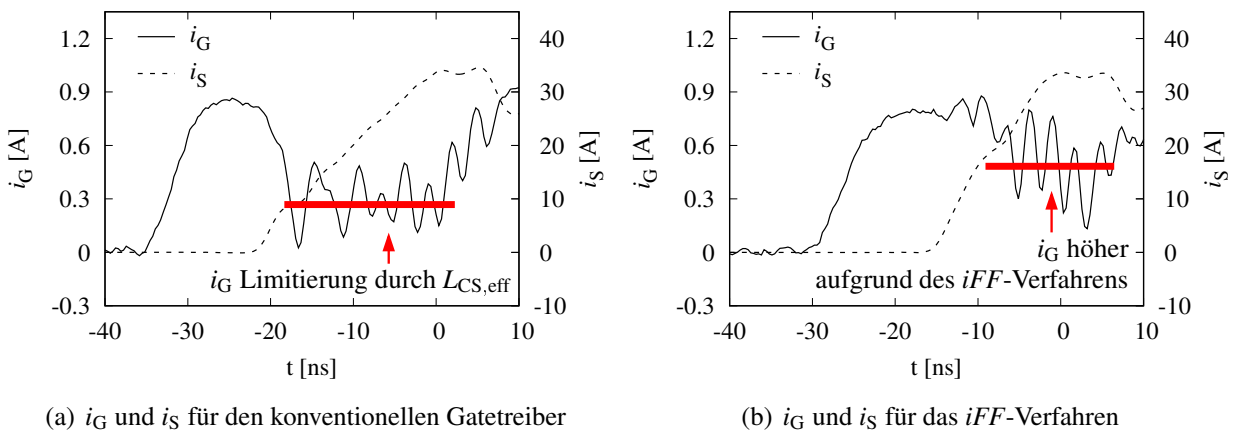
Abb. 5.20: Vergleich des Einschaltverhaltens des konventionellen Gatetreibers und des *iFF*-Verfahrens für einen Si-MOSFET in unterschiedlichen Gehäusen, mit $R_{\text{G,on}} = 5.1 \Omega$, $V_{\text{DPP}} = 400 \text{ V}$ und $i_{\text{L}} = 30 \text{ A}$. In (a) ist die Messung für das TO247-3 Gehäuse gezeigt, in (b) ist die Messung für das TO247-4 Gehäuse gezeigt.

In Abb. 5.20(b) ist das Messergebnis für den Si-MOSFET in einem TO247-4 Gehäuse dargestellt. Im Vergleich zu dem TO247-3 Gehäuse kann eine schnellere Strom- und Spannungsänderung verzeichnet werden. Dieser Unterschied kann durch die über $L_{\text{CS,eff}}$ induzierte Spannung erklärt

werden. Durch das TO247-4 Gehäuse kann diese Induktivität signifikant reduziert werden, siehe Abb. 2.9.

Ebenfalls wird die Spannung v_{DS} schneller reduziert. Im Unterschied zu dem Absinken der Drain-Source-Spannung v_{DS} des GaN-HEMTs, gezeigt in Abb. 5.4(b), und des SiC-MOSFETs, gezeigt in Abb. 5.15(b), sinkt die Spannung v_{DS} nicht konstant ab. Die Ursache hierfür ist die größere Eingangskapazität des Si-MOSFETs (siehe Tab. 2.2). Dadurch kann der Kanal des Transistors nicht ausreichend schnell aufgesteuert werden und die Spannung v_{DS} steigt wieder, siehe hierzu Abschnitt 3.5 Zeitabschnitt III.

Ein Vergleich des Gatestroms i_G für das TO247-3 Gehäuse ist in Abb. 5.21 aufgeführt. Der Strom i_S wurde bereits in Abb. 5.20(a) gezeigt, ist aber zur besseren Visualisierung nochmals in Abb. 5.21 dargestellt. Der Verlauf des Gatestroms i_G für den konventionellen Gatetreiber ist in Abb. 5.21(a) gezeigt.



(a) i_G und i_S für den konventionellen Gatetreiber

(b) i_G und i_S für das *iFF*-Verfahren

Abb. 5.21: Vergleich des Gatestroms i_G während des Einschaltens für den konventionellen Gatetreiber und für das *iFF*-Verfahren im TO247-3 Gehäuse mit $R_{G,on} = 5.1 \Omega$, $V_{DPP} = 400$ V und $i_L = 30$ A. In (a) ist die Messung für den konventionellen Gatetreiber und in (b) für das *iFF*-Verfahren gezeigt.

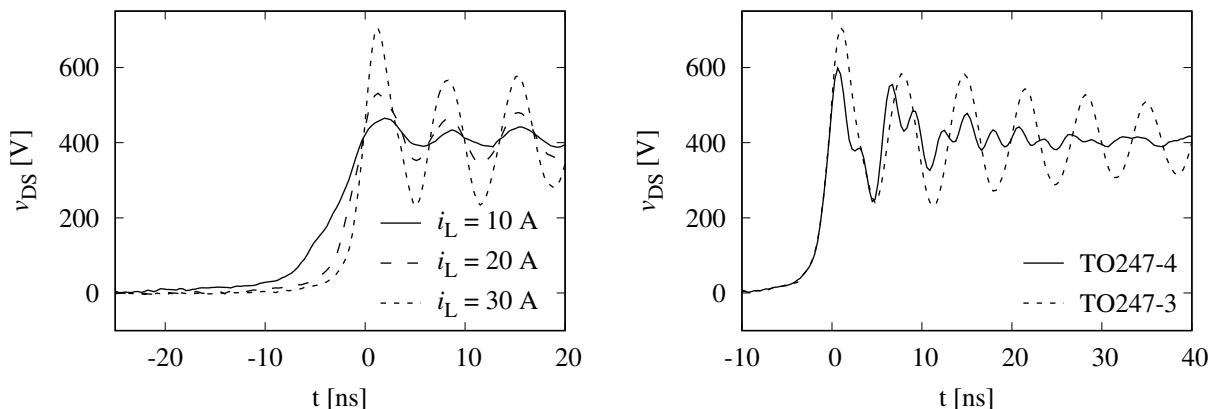
Bevor der Strom i_S steigt, wird die Eingangskapazität C_{ISS} des Transistors geladen, ein hoher Gatestrom i_G (0.85 A) stellt sich ein. In dem Moment, in dem die Schwellspannung des Transistors erreicht wird, steigt der Strom i_S an. Dieser Stromanstieg von i_S führt zu einem Spannungsabfall über $L_{CS,eff}$. Diese Spannung ist für die nachfolgende Reduzierung des Gatestroms i_G verantwortlich. Während dieser Phase sinkt der Gatestrom i_G auf etwa 0.25 A ab. Aufgrund der Mitkopplung durch $L_{CS,eff}$ und der parasitären Induktivität der Gateschleife $L_{G,eff}$ kommt es zu einer Oszillation im Gatestrom.

In Abb. 5.21(b) ist der Verlauf des Gatestroms i_G für das *iFF*-Verfahren gezeigt. In der Phase, in der die Eingangskapazität C_{ISS} geladen wird und der Strom i_S noch nicht gestiegen ist, sind die Stromverläufe des Gatestroms i_G für den konventionellen Gatetreiber und das *iFF*-Verfahren annähernd deckungsgleich. Nach Erreichen der Schwellspannung V_{th} des Transistors und dem damit verbundenen Anstieg des Stroms i_S sinkt der Strom i_G ebenfalls ab. Aufgrund der vom Transformator T in die Gateschleife induzierten Spannung kann der Gatestrom auf etwa 0.5 A erhöht werden. Dieser höhere Gatestrom erlaubt nun ein schnelleres Laden der Eingangskapazität und somit einen schnelleren Anstieg des Sourcestroms i_S .

Im Vergleich zum Gatestrom des GaN-HEMTs zeigt sich nur eine moderate Erhöhung, siehe Abb. 5.5. Diese moderate Erhöhung kann durch die geringere Mitkopplung des *iFF*-Verfahrens erklärt werden. Aufgrund der parasitären Induktivität $L_{CS,eff}$ wird eine Spannung in die Gateschleife induziert, die größer ist als die durch die Sekundärseite des Transformators T induzierte Spannung.

In der gezeigten Konfiguration wird über die Sekundärseite des Transformators T eine Spannung von -13 V induziert. Über die Induktivität $L_{CS,eff}$ fällt hingegen eine Spannung von 28 V ab, gemessen mit einem Differenzastkopf. Beide Spannungen sind abhängig von der Stromänderung von i_S , weshalb sich das Verhältnis der induzierten Spannung nicht ändern wird. Der GaN-HEMT hat einen mehr als zwei Größenordnungen kleineren Wert von $L_{CS,eff}$ (TO247-3 Gehäuse etwa 9 nH, das Gehäuse des GaN-HEMTs etwa 56 pH). Daher ist die über $L_{CS,eff}$ abfallende Spannung geringer. Die induzierte Spannung v_{iFF} ist betragsmäßig größer als die über $L_{CS,eff}$ abfallende Spannung, was den selbstverstärkenden Effekt erklärt.

Das Ausschaltverhalten des Si-MOSFET im TO247-3 Gehäuse ist für unterschiedliche Werte von i_L in Abb. 5.22(a) gezeigt. Der spannungsabhängige Wert der Ausgangskapazität C_{OSS} des Transistors führt zu einem langsamen Anstieg der Spannung v_{DS} im Bereich bis 50 V, siehe Tab. 2.3. Ab dieser Spannung hat sich die horizontale Feldkompensationsstruktur komplett ausgebildet und die parasitäre Kapazität sinkt mit zunehmender Spannung ab. Eine weiterführende Erklärung ist in Abschnitt 2.2.1 zu finden. Aufgrund des Stroms i_L steigt die Spannung v_{DS} nun sehr schnell an.



(a) Ausschaltverhalten im TO247-3 Gehäuse

(b) Vergleich des Ausschaltverhaltens

Abb. 5.22: Ausschaltverhalten der Drain-Source-Spannung v_{DS} des Si-MOSFET mit unterschiedlichen Strömen und Gehäusetypen mit $R_{G,off} = 0 \Omega$ und $V_{DPP} = 400 \text{ V}$. In (a) ist v_{DS} für unterschiedliche Werte von i_L im TO247-3 Gehäuse aufgeführt. In (b) ist die Spannung v_{DS} für das TO247-3 und TO247-4 Gehäuse mit $i_L = 30 \text{ A}$ und *iFF*-Verfahren gezeigt.

Im Vergleich zum Verlauf der Spannung v_{DS} für den GaN-HEMT, gezeigt in Abb. 5.8, und des SiC-MOSFET, gezeigt in Abb. 5.16, zeigt sich ein deutlich ausgeprägter Überschwinger der Spannung v_{DS} . Für den hier genutzten Si-MOSFET ist die Ausgangskapazität C_{OSS} im Vergleich zum GaN-HEMT und SiC-MOSFET für $v_{DS} = 400 \text{ V}$ kleiner. Dieser kleinere Wert von C_{OSS} erklärt das schnelle Ansteigen der Spannung v_{DS} .

Das Ausschaltverhalten ist für die beiden Gehäusevarianten in Abb. 5.22(b) für $i_L = 30 \text{ A}$ dargestellt. Durch die Nutzung des TO247-4 Gehäuses kann die maximale Spannung während des Ausschaltens um etwa 100 V reduziert werden. Ebenfalls nimmt das parasitäre Schwingen der Span-

nung v_{DS} deutlich schneller ab. Die parasitäre Kapazität am Schaltknoten $C_{Par,SW}$ und die parasitäre Induktivität der Leistungsschleife L_{ZWK} bilden einen Schwingkreis, siehe (3.16). Durch das TO247-4 Gehäuse ist es möglich, den Schaltvorgang besser zu kontrollieren als bei dem TO247-3 Gehäuse. Beim TO247-3 Gehäuse führt die Schwingung von $C_{Par,SW}$ und L_{ZWK} zu einer Spannungsinduktion über $L_{CS,eff}$.

Der Überschwinger von v_{DS} , die Definition ist in Abb. 3.15(a) aufgeführt, ist in Abb. 5.23(a) für die beiden Gehäusekonfigurationen und jeweils für den konventionellen Gatetreiber und das *iFF*-Verfahren in Abhängigkeit des Spulenstroms i_L gezeigt. Wie bereits in Abb. 5.22(b) für einen Spulenstrom von i_L von 30 A gezeigt wurde, ist der Überschwinger der Spannung v_{DS} für das TO247-3 Gehäuse höher. Das *iFF*-Verfahren hat keinen Einfluss auf den Überschwinger der Spannung v_{DS} , dies gilt für beide Gehäusevarianten.

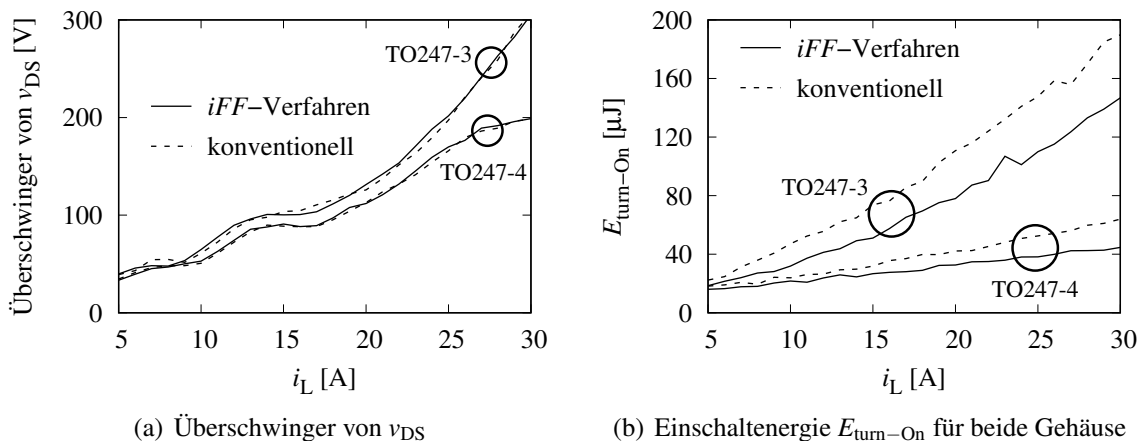


Abb. 5.23: Überschwinger der Spannung v_{DS} im Ausschaltmoment und die Einschaltenergie $E_{turn-On}$ in Abhängigkeit von i_L für den Si-MOSFET. In (a) ist der Überschwinger der Spannung v_{DS} im Ausschaltmoment in Abhängigkeit des Stroms i_L für den Si-MOSFET gezeigt. In (b) ist die Einschaltenergie $E_{turn-On}$ in Abhängigkeit des Stroms i_L für den Si-MOSFET für zwei Gehäusevarianten (TO247-3 und TO247-4) gezeigt.

Die Einschaltenergie $E_{turn-On}$ in Abhängigkeit des Spulenstroms i_L ist für beide Gehäusevarianten in Abb. 5.23(b) gezeigt. Für beide Gehäusevarianten ist jeweils die Einschaltenergie $E_{turn-On}$ für den konventionellen Gatetreiber und das *iFF*-Verfahren gezeigt. Sowohl für das TO247-3 Gehäuse als auch für das TO247-4 Gehäuse kann durch das *iFF*-Verfahren eine Einschaltenergieerduzierung von 30 % erreicht werden. Für das TO247-4 Gehäuse ist die Einschaltenergieerduzierung etwas höher, aber auch ohne die Rückkopplung von $L_{CS,eff}$ kann keine deutlich größere Einsparung erreicht werden. Die Ursache hierfür ist die große Eingangskapazität C_{ISS} . Die durch den Transformator übertragene Energie ist nicht ausreichend, um eine deutlich schnellere Ladung der Eingangskapazität C_{ISS} zu erreichen.

5.4 Vergleich der Halbleiterbauelemente

Das in dieser Arbeit eingeführte *iFF*-Verfahren zeigt für den GaN-HEMT eine signifikante Reduzierung der Einschaltenergie $E_{\text{turn-On}}$, siehe Abschnitt 5.1. Das *iFF*-Verfahren wurde auch für SiC- und Si-MOSFETs adaptiert, siehe Abschnitt 5.2 und Abschnitt 5.3. Die genutzten Halbleiter sind in Tab. 5.1 aufgeführt, weitere Bauteilparameter sind in Tab. 2.2 und Tab. 2.3 dargestellt.

Der SiC-MOSFET hat eine höhere Spannungsfestigkeit V_{br} , aber auch einen höheren Einschaltwiderstand $R_{\text{ds,On}}$ im Vergleich zum GaN-HEMT. Der Si-MOSFET hat eine vergleichbare Durchbruchspannung V_{br} wie der GaN-HEMT, aber einen höheren Einschaltwiderstand $R_{\text{ds,On}}$.

Bauteil	V_{br}	$R_{\text{ds,On}}$	V_{DPP}	i_{L}	$E_{\text{turn-On}}$ konventionell	$E_{\text{turn-On}}$ <i>iFF</i>	$E_{\text{turn-On}}$ Reduktion	Gehäuse
	[V]	[m Ω]	[V]	[A]	[μ J]	[μ J]	[%]	
GaN-HEMT [202]	650	25	500	60	80	17	78	GaNPx
GaN-HEMT [202]	650	25	500	30	35	14	60	GaNPx
SiC-MOSFET [203]	1000	120	800	30	367	173	53	TO247-4
SiC-MOSFET [203]	1000	120	500	30	185	76	59	TO247-4
Si-MOSFET [204]	700	95	400	30	64	43	33	TO247-4
Si-MOSFET [204]	700	95	400	30	111	78	30	TO247-3

Tab. 5.1: Vergleich der vermessenen Transistoren hinsichtlich der $E_{\text{turn-On}}$ -Reduzierung durch das *iFF*-Verfahren. Die Werte V_{br} und $R_{\text{ds,On}}$ sind Datenblättern entnommen. Die Werte der $E_{\text{turn-On}}$ -Reduktion wurden in [274–276] gemessen.

Die höchste Reduzierung der Einschaltenergie (78 %) konnte mit dem GaN-HEMT erzielt werden. Für den SiC-MOSFET konnte eine etwas geringere Reduzierung der Einschaltenergie von immerhin noch bis zu 60 % erreicht werden. Diese geringere Reduzierung der Einschaltenergie kann durch die geringere Transkonduktanz g_{m} des Transistors erklärt werden. Diese ist um etwa eine Größenordnung geringer als die des GaN-HEMTs, siehe Tab. 2.2. Die geringere Transkonduktanz g_{m} reduziert den Selbstverstärkungseffekt des *iFF*-Verfahrens. Die Eingangskapazität des Transistors C_{ISS} ist für den SiC-MOSFET lediglich um 33 % geringer. Dies führt zwar zu einer Reduzierung der sekundärseitigen Belastung des Transformators, kann aber den Effekt des geringeren Wertes von g_{m} nicht kompensieren.

Der Si-MOSFET hat eine deutlich höhere Transkonduktanz g_{m} im Vergleich zum SiC-MOSFET. Trotz dieser höheren Transkonduktanz stellt sich aber eine geringere Verbesserung hinsichtlich der Einschaltenergieerduzierung ein. Dies kann mit dem sechsfachen Wert der Eingangskapazität des Transistors C_{ISS} erklärt werden. Der Transformator muss aufgrund des höheren Wertes eine Last mit geringerer Impedanz treiben. Für den Si-MOSFET wurde auch der Einfluss der Common-Source-Induktivität $L_{\text{CS,eff}}$ untersucht. Es konnte gezeigt werden, dass das *iFF*-Verfahren für Halbleiteransteuerungen mit und ohne $L_{\text{CS,eff}}$ vergleichbare Einsparpotenziale hinsichtlich der $E_{\text{turn-On}}$ -Reduzierung ermöglicht.

Werden die gemessenen Einschaltenergien der verschiedenen Halbleitertechnologien verglichen, zeigt sich für den konventionellen Gatetreiber, dass der GaN-HEMT die geringste Einschaltenergie aufweist. Die Einschaltenergie des Si-MOSFET im TO-247-4 Gehäuse ist für $i_{\text{L}} = 30$ A um 45 % höher und dies für eine Spannung V_{DPP} , welche um 100 V niedriger ist. Der SiC-MOSFET wurde,

wie der GaN-HEMT, mit einer Spannung von $V_{DPP} = 500 \text{ V}$ vermessen. Im Vergleich zum GaN-HEMT ist die Einschaltenergie aber um mehr als den Faktor 5 größer. Die Ursache für den hohen Wert der Einschaltenergie ist der hohe Gateinnenwiderstand $R_{G'}$, der um Faktor 47 größer ist als der des GaN-HEMTs, siehe Tab. 2.2. Durch diesen hohen Gateinnenwiderstand ist es nicht möglich, einen hohen Gatestrom während des Einschaltens zu realisieren, eine weiterführende Erklärung ist in Abschnitt 3.3.2 gezeigt.

Für das *iFF*-Verfahren zeigt sich für den GaN-HEMT und den SiC-MOSFET mit einer Spannung von $V_{DPP} = 500 \text{ V}$ eine Reduzierung der Einschaltenergie $E_{\text{turn-On}}$ von etwa 60 %, siehe Tab. 5.1. Für den Si-MOSFET im TO247-4 Gehäuse konnte lediglich eine Reduzierung von 33 % erreicht werden. Dieses geringere Reduzierungspotential durch das *iFF*-Verfahren kann durch die höhere Eingangskapazität des Transistors erklärt werden.

6 Weitere Ansätze zur Verbesserung des *iFF*-Verfahrens

6.1 Verifikation der Simulationsumgebung

Verifikation für den konventionellen Gatetreiber: Zur Verifikation des Simulationsmodells werden sowohl die gemessene und simulierte Drain-Source-Spannung v_{DS} als auch die Gate-Source-Spannung v_{GS} in Abb. 6.1(a) für den konventionellen Gatetreiber verglichen. Ferner wird der Sourcestrom i_S in Abb. 6.1(b) dargestellt, die Drain-Source-Spannung v_{DS} dient als zeitliche Referenz. Die transienten Messungen zeigen die Ergebnisse für $V_{DPP} = 500\text{ V}$, $i_L = 20\text{ A}$ und einem Einschaltwiderstand von $R_{G,on} = 0\ \Omega$. Der Innenwiderstand des Gatetreibers R_{GD} beträgt $2.7\ \Omega$.

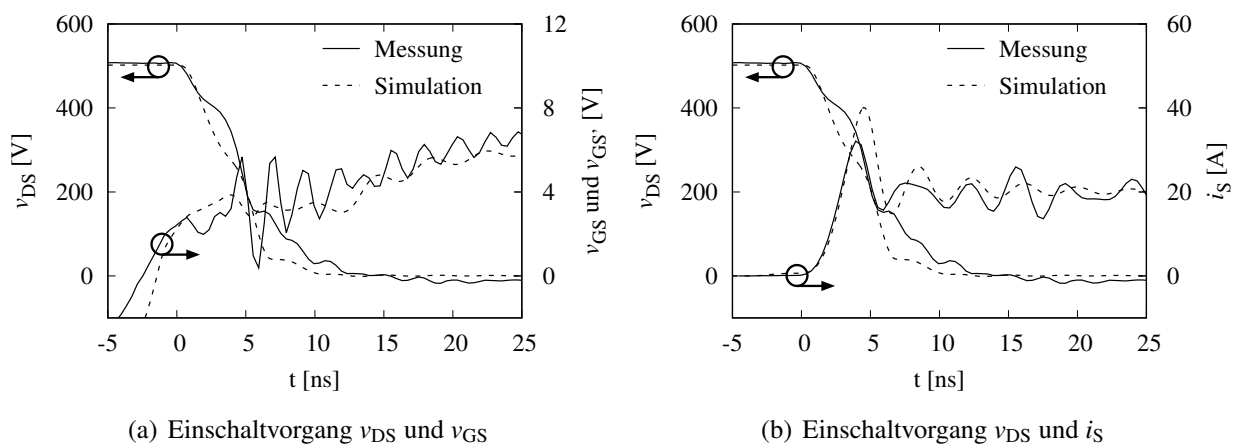


Abb. 6.1: Gemessener und simulierter Einschaltvorgang des konventionellen Gatetreibers mit $R_{G,on} = 0\ \Omega$, $i_L = 20\text{ A}$ und $V_{DPP} = 500\text{ V}$. In (a) wird die Drain-Source-Spannung v_{DS} und die Gate-Source-Spannung v_{GS} bzw. die am Halbleiter anliegende Gate-Source-Spannung $v_{GS'}$ gezeigt. In (b) wird v_{DS} und der Sourcestrom i_S gezeigt.

Der Spannungsverlauf von v_{DS} kann hinreichend genau nachgebildet werden, siehe Abb. 6.1(a). Die Spannungsänderungsgeschwindigkeit von v_{DS} ist für die Messung und die Simulation konnte hinreichend genau abgebildet werden. Lediglich der Spannungseinbruch aufgrund der parasitären Induktivität L_{ZWK} ist für die Simulation ausgeprägter. Die Ursache für diesen Einbruch von v_{DS} wird in Abschnitt 3.3.4 beschrieben.

Darüber hinaus ist die Reduzierung der Spannung v_{DS} aufgrund der Drain-Gate-Kapazität C_{DG} limitiert. Dieser Zusammenhang wird in Abschnitt 3.3.5 genauer betrachtet und diskutiert. Diese Limitierung beginnt für die Messung bei etwa $v_{DS} = 180\text{ V}$ und für die Simulation bei etwa $v_{DS} = 50\text{ V}$. Das simulierte Verhalten deckt sich mit den Angaben aus dem Datenblatt des Halbleiters.

Die Drain-Gate-Kapazität C_{DG} steigt erst bei Werten unter $v_{DS} = 50$ V signifikant an, siehe [202], was zu der Limitierung der Änderungsgeschwindigkeit von v_{DS} führt, siehe Abb. 3.12.

Die Ursache für das abweichende Simulationsergebnis kann durch die Modellierung der Halbleiter erklärt werden. Die Abweichung des Spannungseinbruchs von v_{DS} aufgrund der Induktivität L_{ZWK} kann durch die vom Diodenhersteller gegebenen Werte der parasitären Induktivitäten der AVT erklärt werden. Ein höherer Induktivitätswert führt zu einem höheren Einbruch von v_{DS} .

Die gemessene Gate-Source-Spannung v_{GS} zeigt aufgrund der durch $L_{CS,eff}$ eingekoppelten Spannung eine Oszillation, siehe Abschnitt 3.5. Diese Oszillation konnte auch in der Simulation nachgewiesen werden. Die am Halbleiter anliegende Gate-Source-Spannung $v_{GS'}$ wird für das simulierte Ergebnis dargestellt, siehe Abb. 6.1(a). Mit Hilfe dieser Darstellung soll verdeutlicht werden, dass die gemessene Spannung v_{GS} nicht der am Halbleiter anliegenden Spannung $v_{GS'}$ entspricht. Dieser Unterschied kann durch die parasitäre Induktivität des Halbleitergehäuses $L_{G'}$ und der Common-Source-Induktivität $L_{CS,eff}$ erklärt werden, siehe Abschnitt 3.5 in Abb. 3.7.

Der Sourcestrom i_S wird in Abb. 6.1(b) dargestellt. Die Stromanstiegsgeschwindigkeit ist für die Simulation und die Messung nahezu identisch. Die maximale Amplitude des Sourcestroms i_S ist für die Simulation etwas höher als die der Messung. Dies steht im direkten Zusammenhang mit dem erhöhten Einbruch der Spannung v_{DS} . Die Umladung der parasitären Kapazität am Schaltknoten führt zu dieser Überhöhung des Stroms i_S , siehe hierzu Abb. 3.5. Die Strommessung mit Hilfe der Rogowskispule wurde bereits in Abb. 5.2(b) durch eine Shuntmessung validiert.

Verifikation für das *iFF*-Verfahren

In diesem Abschnitt wird das Einschaltverhalten des *iFF*-Verfahrens betrachtet. Das Einschaltverhalten ist für $V_{DPP} = 500$ V, $i_L = 20$ A und einen Einschaltwiderstand von $R_{G,on} = 9.2 \Omega$ gezeigt. Sowohl die gemessene und simulierte Drain-Source-Spannung v_{DS} als auch die Gate-Source-Spannung v_{GS} sind in Abb. 6.2(a) aufgeführt. Des Weiteren ist der simulierte und der gemessene Sourcestrom i_S in Abb. 6.2(b) gezeigt, die Spannung v_{DS} wird zur besseren zeitlichen Zuordnung in Abb. 6.2(a) und in Abb. 6.2(b) dargestellt.

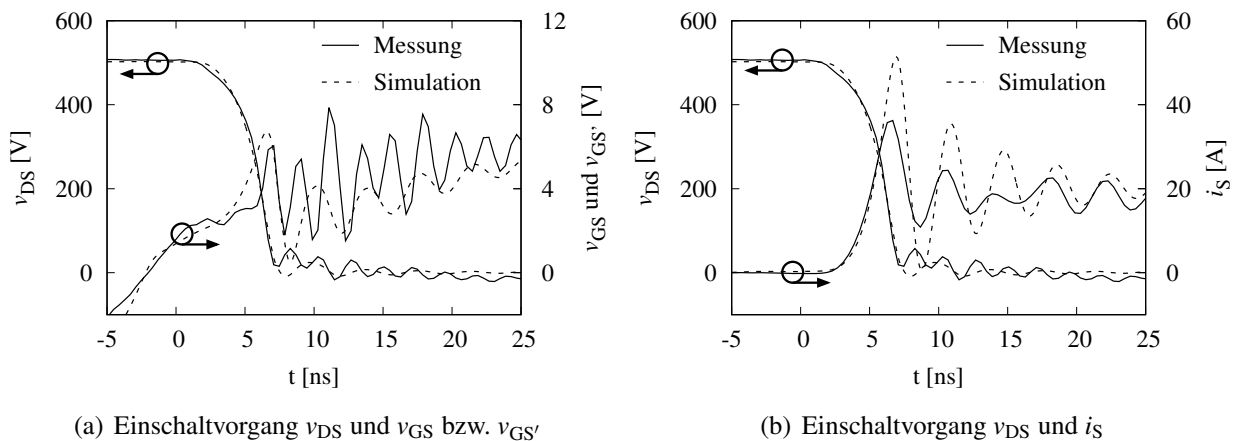


Abb. 6.2: Gemessener und simulierter Einschaltvorgang des *iFF*-Verfahrens mit $R_{G,on} = 9.2 \Omega$, $i_L = 20$ A und $V_{DPP} = 500$ V. In (a) ist die Drain-Source-Spannung v_{DS} und die Gate-Source-Spannung v_{GS} bzw. die am Halbleiter anliegende Gate-Source-Spannung $v_{GS'}$ gezeigt. In (b) ist die Drain-Source-Spannung v_{DS} und der Sourcestrom i_S gezeigt.

Die gemessene und simulierte Drain-Source-Spannung v_{DS} zeigt eine gute Übereinstimmung. Im Gegensatz zu dem konventionellen Gatetreiber sinkt die Spannung v_{DS} kontinuierlich ab. Die Messung der Spannung v_{GS} ist aufgrund der höheren Stromänderungsgeschwindigkeit von i_S noch stärker von der über $L_{CS,eff}$ induzierten Spannung beeinflusst. Für die Simulation wurde die am Halbleiter anliegende Gate-Source-Spannung $v_{GS'}$ in Abb. 6.2(a) dargestellt. Ebenfalls war es möglich, den Verlauf der Spannung v_{GS} in der Simulation nachzubilden. Durch die Darstellung von $v_{GS'}$ kann auch die Belastung des Gates des Halbleiters verdeutlicht werden. Die Spannung $v_{GS'}$ steigt während des Absinkens von v_{DS} bzw. während des Anstiegs von i_S auf einen Wert von etwa 7 V an. Diese Erhöhung kann durch die vom Transformator T in den Gatekreis eingekoppelte Energie erklärt werden, siehe Abschnitt 4.2.2 bzw. Abb. 5.5. Im Anschluss sinkt die Spannung $v_{GS'}$ wieder ab, es wird ein Wert von etwa $v_{GS'} = 1$ V erreicht. Dies führt aber nicht zu einem parasitären Schalten, da der Strom i_S aufgrund der durch L_{ZWK} und $C_{Par,SW}$ angeregten Schwingung sehr stark absinkt, siehe Abb. 6.2(b). Die Ursache für diese Schwingung ist in Abschnitt 3.5 bzw. in Gleichung (3.14) erklärt.

Für den in Abb. 6.2(b) gezeigten Sourcestrom i_S zeigt sich eine hinreichend genaue Übereinstimmung der Schwingfrequenz des Systems. Die Amplitude des gemessenen Stroms i_S ist um 25 % geringer. Dies kann auf die limitierte Bandbreite des Messsystems zurückgeführt werden, siehe Abb. 5.2(b). Die Oszillation des Sourcestroms i_S führt aufgrund der Einkopplung durch den Transformator T in die Gateschleife zu dem in Abb. 6.2(a) gezeigten Verlauf der Gate-Source-Spannung v_{GS} . Diese Mitkopplung führt zu keinem parasitären Schalten, dies konnte für Spulenströme von bis zu 50 A messtechnisch nachgewiesen werden.

Bestimmung der Einschaltenergie

Aus den in Abb. 6.1 und Abb. 6.2 gezeigten Simulations- und Messergebnissen kann die Einschaltenergie $E_{turn-On}$ berechnet werden. Die Definition des Schaltvorgangs ist in Abschnitt 3.1 eingeführt. Die Messergebnisse wurden bereits in Abb. 5.11 gezeigt, die Darstellung in Abb. 6.3 beschränkt sich jedoch auf eine reduzierte Anzahl von Einschaltwiderständen $R_{G,on}$ für den konventionellen Gatetreiber. Das *iFF*-Verfahren wurde mit $R_{G,on} = 9.2 \Omega$ vermessen und simuliert. Die Ungenauigkeit der Messergebnisse lassen sich durch die endliche Bandbreite des Messsystems erklären, weiterführende Informationen sind in Abschnitt 5.1.1 aufgeführt.

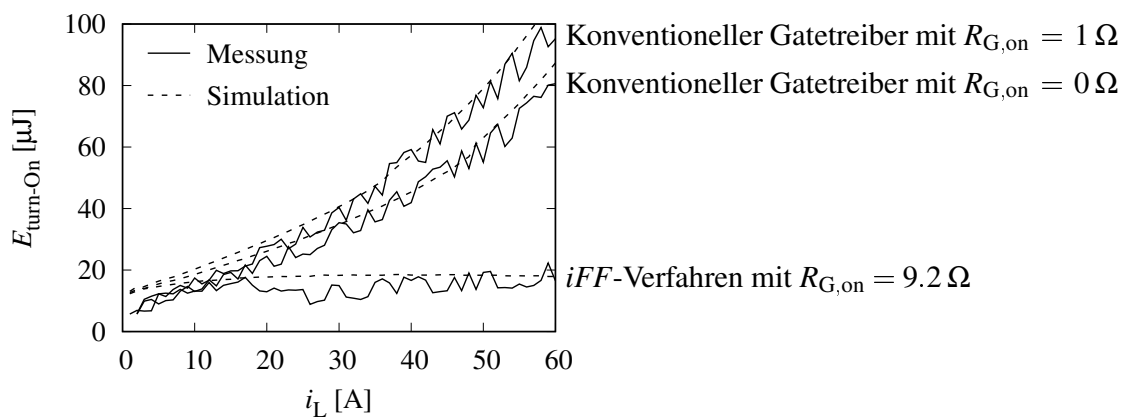


Abb. 6.3: Einschaltenergie $E_{turn-On}$ in Abhängigkeit des Spulenstroms i_L . Die Ungenauigkeiten der Messergebnisse lässt sich auf die in Abschnitt 5.1.1 eingeführten Limitierungen des Messsystems zurückführen.

Wie bereits in Abb. 5.11 für die Messergebnisse dargestellt, kann für die Simulation des konventionellen Gatetreibers ein direkter Zusammenhang zwischen dem Einschaltwiderstand $R_{G,on}$ und der Einschaltenergie $E_{turn-On}$ verzeichnet werden. Für einen Strom von $i_L = 1$ A sind die ermittelten Simulationsergebnisse nahezu deckungsgleich, dies gilt ebenfalls für das *iFF*-Verfahren.

Mit zunehmendem Strom nimmt die Einschaltenergie $E_{turn-On}$ für den konventionellen Gatetreiber kontinuierlich zu. Die Differenz der Einschaltenergie $E_{turn-On}$ für die unterschiedlichen Werte der Einschaltwiderstände $R_{G,on}$ nimmt für den konventionellen Gatetreiber mit zunehmendem Spulenstrom i_L zu. Eine weiterführende Betrachtung dieses Zusammenhangs ist in Abschnitt 3.3.2 aufgeführt. Durch den Einsatz des *iFF*-Verfahrens kann die Einschaltenergie $E_{turn-On}$ nahezu konstant über den gesamten Strombereich von i_L gehalten werden. Dieses Verhalten kann durch den selbstverstärkenden Effekt des *iFF*-Verfahrens und dem Spannungsabfall über L_{ZWK} erklärt werden, nähere Informationen hierzu sind in Abschnitt 4.2.2 aufgeführt bzw. in Abb. 3.10 verdeutlicht. Ebenfalls kann dieser Spannungseinbruch von v_{DS} über die in Abb. 3.17 bzw. in Abb. 4.7(a) gezeigte SOA-Darstellung visualisiert werden.

Werden nun die Simulationsergebnisse mit den Messergebnissen verglichen, zeigt sich sowohl für den konventionellen Gatetreiber als auch für das *iFF*-Verfahren eine gute Übereinstimmung. Im unteren Strombereich bis etwa $i_L = 15$ A ergibt sich für die Simulationsergebnisse eine etwas höhere Einschaltenergie $E_{turn-On}$. Dieser Unterschied kann auf die in Abb. 6.1(b) gezeigte Limitierung der Änderungsgeschwindigkeit von v_{DS} zurückgeführt werden. Für Ströme oberhalb von $i_L = 15$ A decken sich die gemessenen und simulierten Ergebnisse hinreichend genau.

Die Simulationsumgebung erlaubt es nun, die Auswirkung des Einschaltwiderstands $R_{G,on}$ auf die Einschaltenergie $E_{turn-On}$ zu untersuchen. Durch eine Reduzierung des Einschaltwiderstands $R_{G,on}$ wird keine signifikante Verbesserung hinsichtlich einer Einschaltenergiereduzierung für das *iFF*-Verfahren erreicht. Der wesentliche Grund hierfür ist die maximale Stromänderungsgeschwindigkeit von i_S , welche maßgeblich durch die parasitäre Induktivität L_{ZWK} bestimmt ist. Diese Zusammenhänge sind in Abschnitt 5.1 bzw. in Abb. 5.4(b) diskutiert.

6.2 Simulation und Sensitivitätsanalyse des Transformators

Für die Sensitivitätsanalyse des Transformators werden an dieser Stelle einige Randbedingung und Optimierungsziele definiert:

1. Die Wirkung des Transformators muss die Schaltverluste maximal reduzieren.
2. Der Flächenbedarf des Transformators soll minimal gehalten werden.
3. Die maximale Breite des Transformators ist durch die Breite des Leistungstransistors limitiert, siehe Abb. 4.11. Dies ermöglicht eine einfache Integration in das bestehende Layout.
4. Die Induktivität der Primärseite des Transformators $L_{T,pri}$ soll minimal gehalten werden, um parasitäre Einflüsse auf das Schalten zu minimieren.

Weitere Randbedingungen der geometrischen Struktur werden in Anhang D definiert. Um eine Bewertung des Transformators zu ermöglichen, wird in Abschnitt 6.2.1 ein Ersatzschaltbild eingeführt. Durch dieses ist es möglich, die Bandbreite und die Verstärkung des Transformators zu bestimmen und zu bewerten.

Der Einfluss der Breite des Transformators wird in Abschnitt 6.2.2 untersucht. Die Auswirkung der Windungszahl wird in Abschnitt 6.2.3 analysiert, der Einfluss des Abstandes zwischen Primär- und Sekundärseite wird in Abschnitt 6.2.4 betrachtet. Die Auswirkung der Länge der sekundärseitigen Wicklung wird in Abschnitt 6.2.5 erörtert. Abschließend wird der Einfluss auf die Schaltenergie geklärt, siehe Abschnitt 6.2.6.

6.2.1 Ersatzschaltbild des Transformators

Ein realer Transformator wird durch parasitäre Kapazitäten in seinem Verhalten beeinflusst. Aus diesem Grund erfolgt an dieser Stelle eine Abschätzung der parasitären Kapazitäten und es wird eine Betrachtung des Einflusses vorgenommen. Die parasitäre Kapazität des Transformators wird in Abb. 6.4(a) eingeführt. Diese Kapazität entsteht durch zwei parallel übereinanderliegende Flächen, sie ist als C_P bezeichnet.

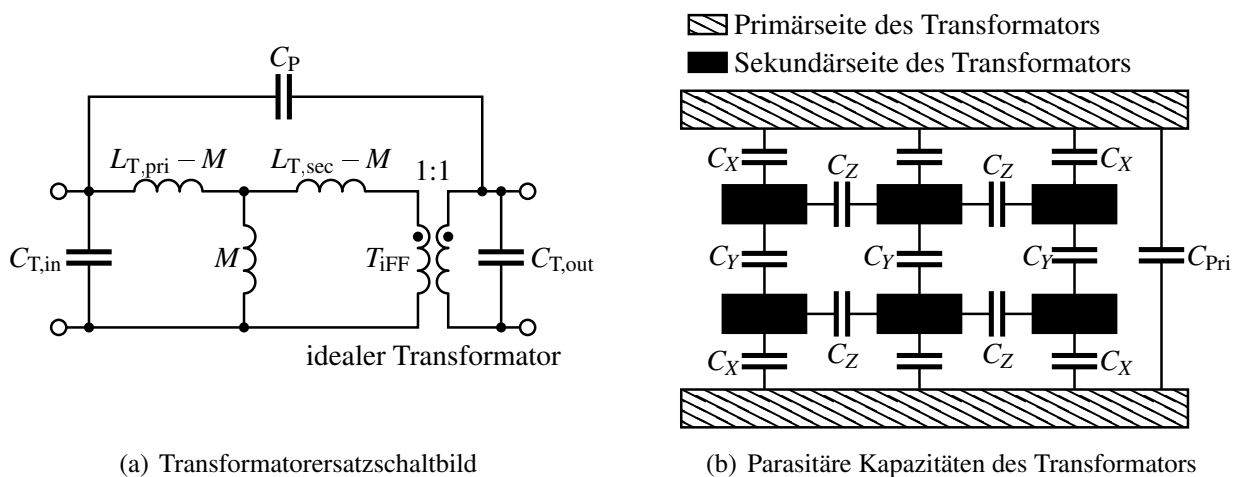


Abb. 6.4: Transformatorersatzschaltbild mit parasitärer Kapazität, in (a) ist das Transformatorersatzschaltbild gezeigt, welches $L_{T,pri}$, $L_{T,sec}$, M , T_{iFF} und C_P umfasst. In (b) ist der Ursprung der parasitären Kapazität C_P gezeigt. Die Kapazitäten $C_{T,in}$, $C_{T,out}$ und C_{Pri} können aufgrund des geringen Einflusses vernachlässigt werden.

Das T-Ersatzschaltbild des Transformators besteht aus der Induktivität der Primärseite des Transformators $L_{T,pri}$, der Induktivität der Sekundärseite des Transformators $L_{T,sec}$, der Gegeninduktivität des Transformators M , einem idealen Transformator T_{iFF} mit einem Übersetzungsverhältnis von 1:1 und der parasitären Kapazität C_P . Die parasitäre Kapazität C_P setzt sich aus den in Abb. 6.4(b) gezeigten Kapazitäten C_X , C_Y und C_Z zusammen.

Die parasitären Kapazitäten C_X , C_Y und C_Z lassen sich mit Hilfe der Plattenkondensatorgleichung berechnen. Dabei entsprechen C_Z und C_Y den Windungskapazitäten und C_X entspricht der Streukapazität zwischen Primär- und Sekundärseite, siehe [277]. C_Z kann aufgrund der geringen Fläche vernachlässigt werden. Für C_Y ist der Abstand zwischen den Platten deutlich größer als für die Kapazität C_X , womit C_Y ebenfalls vernachlässigt werden kann. Es gilt $C_Z \ll C_Y < C_X$, somit gilt $C_P \approx C_X$.

Durch diese Annahme muss die parasitäre Kapazität zwischen dem Ein- und Ausgang des T-Ersatzschaltbild angeschlossen werden. Wie in Abschnitt 6.3 gezeigt, gilt $L_{T,pri} < M \ll L_{T,sec}$. Dadurch ergibt sich für die Resonanzfrequenz f_P des LC-Schwingkreises:

$$f_P \approx \frac{1}{2 \cdot \pi \cdot \sqrt{L_{T,sec} \cdot C_P}} \quad (6.1)$$

Wird für den Transformator eine Fläche von $A_P = 100 \text{ mm}^2$ und ein Abstand von $100 \mu\text{m}$ angenommen, ergibt sich eine parasitäre Kapazität mit einem Wert von etwa $C_P = 40 \text{ pF}$. Im Verhältnis zum Wert der Induktivität der Sekundärseite $L_{T,sec}$ (im Bereich zwischen 40 nH bis 200 nH) ist C_P mindestens drei Größenordnungen kleiner. Wie aus (6.1) hervorgeht, hat C_P einen geringen Einfluss auf die Resonanzfrequenz f_P , aufgrund des Verhältnisses zwischen C_P und $L_{T,sec}$. Aus diesem Grund wird C_P im weiteren Verlauf der Arbeit nicht berücksichtigt. Nichtsdestotrotz wird der Einfluss der parasitären Kapazität C_P auf die Grenzfrequenz des Transformators f_{Av} in Abb. 6.7(b) analysiert.

Aufgrund der vorherigen Betrachtungen kann das Ersatzschaltbild vereinfacht werden, wie in Abb. 6.5 gezeigt ist.

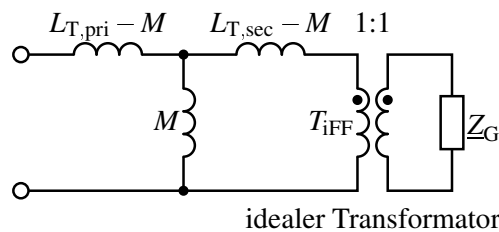


Abb. 6.5: T-Ersatzschaltbild des Transformators T . Die galvanische Entkopplung erfolgt über den idealen Transformator T_{iFF} .

Als ausgangsseitige Last wird nun der komplexe Widerstand des Gatekreises \underline{Z}_G eingesetzt. Mit Hilfe des Ersatzschaltbildes kann die Verstärkung und die Grenzfrequenz des Transformators analytisch bestimmt werden. Für die Kopplungsmatrix \underline{Z}_k des Transformators nach Abb. 6.5 ergibt sich:

$$\underline{Z}_k = \begin{bmatrix} L_{T,pri} & M \\ M & L_{T,sec} \end{bmatrix} \quad (6.2)$$

Der Einfluss des ohmschen Widerstands kann an dieser Stelle aufgrund des geringen Einflusses vernachlässigt werden, da dieser unterhalb von $100 \text{ m}\Omega$ liegt. Der Kopplungsfaktor k kann mit Hilfe der folgenden Gleichung bestimmt werden.

$$k = \frac{M}{\sqrt{L_{T,pri} L_{T,sec}}} \quad (6.3)$$

Wird der Transformator auf der Sekundärseite belastet, kann durch eine Zweitoranalyse die Übertragungsfunktion des Systems aufgestellt werden. Dadurch kann die Verstärkung des Systems A_v berechnet werden. Die Verstärkung A_v setzt die an der Primärseite des Transformators abfallende

Spannung ins Verhältnis zur Spannung, die an der Sekundärseite des Transformators anliegt. Eine vergleichbare Analyse wurde in [270] durchgeführt.

$$A_v = \frac{sM\underline{Z}_G}{s^2L_{T,\text{pri}}L_{T,\text{sec}} - s^2M^2 + sL_{T,\text{pri}}\underline{Z}_G} = \frac{k}{s(1-k^2)\frac{\sqrt{L_{T,\text{pri}}L_{T,\text{sec}}}}{\underline{Z}_G} + \sqrt{\frac{L_{T,\text{pri}}}{L_{T,\text{sec}}}}} \quad (6.4)$$

mit

$$\underline{Z}_G = R_{GD} + R_G + R_{G'} + s\frac{1}{C_{ISS}} \quad (6.5)$$

Der komplexe Widerstand des Gatekreises \underline{Z}_G kann in einen ohmschen Anteil und einen kapazitiven Anteil aufgeteilt werden. Der kapazitive Anteil wird durch die Eingangskapazität C_{ISS} des Transistors definiert. Für die Simulation wurden folgende Werte angenommen: $R_{GD} = 2.7 \Omega$, $R_G = 3 \Omega$, $R_{G'} = 0.4 \Omega$ und $C_{ISS} = 500 \text{ pF}$. Die Induktivität der Gateschleife $L_{G,\text{eff}}$ wird in (6.5) nicht beachtet, da $L_{T,\text{sec}}$ deutlich größer als $L_{G,\text{eff}}$ ist, es gilt $L_{G,\text{eff}} \ll L_{T,\text{sec}}$. An dieser Stelle sei erwähnt, dass sich diese Betrachtung lediglich auf den Einschaltzeitraum bezieht, während der Sourcestrom i_S steigt. Diese Vereinfachung erlaubt einen Vergleich der Parameteränderungen des Transformators T .

6.2.2 Breite des Transformators

Der frequenzabhängige Verlauf der Induktivität der Primärseite des Transformators $L_{T,\text{pri}}$ und der Induktivität der Sekundärseite des Transformators $L_{T,\text{sec}}$ werden in Abb. 6.6(a) für zwei unterschiedliche Breiten des Transformators d_{width} gezeigt. Die Werte sind mit Hilfe von (6.4) berechnet.

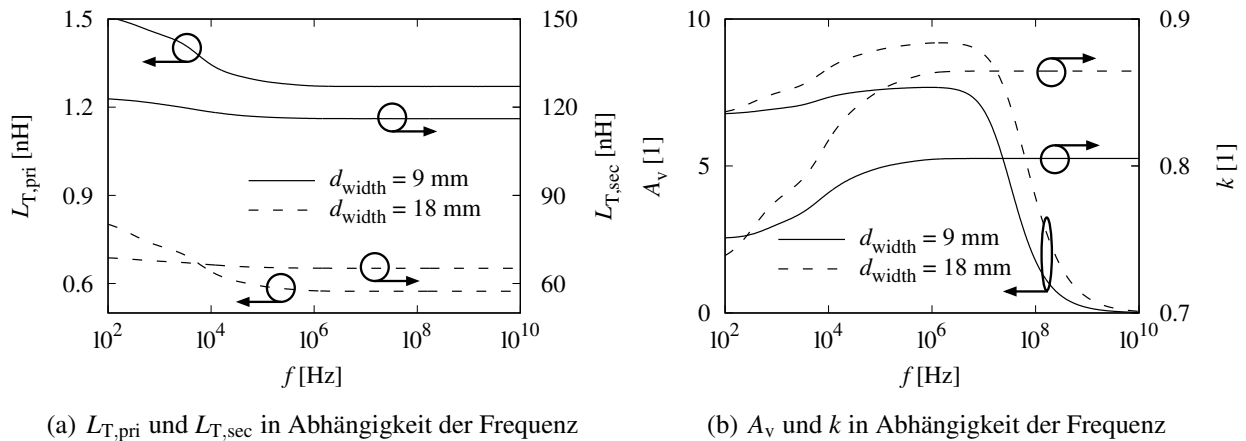


Abb. 6.6: In (a) ist der frequenzabhängige Verlauf von $L_{T,\text{pri}}$ und $L_{T,\text{sec}}$ für zwei unterschiedliche Werte von d_{width} gezeigt. In (b) ist der frequenzabhängige Verlauf der Verstärkung A_v und des Koppelfaktors k für zwei unterschiedliche Werte von d_{width} aufgeführt.

Dabei werden die in Tab. D.3 aufgeführten Werte genutzt. Die Breite der Einzelsegmente der Sekundärseite d_{line} werden für die einzelnen Breiten maximal gewählt, mit minimaler Weite d_{space}

zwischen den Windungen der Sekundärseite des Transformators T . Die geometrische Struktur des Transformators ist in Abb. 4.11 eingeführt.

Mit steigender Frequenz nimmt sowohl die parasitäre Induktivität der Primärseite $L_{T,\text{pri}}$ als auch die parasitäre Induktivität der Sekundärseite $L_{T,\text{sec}}$ ab, wie in Abb. 6.6(a) gezeigt. Mit zunehmender Breite d_{width} der Primärseite nimmt $L_{T,\text{pri}}$ als auch $L_{T,\text{sec}}$ ab. Dies ist für zwei Werte $d_{\text{width}} = 9$ mm und $d_{\text{width}} = 18$ mm in Abb. 6.6(a) gezeigt. Die Abnahme von $L_{T,\text{sec}}$ kann durch die breiteren Teilsegmente d_{line} erklärt werden (analog zur Zylinderspule). Mit zunehmender Breite der Teilsegmente d_{line} nimmt die Induktivität pro Weglänge ab, wobei die gestreckte Länge der Sekundärseite unwesentlich zunimmt.

Das in Abb. 6.5 eingeführte T-Ersatzschaltbild erlaubt es, die Verstärkung A_v bei einer Belastung durch \underline{Z}_G zu berechnen. Die berechneten Ergebnisse sind in Abb. 6.6(b) gezeigt. Die Überhöhung der Verstärkung im mittleren Frequenzbereich lässt sich durch die Erhöhung des Koppelfaktors und der Reduzierung von $L_{T,\text{pri}}$ und $L_{T,\text{sec}}$ erklären. Im unteren Frequenzbereich ist die Felddichte im Bereich am Rand der Leiter geringer und in der Mitte der Leiter etwas erhöht, siehe Abb. 4.12(b). Mit steigender Frequenz wird die Feldverteilung zwischen den stromführenden Leitern gleichmäßiger, somit erhöht sich der Koppelfaktor und die Verstärkung nimmt zu. Mit steigender Frequenz sinkt die Verstärkung des Transformators A_v auf null. Grund hierfür ist die Zunahme des komplexen Widerstands von $L_{T,\text{sec}}$.

Des Weiteren ist der Koppelfaktor k in Abb. 6.6(b) gezeigt. Mit zunehmender Breite d_{width} kommt es zu einer Erhöhung des Koppelfaktors k . Dies kann durch die Verringerung von $L_{T,\text{pri}}$ und $L_{T,\text{sec}}$ erklärt werden. Dieser Zusammenhang ist in (6.3) beschrieben.

Der Einfluss der Transformatorbreite d_{width} auf die maximale Verstärkung $A_{v,\text{max}}$, die Grenzfrequenz f_{A_v} und die Induktivität $L_{T,\text{sec}}$ des Transformators wird in Abb. 6.7(a) gezeigt. Die maximale Verstärkung $A_{v,\text{max}}$ entspricht dem mathematischen Maximalwert von A_v über den Frequenzbereich. Die Grenzfrequenz f_{A_v} entspricht dem Wert, bei dem A_v unter einen Wert von $A_v = 1$ fällt. Außerdem ist die Induktivität der Sekundärseite $L_{T,\text{sec}}$ in Abb. 6.7(a) für eine Frequenz von $f = 100$ MHz gezeigt.

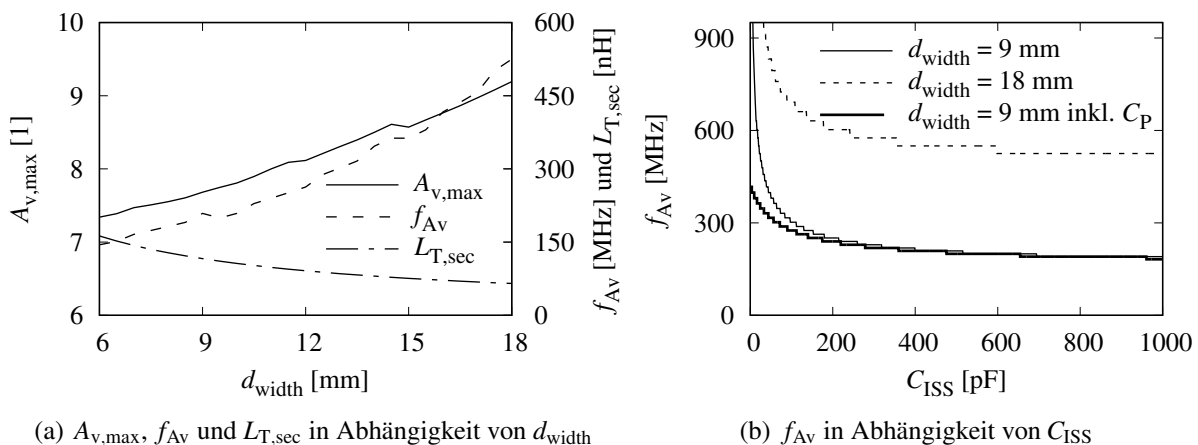


Abb. 6.7: In (a) ist die Verstärkung $A_{v,\text{max}}$, die Grenzfrequenz f_{A_v} und die Induktivität $L_{T,\text{sec}}$ in Abhängigkeit der Transformatorbreite d_{width} gezeigt. In (b) ist die Grenzfrequenz f_{A_v} in Abhängigkeit der Eingangskapazität C_{ISS} des Transistors für zwei unterschiedliche Werte von d_{width} aufgeführt.

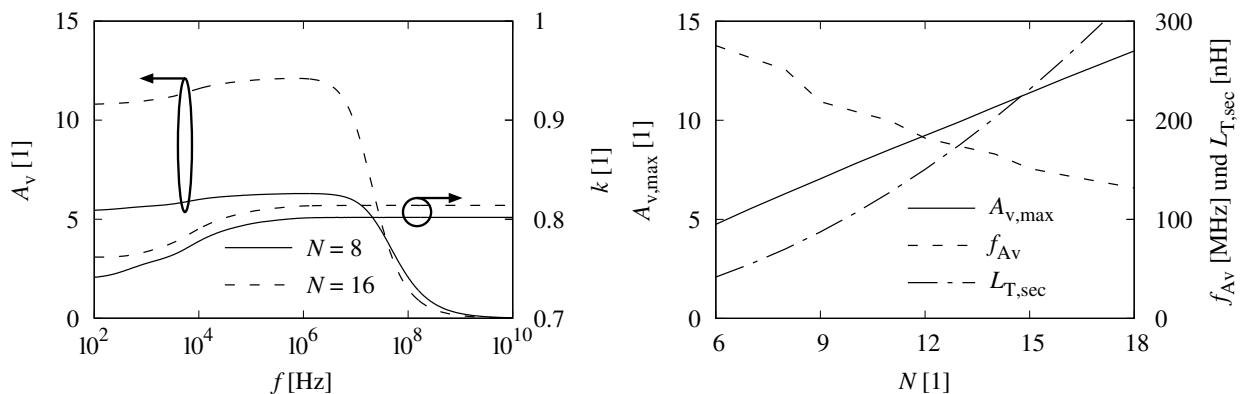
Durch eine Erhöhung des Wertes d_{width} kann sowohl die maximale Verstärkung $A_{v,\text{max}}$ als auch die Grenzfrequenz f_{Av} gesteigert werden. Dies kann durch die Verringerung der Werte von $L_{\text{T,pri}}$ und $L_{\text{T,sec}}$ erklärt werden. Zusätzlich kommt es zu einer Erhöhung des Koppelfaktors k mit steigender Breite d_{width} . Die Induktivität $L_{\text{T,sec}}$ sinkt mit steigendem Wert von d_{width} ab.

Der Einfluss der Eingangskapazität C_{ISS} auf die Grenzfrequenz f_{Av} ist in Abb. 6.7(b) gezeigt. Mit zunehmender Eingangskapazität C_{ISS} nimmt die Grenzfrequenz f_{Av} ab. Für eine größere Breite der Primärseite d_{width} ergibt sich eine höhere Grenzfrequenz, dies gilt für alle Werte von C_{ISS} . Der Grund für die Steigerung der Bandbreite ist die Reduzierung des Wertes $L_{\text{T,sec}}$ und die damit gekoppelte Reduzierung des Widerstands. Die in Abschnitt 6.2.1 eingeführte parasitäre Kapazität des Transformators C_{P} hat aufgrund ihres geringen Wertes nur einen Einfluss auf kleine Werte von C_{ISS} , ebenfalls in Abb. 6.7(b) dargestellt. Der in dieser Arbeit genutzte GaN-Transistor hat eine Eingangskapazität von 520 pF, für diesen Wert hat C_{P} einen geringen Einfluss. Die in Abb. 6.7 gezeigten Ergebnisse sind für diskrete Frequenzwerte und diskrete Werte von C_{ISS} berechnet.

Zusammenfassend kann gesagt werden, dass die Breite des Transformators d_{width} maximal gewählt werden muss (mit Berücksichtigung der Integrierbarkeit in das Layout), um eine möglichst hohe Grenzfrequenz f_{Av} und eine hohe Verstärkung $A_{v,\text{max}}$ zu erreichen.

6.2.3 Windungszahl des Transformators

Wie bereits in Abschnitt 6.2.2 für unterschiedliche Breiten des Transformators d_{width} untersucht wurde, werden in diesem Abschnitt die Auswirkungen unterschiedlicher Windungszahlen N analysiert. Dabei werden wiederum die in Tab. D.3 aufgeführten Werte verwendet, lediglich die Windungszahl N wird angepasst. Die Breite der Einzelsegmente der Sekundärseite d_{line} werden für die einzelnen Windungszahlen maximal gewählt. Die Verstärkung A_v und der Kopplungsfaktor k sind in Abhängigkeit der Frequenz in Abb. 6.8(a) dargestellt.



(a) A_v und k in Abhängigkeit der Frequenz

(b) $A_{v,\text{max}}$, f_{Av} und $L_{\text{T,sec}}$ in Abhängigkeit von N

Abb. 6.8: In (a) ist der frequenzabhängige Verlauf der Verstärkung A_v und des Koppelfaktors k für zwei Windungszahlen N gezeigt. In (b) ist die Verstärkung $A_{v,\text{max}}$, die Grenzfrequenz f_{Av} und die Induktivität $L_{\text{T,sec}}$ in Abhängigkeit von N aufgeführt.

Mit steigender Windungszahl erhöht sich der Kopplungsfaktor k . Diese Erhöhung des Koppelfaktors k und die Zunahme von $L_{\text{T,sec}}$, gezeigt in Abb. 6.8(b), führt zu einer zunehmenden Verstärkung A_v . Mit höherer Windungszahl fällt die Verstärkung mit steigender Frequenz schneller

ab, was durch den höheren Wert von $L_{T,sec}$ erklärt werden kann. Der komplexe Widerstand der Sekundärseite steigt mit steigender Frequenz an und somit sinkt die Verstärkung A_v .

Die maximale Verstärkung $A_{v,max}$, die Grenzfrequenz f_{Av} (für $A_v = 1$) und $L_{T,sec}$ sind in Abhängigkeit der Windungszahl in Abb. 6.8(b) gezeigt. Mit steigender Windungszahl nimmt die maximale Verstärkung $A_{v,max}$ zu und die Grenzfrequenz f_{Av} ab. Der erhöhte Kopplungsfaktor führt zu einer höheren Verstärkung $A_{v,max}$ und die geringere Grenzfrequenz f_{Av} resultiert aus dem steigenden Wert von $L_{T,sec}$ und des damit gekoppelten komplexen Widerstands. Die Verstärkung $A_{v,max}$ nimmt linear mit N zu. Dies ist trotz der überproportionalen Zunahme von $L_{T,sec}$ möglich. Diese überproportionale Zunahme von $L_{T,sec}$ wird durch den erhöhten Kopplungsfaktor kompensiert. Die sekundärseitige Struktur des Transformators T ist vergleichbar mit einer Luftspule mit rechteckigem Spulenkörper. Nach [278] steigt der Induktivitätswert einer rechteckigen Spule mit ungefähr dem Quadrat der Windungszahl an.

Zusammenfassend kann gesagt werden, dass eine höhere Windungszahl zwar zu einer höheren Verstärkung $A_{v,max}$ des Transformators führt, aber im Gegenzug die Grenzfrequenz f_{Av} des Transformators abnimmt. Um den optimalen Nutzen (minimale $E_{turn-On}$) aus dem Transformator zu erzielen, muss die Windungszahl auf den Transistor angepasst werden. Der Einfluss der Windungszahl N auf die Einschaltenergie ist in Abb. 6.13 aufgezeigt.

6.2.4 Abstand zwischen der Primärseite und der Sekundärwindung

Im folgenden Abschnitt wird der Abstand d_{gap} zwischen der äußeren Leitungsschicht (Primärseite des Transformators T) und der ersten inneren Leitungsschicht (Sekundärseite des Transformators T) variiert und der Einfluss auf das Verhalten des Transformators untersucht. Dabei werden wiederum die in Tab. D.3 aufgeführten Werte verwendet, lediglich d_{gap} wird angepasst.

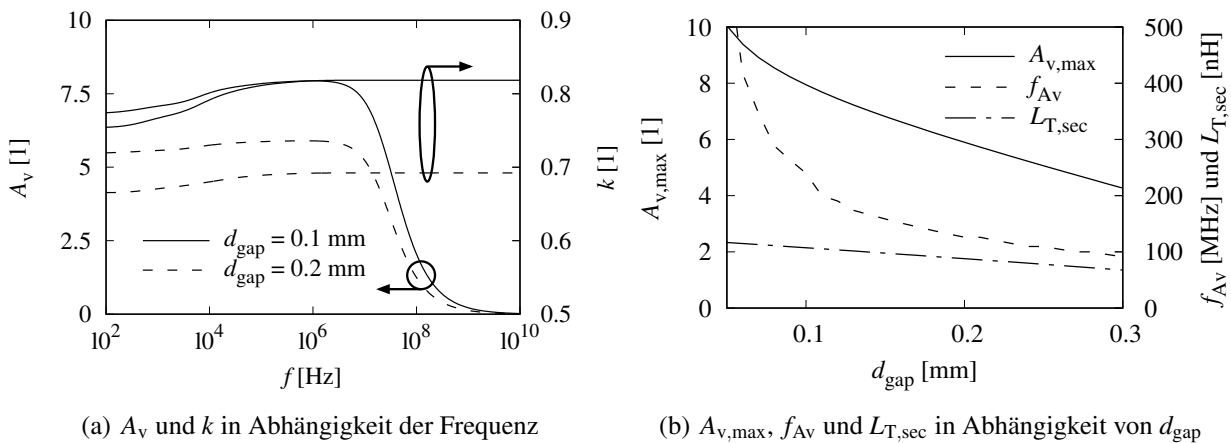


Abb. 6.9: In (a) ist der frequenzabhängige Verlauf der Verstärkung A_v und des Koppelfaktors k für zwei unterschiedliche Werte von d_{gap} gezeigt. In (b) ist die Verstärkung $A_{v,max}$, die Grenzfrequenz f_{Av} und die Induktivität $L_{T,sec}$ in Abhängigkeit von d_{gap} aufgeführt.

Die Verstärkung A_v und der Kopplungsfaktor k sind für zwei unterschiedliche Werte von d_{gap} in Abhängigkeit der Frequenz in Abb. 6.9(a) gezeigt. Mit einem geringeren Wert von d_{gap} erhöht sich die Kopplung k und somit die Verstärkung A_v , siehe (6.4). Ebenfalls wird eine höhere Grenzfrequenz f_{Av} mit geringerem Abstand d_{gap} erreicht.

Die maximale Verstärkung $A_{v,max}$, die Grenzfrequenz f_{Av} und $L_{T,sec}$ sind in Abhängigkeit von d_{gap} in Abb. 6.9(b) gezeigt. Mit steigendem Wert von d_{gap} reduziert sich sowohl die Verstärkung $A_{v,max}$, als auch die Grenzfrequenz f_{Av} . Das Absinken der Verstärkung $A_{v,max}$ ist annähernd linear mit steigendem Wert d_{gap} . Die Grenzfrequenz f_{Av} sinkt mit einem geringem Wert von d_{gap} (bis etwa $d_{gap} = 0.12$ mm) rapide ab, mit steigendem Wert von d_{gap} fällt f_{Av} langsamer ab. Die Kopplung k (nicht in Abb. 6.9(b) gezeigt) wie auch $L_{T,sec}$ sinken annähernd linear mit steigendem Wert von d_{gap} ab.

Zusammenfassend kann gesagt werden, dass der Abstand d_{gap} zwischen der äußeren Leitungsschicht (Primärseite des Transformators T) und der ersten inneren Leitungsschicht (Sekundärseite des Transformators T) minimal gehalten werden muss. Ist der Abstand d_{gap} minimal, wird eine hohe Verstärkung $A_{v,max}$ und eine hohe Grenzfrequenz f_{Av} erreicht.

6.2.5 Sekundärwindungslänge des Transformators

Dieser Abschnitt beschäftigt sich mit der Auswirkung der Sekundärwicklungslänge $d_{Len,Sec}$, siehe Abb. 4.11. Dabei ist die Primärseite des Transformators T einen Millimeter länger als die Sekundärseite $d_{Len,Sec}$ ausgeführt. Für die übrigen Werte gelten die Definitionen aus Tab. D.3. In Abb. 6.10(a) ist der frequenzabhängige Verlauf der Verstärkung A_v und des Kopplungsfaktors k für zwei unterschiedliche Sekundärwicklungslängen $d_{Len,Sec}$ gezeigt.

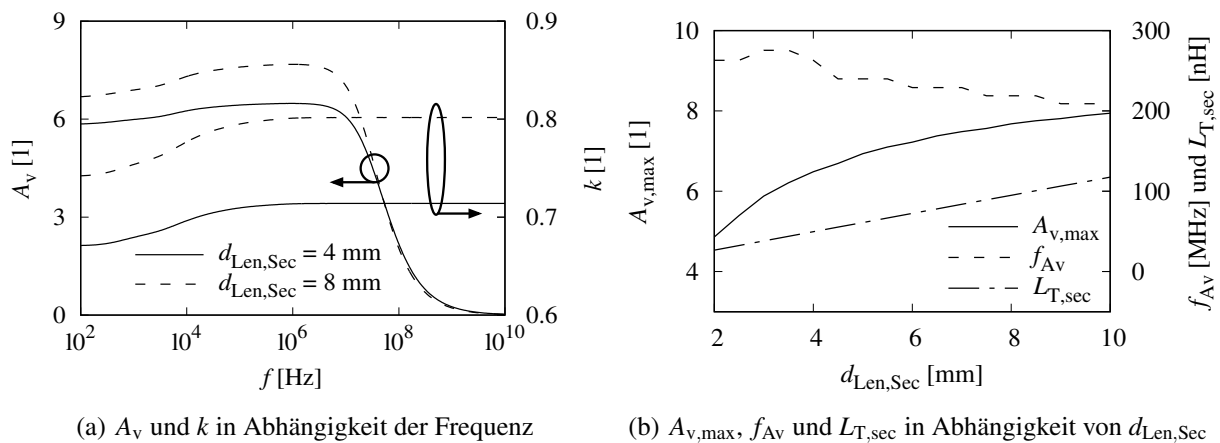


Abb. 6.10: In (a) ist der frequenzabhängige Verlauf der Verstärkung A_v und des Koppelfaktors k für zwei unterschiedliche Sekundärwicklungslängen $d_{Len,Sec}$ gezeigt. In (b) ist die Verstärkung $A_{v,max}$, die Grenzfrequenz f_{Av} und die Induktivität $L_{T,sec}$ in Abhängigkeit von $d_{Len,Sec}$ aufgeführt.

Die Verstärkung A_v und der Kopplungsfaktor k nehmen mit zunehmender Sekundärwicklungslänge $d_{Len,Sec}$ zu. Dies kann mit dem steigenden Füllfaktor der Sekundärseite in der Primärseite erklärt werden. Dieser Füllfaktor entspricht dem prozentualen Anteil der aufgespannten Fläche der Sekundärseite in der Primärseite, die mit steigender Länge (prozentual) steigt. Eine Änderung des Füllfaktors hat einen geringen Einfluss auf die Grenzfrequenz f_{Av} .

In Abb. 6.10(b) ist neben $L_{T,sec}$ auch die Verstärkung $A_{v,max}$ und die Grenzfrequenz f_{Av} in Abhängigkeit der Sekundärwicklungslänge $d_{Len,Sec}$ gezeigt. Mit zunehmender Länge $d_{Len,Sec}$ nimmt die

Verstärkung $A_{v,max}$ zu. Dieser Anstieg ist für kleinere Werte von $d_{Len,Sec}$ ausgeprägter. Der Grund für die Zunahme von $A_{v,max}$ ist der steigende Füllfaktor. Für kleine Werte von $d_{Len,Sec}$ steigt der prozentuale Wert des Füllfaktors und somit der Kopplungsfaktor k schneller an.

Die Grenzfrequenz f_{Av} nimmt mit zunehmender Sekundärwicklungslänge $d_{Len,Sec}$ ab. Diese Abnahme ist aber verhältnismäßig gering. Die annähernd konstante Grenzfrequenz f_{Av} kann durch die Zunahme von $L_{T,sec}$ und der Zunahme der Kopplung k erklärt werden. Beide Effekte überlagern sich und führen zu der in Abb. 6.10(b) gezeigten annähernd konstanten Grenzfrequenz f_{Av} .

Zusammenfassend kann gesagt werden, dass die Sekundärwicklungslänge $d_{Len,Sec}$ geringen Einfluss auf die Grenzfrequenz f_{Av} hat. Die Verstärkung $A_{v,max}$ nimmt unterproportional mit steigendem Wert von $d_{Len,Sec}$ zu. Eine Untersuchung hinsichtlich der Auswirkung auf die Einschaltenergie $E_{turn-On}$ ist in Abb. 6.13 aufgeführt.

6.2.6 Einfluss auf die Einschaltenergie

Der Einfluss der Windungszahl N und der Sekundärwicklungslänge $d_{Len,Sec}$ auf die Einschaltenergie $E_{turn-On}$ wird im Nachfolgenden untersucht. Die Testschaltung ist in Abb. 6.11 aufgeführt. Für die parasitären Elemente werden folgende Werte angenommen: $L_{G,eff} = 10$ nH, $R_G = 3$ Ω , $R_{GD} = 2.7$ Ω , $L_{CS,eff} = 56$ pH, $L_{FWD} = 9$ nH und $L_S = 6$ nH. Die Simulationen werden mit $V_{DPP} = 500$ V und $i_L = 20$ A durchgeführt. Als Transistor wird ein GaN-HEMT verwendet, siehe [202].

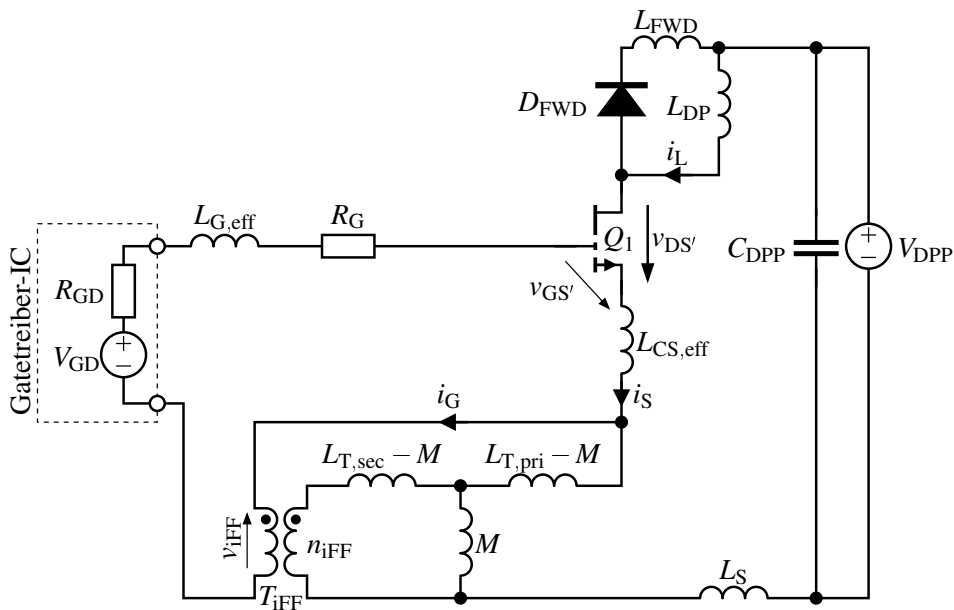


Abb. 6.11: Realisierung des *iFF*-Verfahrens, der Transformator ist durch das in Abb. 6.5 eingeführte T-Ersatzschaltbild dargestellt.

Als Transformatorersatzschaltbild wird das in Abb. 6.5 eingeführte T-Modell verwendet. Die in Abschnitt 6.2.3 und Abschnitt 6.2.5 ermittelten Werte werden in das Transformatorersatzschaltbild eingesetzt. Durch eine transiente Simulation kann nun die Einschaltenergie $E_{turn-On}$ bestimmt werden.

Eine transiente Betrachtung für zwei unterschiedliche Windungszahlen ist in Abb. 6.12 aufgeführt. Die Spannung $v_{DS'}$ und $v_{GS'}$ sind in Abb. 6.12(a) gezeigt, der Strom i_S ist in Abb. 6.12(b) dargestellt. Die Drain-Source-Spannung $v_{DS'}$ und die Gate-Source-Spannung $v_{GS'}$ sind in Abb. 6.12(a) für zwei Windungszahlen gezeigt. Für eine Windungszahl von $N = 4$ fällt die Spannung v_{DS} beim Einschalten schneller und zeitlich früher ab. Mit einer Windungszahl von $N = 8$ kommt es zu einer Verzögerung des Einschaltvorgangs. Ebenfalls wird eine höhere Gate-Source-Spannung $v_{GS'}$ erreicht. Der zeitliche Versatz der Spannung $v_{DS'}$ und das Übersteuern der Spannung $v_{GS'}$ kann durch die Induktivität der Sekundärseite $L_{T,sec}$ erklärt werden, daraus resultiert auch der zeitliche Versatz. Durch den höheren Wert von $L_{T,sec}$ kommt es zu einem geringeren Anstieg von i_G . Aufgrund des höheren Wertes von $L_{T,sec}$ wird mehr Energie in der Induktivität gespeichert, was sich in der Spannungsüberhöhung von $v_{GS'}$ äußert. Für eine geringere Windungszahl N zeigt sich im Stromanstieg und in dem Maximalwert von i_S ein schnellerer Anstieg bzw. ein höherer Wert.

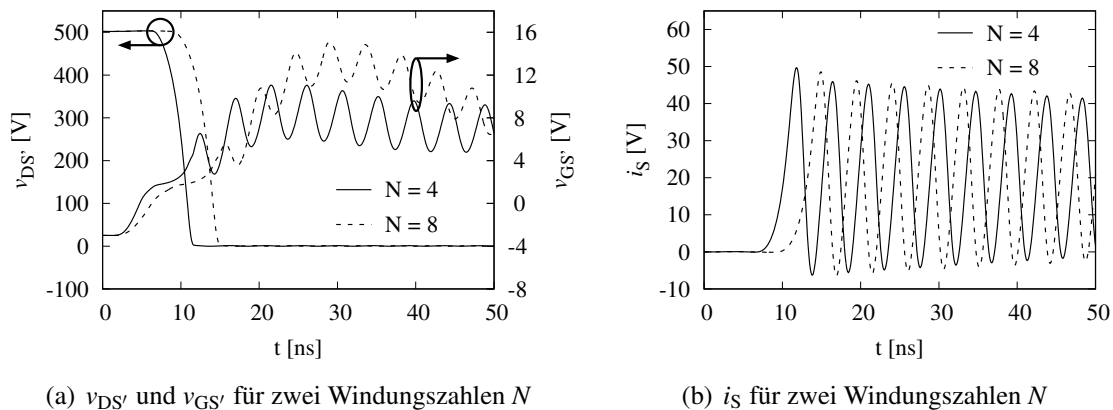


Abb. 6.12: Simulierte Verläufe für zwei Windungszahlen N . Die Geometriedaten des Transformators sind in Tab. D.3 definiert.

Die transienten Simulationen werden genutzt, um die Einschaltenergie $E_{\text{turn-On}}$ zu berechnen, wodurch eine Betrachtung des Einflusses der Transformatorgeometrie möglich ist. Die Abb. 6.13 zeigt die Einschaltenergie $E_{\text{turn-On}}$ in Abhängigkeit der Sekundärspulenlänge $d_{L_{en,Sec}}$ und der Windungszahl N . Der Einfluss der Sekundärspulenlänge $d_{L_{en,Sec}}$ ist mit einer Windungszahl von $N = 10$ gezeigt. Der Einfluss der Windungszahl N ist mit einer Sekundärspulenlänge $d_{L_{en,Sec}} = 8$ mm gezeigt.

Im Windungsbereich von $N = 3$ bis $N = 7$ ist die Einschaltenergie $E_{\text{turn-On}}$ annähernd konstant.¹ Mit zunehmender Windungszahl steigt $E_{\text{turn-On}}$ an. Der Grund hierfür ist die fallende Grenzfrequenz f_{Av} des Transformators. Die Grenzfrequenz f_{Av} des Transformators ist neben der Verstärkung $A_{v,max}$ in Abb. 6.8(b) gezeigt. Dieses Absinken der Grenzfrequenz f_{Av} kann wiederum durch die Zunahme der Induktivität der Sekundärseite $L_{T,sec}$ erklärt werden.

Mit Vergrößerung der Sekundärspulenlänge von $d_{L_{en,Sec}} = 2$ mm auf $d_{L_{en,Sec}} = 5$ mm reduziert sich die Einschaltenergie. Diese Reduzierung sättigt bei $d_{L_{en,Sec}} = 5$ mm. Eine weitere Vergrößerung von $d_{L_{en,Sec}}$ führt zu keiner weiteren Reduzierung von $E_{\text{turn-On}}$. Dieses Verhalten kann

¹Die numerische Simulation zeigt ein verrauschtes Ergebnis. Die Ursache hierfür ist die Definition des Schaltvorgangs, siehe Abb. 3.2, und die parasitäre Schwingung des Systems. Durch die harte Definition des Einschaltvorgangs (Start: 10 % von i_L ; Ende: 10 % von V_{DPP}) kann es durch die überlagerte Schwingung des Schaltknotens zu einer geringfügigen Variation der Einschaltenergie $E_{\text{turn-On}}$ kommen.

durch den Verlauf der Verstärkung und der Grenzfrequenz in Abhängigkeit von der Sekundärspulenlänge $d_{\text{Len,Sec}}$ erklärt werden, siehe Abb. 6.10(b). Bis zu einem Bereich von $d_{\text{Len,Sec}} = 5 \text{ mm}$ nimmt die Verstärkung $A_{v,\text{max}}$ stark zu, die Grenzfrequenz f_{Av} ist annähernd konstant. Überschreitet $d_{\text{Len,Sec}} = 5 \text{ mm}$, ist die Zunahme der Verstärkung $A_{v,\text{max}}$ limitiert und die Grenzfrequenz nimmt konstant ab. Dieses Verhalten führt zu einer geringeren Mitkopplung und somit zu höheren bzw. konstanten Schaltverlusten.

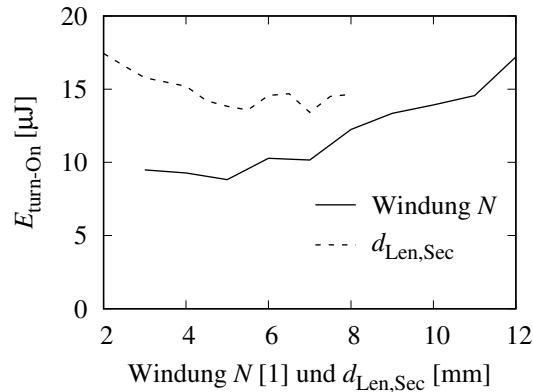


Abb. 6.13: Simulierte Einschaltenergie $E_{\text{turn-On}}$ für unterschiedliche Windungszahlen N und für unterschiedliche Werte von $d_{\text{Len,Sec}}$. Die Geometrie des Transformators ist in Tab. D.3 definiert.

Aus den Betrachtungen der Einschaltenergie kann abgeleitet werden, dass der Transformator eine möglichst hohe Verstärkung $A_{v,\text{max}}$ und gleichzeitig eine hohe Grenzfrequenz f_{Av} benötigt. Wird der Einfluss der Transformatorbreite untersucht, ergibt sich eine Zunahme der Verstärkung $A_{v,\text{max}}$ und der Grenzfrequenz f_{Av} mit steigender Breite und gleichbleibender Windungszahl, siehe Abb. 6.7(a). Somit führt eine Verbreiterung des Transformators zu geringeren Schaltverlusten, wobei eine Limitierung durch den steigenden Platzbedarf des Transformators entsteht.

Wird der Einfluss des Abstandes zwischen Primär- und Sekundärseite d_{gap} auf die Einschaltenergie $E_{\text{turn-On}}$ untersucht, zeigt sich eine Zunahme von $E_{\text{turn-On}}$ mit steigendem Wert von d_{gap} . Die Ursache hierfür liegt in der absinkenden Verstärkung A_v . Aufgrund der geringeren vom magnetischen Fluss durchflossenen Fläche nimmt die Verstärkung ab, siehe Abb. 6.9(b). Ebenfalls sinkt die Grenzfrequenz f_{Av} ab, somit muss d_{gap} minimal gewählt werden.

6.2.7 Ableitung der Transformatordesignrichtlinien

Der Aufbau eines kernlosen Transformators mit Hilfe eines PCBs erlaubt eine große Designfreiheit. Die geometrische Form des Transformators hat wesentlichen Einfluss auf die Induktivitäten $L_{T,\text{pri}}$ und $L_{T,\text{sec}}$ aber auch auf den Kopplungsfaktor k . Im Folgenden werden die wichtigsten Designparameter beschrieben und deren Auswirkung auf das Verhalten des Transformators bewertet.

Wie in Abb. D.3 beschrieben, umschließt die Primärseite des Transformators die Sekundärseite. Ein Stromfluss durch die Primärseite führt so zu einem homogenen magnetischen Feld innerhalb der Sekundärseite, siehe Abb. 4.12(b). Die Sekundärseite des Transformators muss im Idealfall den gesamten Zwischenraum der Primärseite füllen. Aus dieser Forderung lassen sich folgende Regeln ableiten:

Die Breite der Primärseite d_{width} muss so groß wie möglich ausgeführt werden. Dadurch reduziert sich sowohl die Induktivität der Primärseite $L_{T,\text{pri}}$, als auch die Induktivität der Sekundärseite $L_{T,\text{sec}}$, bei gleich bleibender Windungszahl N , dieser Zusammenhang ist in Abschnitt 6.2.2 erläutert. Ebenfalls erhöhen sich die Verstärkung $A_{v,\text{max}}$ und die Grenzfrequenz f_{Av} des Transformators, was mit der Reduzierung der parasitären Elemente erklärt werden kann, siehe Abb. 6.7(a).

Die Erhöhung der Windungszahl führt zu einer linearen Erhöhung der Verstärkung $A_{v,\text{max}}$, im Gegenzug fällt die Grenzfrequenz f_{Av} ebenfalls linear ab, siehe hierzu Abb. 6.8(b). Im Layoutdesign muss darauf geachtet werden, dass die Erhöhung nicht zu einer unzulässig hohen Absenkung der Grenzfrequenz f_{Av} führt.

Ein weiterer wesentlicher Designparameter ist der Abstand zwischen der Primärseite und der Sekundärseite d_{gap} , wie in Abschnitt 6.2.4 beschrieben. Wird der Aufbau wie in Abb. 4.11 gezeigt umgesetzt, ist dieser Abstand d_{gap} durch die genutzte Technologie definiert. Mit einem geringeren Wert von d_{gap} wird der Kopplungsfaktor k erhöht. Das führt zu einer höheren Verstärkung $A_{v,\text{max}}$ und einer höheren Grenzfrequenz f_{Av} , siehe hierzu Abb. 6.9(b).

Die Länge der Sekundärseite $d_{\text{Len,Sec}}$ hat ebenfalls einen direkten Einfluss auf das Verhalten des Transformators. Eine Erhöhung von $d_{\text{Len,Sec}}$ führt zu einer Erhöhung der Verstärkung $A_{v,\text{max}}$, wobei der Anstieg nicht proportional ist, siehe Abb. 6.10(b). Ebenfalls ist ein Abfall der Grenzfrequenz f_{Av} mit steigendem $d_{\text{Len,Sec}}$ zu verzeichnen.

Zusammenfassend kann gesagt werden, dass der Abstand zwischen der Primärseite und der Sekundärseite d_{gap} minimal gehalten werden muss. Bei der Wahl der Windungszahl N der Sekundärseite muss die Abnahme der Grenzfrequenz f_{Av} mit steigender Windungszahl beachtet werden. Eine Verringerung der PCB-Dicke d_{PCB} führt zu einer Abnahme der Streuinduktivität der Primärseite, was die Verstärkung erhöht und den Einfluss auf den Hauptstromkreis minimiert. Des Weiteren kann festgehalten werden, dass eine Verlängerung der Sekundärseite $d_{\text{Len,Sec}}$ nicht zu einem proportionalen Anstieg der Verstärkung führt, dafür aber zu einem annähernd linearen Abfall der Grenzfrequenz f_{Av} . Die Breite der Primärseite d_{width} muss maximal gewählt werden. Dadurch wird eine hohe Verstärkung $A_{v,\text{max}}$ und eine hohe Grenzfrequenz f_{Av} erreicht. Eine Limitierung der Breite der Primärseite d_{width} stellt der Platzbedarf des Layouts dar.

6.3 Kurzschlussfestigkeit des *iFF*-Verfahrens

Das *iFF*-Konzept ist ein selbstverstärkendes Verfahren, daher muss überprüft werden, wann es zu einer Schädigung durch eine zu hohe Gate-Source-Spannung v_{GS} des Transistors kommen kann. Einen Extremfall stellt der Kurzschluss des Transistors dar. Hierbei wird die Zwischenkreiskapazität C_{out} über den Transistor Q_1 kurzgeschlossen. Die Stromanstiegsgeschwindigkeit wird durch die parasitäre Induktivität limitiert. Um einen sicheren Betrieb des *iFF*-Verfahrens zu gewährleisten, muss der Kurzschlussfall des Transistors betrachtet werden. In der nachfolgenden Untersuchung wird geprüft, auf welchen Wert der Strom i_s steigen darf, ohne dass eine Schädigung des Transistors Q_1 auftritt.

Das *iFF*-Verfahren überträgt nur während der positiven Stromänderung von i_s Energie in die Gateschleife, welche zur Schädigung des Transistors führen kann. Um den Zusammenhang zwischen der Mitkopplung und dem Einschaltverhalten vereinfacht darzustellen, wird ein Ersatzschaltbild

eingeführt, siehe Abb. 6.14. Mit Hilfe dieses Ersatzschaltbildes kann die Kurzschlussfestigkeit untersucht werden.

Für die Betrachtung wird ein konstanter Wert der Stromänderung von i_S (di_S/dt) angenommen, der durch die Stromquelle I_S eingespeist wird. Wie eingangs erläutert wird der Stromanstieg durch L_{ZWK} limitiert, daher ist diese Vereinfachung legitim. Der Strom i_S induziert über die Induktivität M eine Spannung in die Gateschleife, der Transformator T_{iFF} ermöglicht die galvanische Trennung. Für das Ersatzschaltbild des Transformators gilt $L_{T,pri} < M \ll L_{T,sec}$, daher gilt Gleichung (4.1) nicht mehr. In Abschnitt 6.2 wird diese Annahme simulativ begründet.

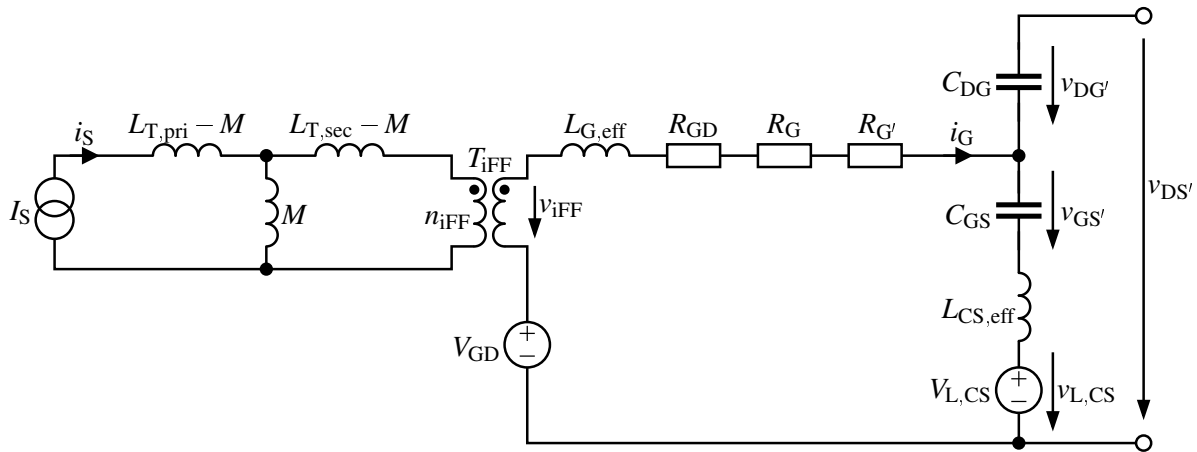


Abb. 6.14: Ersatzschaltbild des *iFF*-Konzepts im Kurzschlussfall

Die Sekundärseite des Transformators ist in Reihe mit $L_{G,eff}$, R_{GD} , R_G , $R_{G'}$, C_{GS} , $L_{CS,eff}$, $V_{L,CS}$ und V_{GD} geschlossen. Zur Berechnung des Widerstands der Induktivität $L_{G,eff}$ wird das anregende Signal (die Änderung des Stroms i_S) durch eine Fouriersynthese in ihre Frequenzanteile zerlegt. Um eine vereinfachte Fouriersynthese zu ermöglichen, wird der Strom in ein Dreieckssignal mit einer Amplitude des zweifachen Nennstroms zerlegt. Die sich daraus ergebende erste harmonische Schwingung entspricht der Grundfrequenz des Dreieckssignals f_{trans} . Die weiteren Oberschwingungen werden an dieser Stelle nicht betrachtet. Zur Verdeutlichung ist ein Beispiel im Anhang aufgeführt, siehe Anhang E.

Durch die Definition des Übertragungsverhältnisses $n_{iFF} = 1$ ist die Induktivität der Sekundärseite des Transformators $L_{T,sec}$ ebenfalls Teil der Gateschleife. Somit lässt sich der Gatestrom i_G berechnen:

$$i_G = \frac{V_{GD} + v_{iFF} - v_{GS'}(i_S) - v_{L,CS}}{\sqrt{(R_{GD} + R_G + R_{G'})^2 + (2 \cdot \pi \cdot f_{trans} \cdot (L_{G,eff} + L_{CS,eff} + L_{T,sec}))^2}} \quad (6.6)$$

Die Spannung, die aufgrund der Stromänderung von i_S an L_{CS} abfällt, wird durch die Spannungsquelle $V_{L,CS}$ dargestellt. Die Spannung $v_{L,CS}$ ist proportional zur Stromänderung von i_S :

$$v_{L,CS} = L_{CS,eff} \cdot \frac{di_S}{dt} \quad (6.7)$$

Um eine unzulässige Erhöhung der Spannung $v_{GS'}$ sicherzustellen, muss die durch den Transformator übertragene Ladung $Q_{T,sec}$ geringer sein als die Speicherladung von C_{DG} (Q_{DG}) und die

Speicherladung von C_{GS} (Q_{GS}), siehe (6.8). Die Ladung, die notwendig ist, um die Spannung $v_{GS'}$ vom unteren Versorgungsspannungsniveau bis zur Schwellspannung anzuheben, wird durch den konventionellen Gatetreiber bereitgestellt. Die Ladungsbetrachtung ist daher erst ab Erreichen der Schwellspannung gültig. Der Ladungswert kann aus dem Diagramm der Gateladecharakteristik des Halbleiterdatenblatts entnommen werden.

$$Q_{T,sec} \leq Q_{DG} + Q_{GS} \quad (6.8)$$

Die übertragene Ladung lässt sich durch den Strom i_G und die Stromanstiegszeit von i_S berechnen:

$$Q_{T,sec} = \int_{t_0}^{t_{SW}} i_G(t) dt \quad (6.9)$$

Die Schaltzeit t_{SW} kann aus der Stromanstiegsgeschwindigkeit und dem Maximalwert des Stroms i_S berechnet werden:

$$t_{SW} = \frac{i_{S,max}}{\frac{di_S}{dt}} \quad (6.10)$$

Für die nachfolgenden Berechnungen werden weitere Annahmen getroffen. Die Spannung V_{GD} wird mit 7 V und die Schwellspannung wird mit 3 V angenommen. Für die Werte der Widerstände wird $R_{GD} = 2.7 \Omega$, $R_G = 0 \Omega$ und $R_{G'} = 0.34 \Omega$ angenommen. Die parasitären Induktivitäten werden für $L_{CS,eff}$ mit 54 pH und für $L_{G,eff}$ mit 4 nH gewählt.

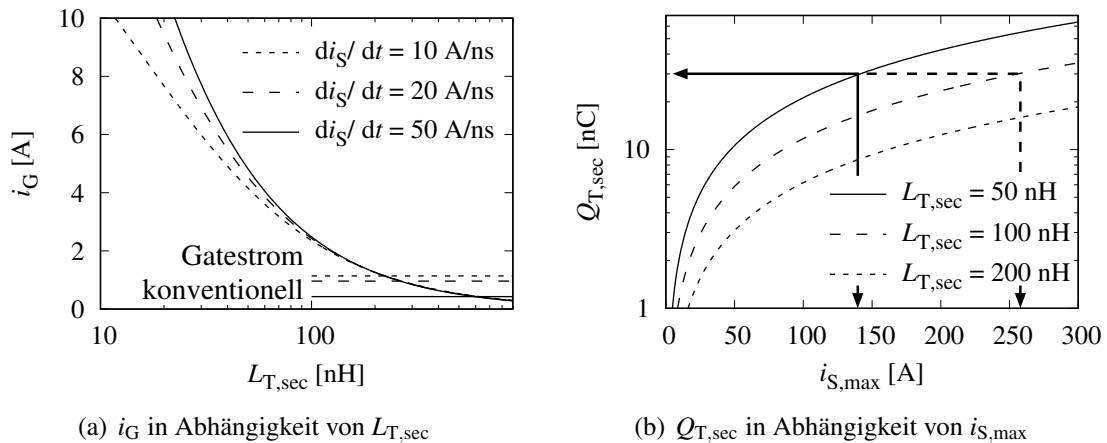


Abb. 6.15: Verhalten im Kurzschlussfall mit der Nutzung des *iFF*-Verfahrens. In (a) ist der Strom i_G in Abhängigkeit von $L_{T,sec}$ für verschiedene Werte von di_S/dt gezeigt. Des Weiteren ist der Strom i_G für den konventionellen Gatetreiber gezeigt. In (b) ist die Ladung $Q_{T,sec}$ in Abhängigkeit von $i_{S,max}$ für verschiedene Werte von $L_{T,sec}$ dargestellt. Die Stromänderungsgeschwindigkeit beträgt $di_S/dt = 20 \text{ A/ns}$.

Die Abb. 6.15(a) stellt den Strom i_G in Abhängigkeit der Induktivität der Sekundärseite des Transformators $L_{T,sec}$ dar. Des Weiteren sind in Abb. 6.15(a) die Gateströme i_G für den konventionellen Ansatz eingetragen (markiert mit *Gatestrom konventionell*). Dabei stellt sich für $di_S/dt = 10 \text{ A/ns}$ ein Gatestrom i_G von 1.13 A ein und für $di_S/dt = 50 \text{ A/ns}$ ein Gatestrom i_G von 0.43 A. Diese Reduzierung ist durch den Spannungsabfall über $L_{CS,eff}$ begründet. Der Spannungsabfall ist in (6.7) definiert. Dieser ist proportional zur Stromänderung von i_S . Somit kommt es zu einer Limitierung der maximalen Stromänderungsgeschwindigkeit.

Für Werte von $L_{T,sec}$ unterhalb von 210 nH kommt es zu einer Erhöhung des Stroms i_G , somit kann der Spannungsabfall über $L_{CS,eff}$ (über)kompensiert werden. Ebenso zeigt sich, dass ein höherer Wert der Stromänderung von i_S zu einem höheren Gatestrom i_G führt. Die Abnahme von $L_{T,sec}$ führt zu einer Steigerung von i_G , die durch die geringere Impedanz der Gateschleife begründet werden kann. Sowohl die rückgekoppelte Spannung v_{iFF} als auch der komplexe Widerstand steigen linear mit der Stromänderung von i_S an, wobei der ohmsche Anteil konstant bleibt, siehe (6.6). Dieser Zusammenhang führt zu einem selbstverstärkenden Effekt. Dieser Effekt hilft bei der Reduzierung der Einschaltenergie, kann aber auch zur Zerstörung des Transistors führen.

Eine Betrachtung des Kurzschlussfalls ist in Abb. 6.15(b) aufgeführt. Dabei wird angenommen, dass der Strom i_S mit konstanter Stromänderungsgeschwindigkeit weiter steigt ($di_S/dt = 20 \text{ A/ns}$). In Abb. 6.15(b) ist die übertragene Ladung $Q_{T,sec}$ des Transformators in Abhängigkeit des Maximalstroms von i_S ($i_{S,max}$) für verschiedene Werte von $L_{T,sec}$ aufgeführt. Die übertragene Ladung $Q_{T,sec}$ steigt linear mit dem Strom $i_{S,max}$ an.

Für den gewählten Transistor ergibt sich ein Limit von $Q_{T,sec} = 12 \text{ nC}$, welches in Abb. 6.15(b) eingezeichnet ist. Wird dieser Wert überschritten, kann es zur Schädigung des Transistors kommen. Wird $L_{T,sec}$ mit 50 nH gewählt, kommt es bei einem Strom von 140 A zu einer Schädigung, für $L_{T,sec} = 100 \text{ nH}$ erst bei 260 A.

Sicherstellung eines kurzschlussfesten Betriebs

Um eine Zerstörung des Transistors durch unzulässig hohe Gatespannungen zu vermeiden, muss der endliche Anstieg der Spannung $v_{GS'}$ sichergestellt sein. Wird die Induktivität M kleiner als die Common-Source-Induktivität $L_{CS,eff}$ gewählt, kann es aufgrund der physikalischen Zusammenhänge nicht zu einer Überschreitung der zulässigen $v_{GS'}$ Spannung kommen. Der Spannungsabfall an M und $L_{CS,eff}$ ist proportional zur Stromänderung von i_S . Dadurch ist die durch den Transformator übertragbare Spannung v_{iFF} kleiner als die Spannung, die aufgrund des Stromanstiegs von i_S an $L_{CS,eff}$ abfällt. Ist $L_{CS,eff}$ vernachlässigbar klein, muss eine unzulässige Überhöhung der Spannung $v_{GS'}$ durch eine aktive Schutzbeschaltung ausgeschlossen werden. Diese Schutzbeschaltung kann durch eine Zenerdiode zwischen Gate und Source erreicht werden.

Des Weiteren kann durch eine schnelle Stromabschaltung das Erreichen eines unzulässigen Sourcestroms i_S sichergestellt werden. Schaltungsbeispiele einer schnellen Kurzschlussdetektion sind in [279, 280] gezeigt. Hierbei ist es möglich, die Überbelastung des Transistors deutlich vor dem Erreichen des Maximalstroms zu erkennen und den Transistor sicher auszuschalten. In [281] werden verschiedene Kurzschlussdetektionsverfahren in Verbindung mit Verbundhalbleitern untersucht. Konkrete Umsetzung der Kurzschlussdetektionsverfahren in Verbindung mit GaN-Transistoren sind in [282–284] gezeigt.

6.4 Parallelschaltung von Transistoren

Um die Stromtragfähigkeit von leistungselektronischen Schaltern zu erhöhen, werden Transistoren parallelgeschaltet. Dabei stellt sich aufgrund von Bauteilstreuungen und der Asymmetrie des Layouts eine ungleichmäßige Stromverteilung während des Schaltens ein, siehe [285, 286]. Das *iFF*-Verfahren kann genutzt werden, um die Stromverteilung der parallel geschalteten Transistoren zu homogenisieren und gleichzeitig die Einschaltenergie $E_{\text{turn-On}}$ zu reduzieren.

Eine Realisierungsmöglichkeit ist in Abb. 6.16(a) gezeigt. Dabei wird der Transistor Q_A durch den Transformator T_B beschleunigt und durch die Common-Source-Induktivität des Halbleitergehäuses L_{CS} gebremst. Dies gilt umgekehrt für Q_B und T_A .

Das kreuzgekoppelte *iFF*-Verfahren ermöglicht eine Einschaltverlustreduzierung und gleichzeitig eine Verbesserung der Verlustverteilung. Sowohl die Messergebnisse für den konventionellen Ansatz als auch für das kreuzgekoppelte *iFF*-Verfahren sind in Abb. 6.16(b) dargestellt. Für den konventionellen Gatetreiber stellt sich eine ungleichmäßige Einschaltenergie $E_{\text{turn-On}}$ ein. Diese nimmt mit steigendem Wert von i_L zu. Mit dem *iFF*-Verfahren kann die Einschaltenergie $E_{\text{turn-On}}$ um bis zu 50 % reduziert werden. Gleichzeitig stellt sich eine fast homogene Einschaltenergie $E_{\text{turn-On}}$ zwischen Q_A und Q_B ein, siehe Abb. 6.16(b). Dieses Konzept ist zum Patent angemeldet, siehe [285].

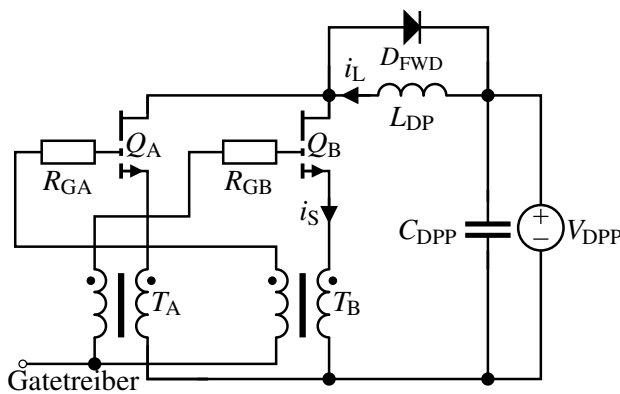
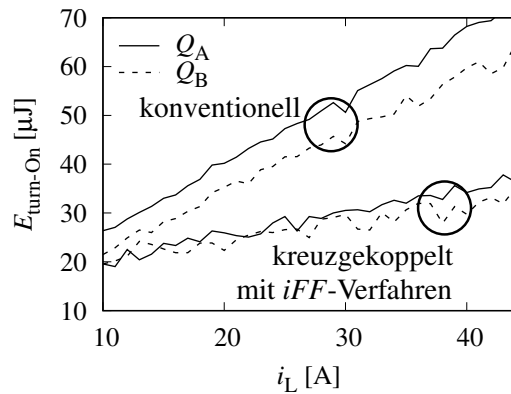
(a) Kreuzgekoppeltes *iFF*-Verfahren(b) Einschaltenergie $E_{\text{turn-On}}$

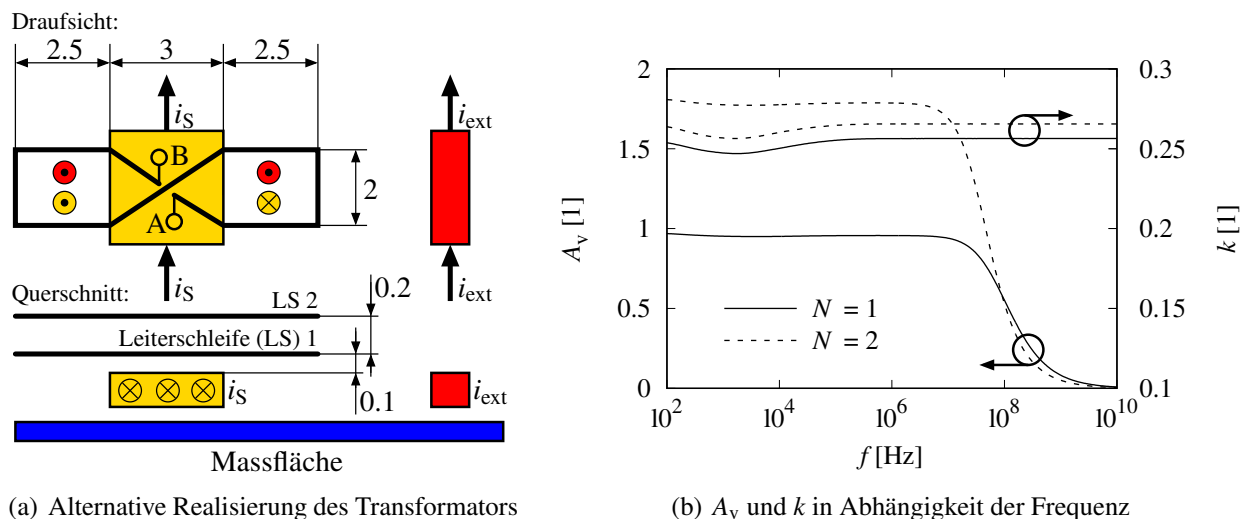
Abb. 6.16: Vergleich des konventionellen Gatetreibers mit dem kreuzgekoppelten *iFF*-Verfahren. Für die Werte $R_{GA} = R_{GB} = 0 \Omega$ und $V_{DPP} = 400 \text{ V}$. In (a) ist die Umsetzung des kreuzgekoppelten *iFF*-Verfahrens gezeigt. In (b) ist die Einschaltenergie $E_{\text{turn-On}}$ als Funktion von i_L aufgeführt, die Messergebnisse sind aus [286] entnommen.

6.5 Alternative Realisierung der Sekundärseite des Transformators

Der in Abb. 4.11 eingeführte Transformator erfordert eine geringfügige Anpassung der geometrischen Struktur des Layouts. Dies ist für eine PCB-Technologie problemlos möglich. In dieser Technologie stehen eine Vielzahl von Lagen zur Verfügung, die den Aufbau der Sekundärseite des Transformators ermöglichen.

Wird versucht, das *iFF*-Verfahren in einem Leistungsmodul umzusetzen, ist es nicht möglich, diese aufwendige Struktur aus Abb. 4.11 zu realisieren. Aus diesem Grunde wurde das in [157, 287] vorgestellte Konzept zur Strommessung adaptiert. Das Simulationsmodell ist in Abb. 6.17(a) gezeigt. Der Vorteil des in [157, 287] vorgestellten Transformator-Konzeptes liegt darin, dass nur eine minimale Anpassung des Hauptstromkreises notwendig ist. Der Transformator benötigt eine etwa 2 mm lange Auflagefläche.

Im Gegensatz zu dem in Abb. 4.11 gezeigten Transformator wird keine geometrische Anpassung der Primärseite des Transformators vorgenommen, um das magnetische Feld zu homogenisieren. Wie in Abb. 6.17(a) dargestellt, wird lediglich eine schleifenförmige Struktur auf den Stromleiter aufgebracht. Das sich um den Leiter aufbauende magnetische Feld koppelt nun in die Leiterschleife ein und induziert eine Spannung, die proportional zur Stromänderung von i_S ist.



(a) Alternative Realisierung des Transformators

(b) A_v und k in Abhängigkeit der Frequenz

Abb. 6.17: Alternative Realisierung der Sekundärseite des Transformators. In (a) ist der Aufbau des Transformators gezeigt, die Massefläche ist in der Draufsicht (aus Gründen der Übersichtlichkeit) nicht gezeigt. In (b) ist der frequenzabhängige Verlauf der Verstärkung A_v und des Koppelfaktor k für zwei Windungszahlen N aufgeführt.

Die Einkopplung durch externe Magnetfelder kann nicht vollständig unterdrückt werden, angedeutet durch den Strom i_{ext} markiert durch rot gekennzeichnete magnetische Feldlinien, siehe Abb. 6.17(a). Das Magnetfeld, das im Gleichtakt in beide Leiterschleifen der Sekundärseite ein-koppelt ist, generiert keine messbare Spannung zwischen den Punkten A und B. Die induzierten Spannungen heben sich somit auf.

Das Magnetfeld, das durch i_S generiert wird, koppelt gegenläufig in die rechte und linke Leiterschleife ein. Durch die Drehung des Wicklungssinns der Leiterschleife addieren sich die induzier-

ten Spannungen. Die Spannung zwischen den Punkten A und B ist somit proportional zur Stromänderung von i_S (di_S/dt). Um die Spannung zwischen den Punkten A und B zu erhöhen, wird eine weitere Leiterschleife auf die erste Leiterschleife aufgebracht, siehe Querschnitt in Abb. 6.17(a).

Um eine vergleichende Aussage bezüglich der Wirkungsweise des in Abb. 6.17(a) gezeigten Transformatoraufbaues zu ermöglichen, wurde die Struktur mit FASTHENRY [213] simuliert und wie in Abschnitt 6.2.1 beschrieben analysiert. Die Ergebnisse aus diesen Simulationen sind in Abb. 6.17(b) gezeigt. Der frequenzabhängige Verlauf der Verstärkung A_V und des Koppelfaktors k für zwei Windungszahlen N wurde untersucht. Die Simulationen wurden mit den in Abschnitt 6.2.1 aufgeführten Daten durchgeführt. Durch die Einführung der zweiten Windungsebene konnte die Verstärkung A_V aber lediglich um 88 % (statt um 100 %) erhöht werden. Dies kann mit dem geringeren Anteil des eingekoppelten magnetischen Feldes der zweiten Schleifenebene und dem steigenden Wert der parasitären Induktivität der Sekundärseite erklärt werden.

Der Vorteil der in Abb. 6.17(a) gezeigten Struktur ist die kürzere Ausdehnung entlang der Stromrichtung von i_S . Für die in Abb. 6.17(a) gezeigte Struktur ergibt sich eine Länge von etwa 2 mm und für die in Abb. 6.10 simulierte Struktur ergibt sich ein Wert von 4 mm. Die in Abb. 4.11 eingeführte Struktur hat geringere Induktivitätswerte auf der Primär- als auch Sekundärseite ($L_{T,pri}$ und $L_{T,sec}$). Des Weiteren ist der Koppelfaktor des Transformators k und entsprechend die Gegeninduktivität des Transformators M höher. Aus diesen Elementen ergibt sich eine mehr als sechsfach höhere Grenzfrequenz f_{Av} und eine mehr als dreieinhalbfach höhere Verstärkung $A_{v,max}$ für den in Abb. 4.11 gezeigten Transformator. Die wesentlichen Parameter der in Abb. 6.17(b) und in Abb. 6.10 simulierten Strukturen sind in Tab. 6.1 aufgeführt.

Simulationsergebnisse	$L_{T,pri}$ [nH]	$L_{T,sec}$ [nH]	M [nH]	k [1]	f_{Av} bei $A_V = 1$ [MHz]	$A_{v,max}$ [1]
Abb. 6.10 mit $d_{Len,Sec} = 4$ mm	0.39	26.7	3.49	0.586	263	6.48
Abb. 6.17(b) mit $N = 2$	0.64	42.9	1.11	0.213	42	1.77

Tab. 6.1: Vergleich der zwei Transformatorgeometrien, die Simulationsergebnisse aus Abb. 6.10 und Abb. 6.17(b)

Zusammenfassend kann gesagt werden, dass die in Abb. 4.11 gezeigte Struktur die besseren elektrischen Eigenschaften besitzt. Die in Abb. 6.17(a) gezeigte Struktur hingegen erfordert keine Anpassung des Layouts und kann in eine bestehende Struktur integriert werden. Die Auswirkung auf die Einschaltenergie muss in weiterführenden Simulationen und Messungen geprüft werden.

7 Zusammenfassung und Ausblick

7.1 Zusammenfassung

Im Rahmen dieser Arbeit wurde ein induktiv gekoppeltes Gateansteuerungsverfahren entwickelt, das es erlaubt, die Stromänderungsgeschwindigkeit während des Einschaltvorgangs des Transistors signifikant zu erhöhen. Dadurch war es möglich, die Einschaltverluste von verschiedenen Halbleiterbauelementen deutlich zu reduzieren. Das Gateansteuerungsverfahren nutzt einen Transformator, der Energie während des Einschaltens des Transistors vom Hauptstrompfad in den Steuerstrompfad überträgt. Der Transformator erlaubt es, den Gatestrom zu erhöhen, wodurch die Stromänderungsgeschwindigkeit des Schaltstroms bzw. die Schaltgeschwindigkeit insgesamt steigt. Die Ansteuerung des Transistors erfolgt durch einen gewöhnlichen Gatetreiber-IC. Der Schaltvorgang wird lediglich während des Einschaltens unterstützt.

Die signifikante Einschaltenergieerduzierung durch die Erhöhung der Schaltgeschwindigkeit kann durch die Ausnutzung Induktivitäten der AVT begründet werden. Um diesen Sachverhalt zu verdeutlichen, wurden im Rahmen dieser Arbeit die Auswirkungen parasitärer Kapazitäten und parasitärer Induktivitäten, die direkten Einfluss auf den Einschaltvorgang haben, systematisch untersucht. Beispielsweise konnte gezeigt werden, dass die Drain-Gate-Kapazität des Transistors durch den Spannungsabfall über der parasitären Induktivität der Leistungsschleife die Stromanstiegsgeschwindigkeit des Schaltstroms limitiert. Der Spannungsabfall über der Induktivität der Leistungsschleife führt zu einem Ausgleichsstrom der Drain-Gate-Kapazität. Im Gegenzug reduziert sich die Anstiegsgeschwindigkeit der Gate-Source-Spannung, was zu einem langsameren Einschalten des Transistors führt. Um den Schaltvorgang zu beschleunigen, muss der Gatestrom erhöht werden, dies ist aber durch den resistiven und induktiven Belag der Gateschleife limitiert.

Basierend auf diesen Wirkzusammenhängen wurde ein Gateansteuerungsverfahren entwickelt, das die Stromänderung des Schaltstroms nutzt, um den Gatestrom zu erhöhen. Dazu wurde ein kernloser Transformator auf der Leiterplatte implementiert, der Energie aus dem Hauptstromkreis in den Steuerstromkreis überträgt. Der Einfluss der Transformatorgeometrie auf das Schaltverhalten des Transistors wurde untersucht und Designrichtlinien des Transformators herausgearbeitet. Bei dem Gateansteuerungsverfahren handelt es sich um ein selbstverstärkendes System, das durch unzulässig hohe Gate-Source-Spannungen zur Schädigung des Transistors führen kann. Dabei hat die Transformatorgeometrie wesentlichen Einfluss auf die Kurzschlussfestigkeit des Transistors.

Das Gateansteuerungsverfahren wurde für drei verschiedene Halbleitertechnologien getestet. Dabei wurden die gemessenen Einschaltenergien durch eine Messung eines Aufwärtswandlers verifiziert. Für einen GaN-HEMT konnte die höchste Einschaltenergieerduzierung von 78 % für eine Spannung von 500 V und einen Schaltstrom von 60 A erreicht werden. Durch den Einsatz des Gateansteuerungsverfahrens konnte die Ausgangsleistung eines Aufwärtswandlers bei gleicher Sperrschichttemperatur um 35 % gesteigert werden. Ebenfalls wurde das Ausschaltverhalten des Transistors

untersucht. Hierbei zeigte sich für hohe Schaltströme ein parasitäres Schalten des Transistors. Um dieses parasitäre Schalten zu vermeiden, muss das Gateansteuerungsverfahren erweitert werden.

Im direkten Vergleich mit einer Spannung von 500 V und einem Schaltstrom von 30 A konnte für den SiC-MOSFET und den GaN-HEMT eine Einschaltenergieerduzierung von etwa 60 % erreicht werden. Hier ist die Einschaltenergie des GaN-HEMTs mit 14 μJ deutlich geringer als die des SiC-MOSFETs mit 76 μJ . Die Einschaltenergieerduzierung des SiC-MOSFETs konnte ebenfalls durch eine Aufwärtswandlerrmessung verifiziert werden. Durch den Einsatz des Gateansteuerungsverfahrens wurde die Ausgangsleistung des Wandlers um 23 % erhöht.

Des Weiteren wurde ein Si-MOSFET vermessen. Im Vergleich zu dem GaN-HEMT bzw. zu dem SiC-MOSFET konnte nur eine geringere Einschaltenergieerduzierung von 33 % verzeichnet werden. Die Ursache für diese geringere Einschaltenergieerduzierung ist die höhere Eingangskapazität des Transistors. Dieser Si-Transistor wurde in zwei verschiedenen Gehäusekonfigurationen vermessen. Dabei wurde gezeigt, dass die Common-Source-Induktivität des Gehäuses einen geringen Einfluss auf die prozentuale Einschaltenergieerduzierung durch das induktiv gekoppelte Gateansteuerungsverfahren hat.

Trotz der ersten positiven Ergebnisse hinsichtlich einer Einschaltenergieerduzierung kann dieses Ansteuerungsverfahren weiter optimiert und auf andere Topologien adaptiert werden. Beispielsweise kann dieses Verfahren für die Symmetrierung der Einschaltenergie bei gleichzeitiger Einschaltenergieerduzierung von parallel geschalteten Transistoren genutzt werden. Neben diesen Gesichtspunkten muss die Veränderung der EMV durch das Gateansteuerungsverfahren weiterführend analysiert werden.

7.2 Ausblick

Variation der Mitkopplung

Das *iFF*-Verfahren ist aufgrund der Mitkopplung durch den Transformator selbstverstärkend. Dies führt einerseits zu geringen Schaltverlusten, andererseits aber auch zu höheren Stromspitzen während des Einschaltens, wie in Abb. 4.6(b) und Abb. 5.3(b) gezeigt ist. Der Schaltvorgang kann auch mit dem *iFF*-Verfahren über den Gatevorwiderstand $R_{G,on}$ beeinflusst werden. Dieser Widerstand ist im Normalfall ein diskretes Bauteil ohne Einstellmöglichkeiten.

In [157] wurde eine Gatetreiberschaltung eingeführt, die es erlaubt, den Innenwiderstand des Gatetreiberinnenwiderstands mit einer zeitlichen Auflösung von 150 ps einzustellen. Diese Anpassung des Gatetreiberinnenwiderstands hat dieselbe Auswirkung wie eine Anpassung des Gatevorwiderstand $R_{G,on}$. Würde die Gatetreiberschaltung mit adaptivem Innenwiderstand nach [157] mit dem *iFF*-Verfahren kombiniert, könnte der Schaltvorgang durch das *iFF*-Verfahren beschleunigt werden und mit Hilfe des adaptiven Innenwiderstands der Schaltvorgang kontrolliert werden. Sinnvoll ist diese Kombination, da die Gatetreiberschaltung mit adaptivem Innenwiderstand auch einen endlichen Widerstand besitzt. Durch das *iFF*-Verfahren kann während des Schaltmoments der Gatestrom auf Werte erhöht werden, die durch eine Reduzierung des ohmschen Widerstands nicht möglich sind, da der Gateinnenwiderstand des Transistors den dominierenden Anteil des ohmschen Widerstands der Gateschleife darstellt.

Sicherer Zustand des nicht aktiven Schalters in Halbbrückenkonfiguration

Die in dieser Arbeit untersuchten Schaltungen sind Schaltung mit nur einem aktiven Schalter. Das heißt, die Schaltgeschwindigkeit des Transistors des in Abb. 2.1(a) gezeigten Aufwärtswandler wurde beschleunigt, und der Freilauf des Stroms i_L erfolgt über eine Diode. Wird diese Diode durch einen baugleichen Transistor ersetzt, kommt es aufgrund des Wirkmechanismus des *iFF*-Verfahrens zu einer Erhöhung des Umladestroms der Drain-Gate-Kapazität C_{DG} . Dieser Umladestrom wird durch die Spannungsänderung am Schaltknoten hervorgerufen. Aufgrund von parasitären Induktivitäten und eines endlichen Widerstands der Gateschleife kann es zu einem parasitären Schalten kommen.

Durch die Einführung eines zusätzlichen Transformators in den Ausschaltpfad des nicht aktiven Transistors könnte ein parasitäres Schalten ausgeschlossen bzw. die Wahrscheinlichkeit reduziert werden. Mit Hilfe des Transformators T kann der Ausgleichsstrom der Drain-Gate-Kapazität C_{DG} kompensiert und somit ein parasitäres Schalten verhindert werden. Dieser Ausgleichsstrom wird von der Umladung des Schaltknotens hervorgerufen. In Abb. 7.1 ist eine mögliche Realisierung gezeigt.

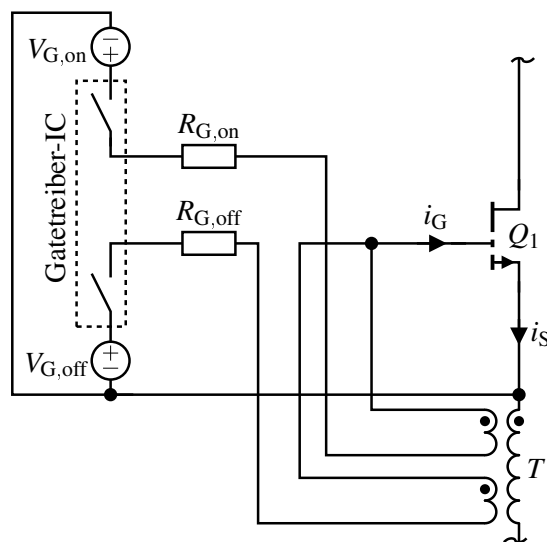


Abb. 7.1: *iFF*-Verfahren mit Erweiterung zum sicheren Ausschalten

Der Transformator T wird um einen weitere Wicklung erweitert. Dieser wird in den Ausschaltpfad des Transistors integriert. In Bezug auf das erwähnte Beispiel des Aufwärtswandlers handelt es sich bei dem in Abb. 7.1 gezeigten Schalter um den Diodenersatz.

Die in Abb. 7.1 eingeführte Erweiterung kann auch zum Unterstützen des Ausschaltvorgangs eingesetzt werden. In dem in dieser Arbeit gezeigten Beispiel war die Unterstützung des Ausschaltvorgangs von geringerer Bedeutung, da der Großteil der Verluste im Einschaltvorgang generiert wird.

Beeinflussung des EMV-Verhaltens

Durch das *iFF*-Verfahren ändert sich im Vergleich zum konventionellen Gatetreiber der Verlauf des Sourcestroms i_S und der Drain-Source-Spannung v_{DS} während des Einschaltens des Transistors. Die Änderung des Verlaufes von i_S und v_{DS} hat direkten Einfluss auf das EMV-Verhalten. Der Verlauf der Drain-Source-Spannung v_{DS} ist in Abb. 5.4 für den GaN-HEMT, in Abb. 5.15 für den

SiC-MOSFET und in Abb. 5.20 für den Si-MOSFET für unterschiedliche Schaltströme gezeigt. Im Besonderen für den GaN-HEMT und den SiC-MOSFET stellt sich ein gleichförmiges Absinken der Spannung v_{DS} ein. Zusätzlich ist dieses Absinken der Spannung für alle Schaltströme nahezu identisch, wie in Abb. 5.4 und Abb. 5.15 verdeutlicht ist. Dies steht im Gegensatz zu dem Verlauf der Spannung v_{DS} mit dem konventionellen Gatetreiber.

Dieses konstante Absinken der Spannung v_{DS} kann vorteilhaft bei der Auslegung des EMV-Filters sein. Das EMV-Filter kann dadurch für ein schmalbandigeres Frequenzband ausgelegt werden. Bei dieser Betrachtung muss aber auch der Ausschaltvorgang bedacht werden. Hierbei ist die Anstiegsgeschwindigkeit der Spannung v_{DS} vom Schaltstrom abhängig, wie in Abb. 5.8, Abb. 5.16 und Abb. 5.22 für die unterschiedlichen Halbleitertechnologien gezeigt ist. Die Veränderung des EMV-Verhaltens erfordert eine weiterführende Untersuchung.

Allgemeine Konventionen

- Komplexe Größen werden durch Unterstriche gekennzeichnet.
- Matrizen und Vektoren werden in fett geschrieben.
- Als Dezimaltrennzeichen wird ein Punkt „.“ verwendet.

Literaturverzeichnis

- [1] WantStats Research and Media Pvt. Ltd., “Power electronics market research report-global forecast to 2023,” September 2018. [Online]. Verfügbar unter: <https://www.marketresearchfuture.com/reports/power-electronics-market-1069> Abgerufen: 25.09.2018.
- [2] PS Market Research, “Global power electronics market size, share, development, growth and demand forecast to 2022 - industry insights by device (power discrete, power modules, power IC), by end-user (consumer electronics, automotive, industrial, power and energy, ICT, aerospace and defense, others), by voltage (low voltage, medium voltage, high voltage, very high voltage),” März 2017. [Online]. Verfügbar unter: <https://www.psmarketresearch.com/market-analysis/power-electronics-market> Abgerufen: 25.09.2018.
- [3] MarketsandMarkets Research Private Ltd., “Power electronics market by material (silicon, SiC, GaN, sapphire), device type (discrete, module, and IC), vertical (ICT, consumer electronics, power, industrial, automotive, and aerospace and defense), and geography - global forecast to 2022,” Februar 2017. [Online]. Verfügbar unter: <https://www.marketsandmarkets.com/Market-Reports/power-electronics-market-204729766.html> Abgerufen: 25.09.2018.
- [4] U.S. Energy Information Administration, “International energy outlook 2017,” September 2017. [Online]. Verfügbar unter: [https://www.eia.gov/outlooks/ieo/pdf/0484\(2017\).pdf](https://www.eia.gov/outlooks/ieo/pdf/0484(2017).pdf) Abgerufen: 25.09.2018.
- [5] British Petroleum BP p.l.c., “BP energy outlook - 2018,” 2018. [Online]. Verfügbar unter: <https://www.bp.com/content/dam/bp/en/corporate/pdf/energy-economics/energy-outlook/bp-energy-outlook-2018.pdf> Abgerufen: 25.09.2018.
- [6] D. Han, C. T. Morris, W. Lee, und B. Sarlioglu, “A case study on common mode electromagnetic interference characteristics of GaN HEMT and Si MOSFET power converters for EV/HEVs,” *IEEE Trans. Transportation Electrification*, Bd. 3, Nr. 1, S. 168–179, März 2017.
- [7] M. Ando und K. Wada, “Design of acceptable stray inductance based on scaling method for power electronics circuits,” *IEEE Journal of Emerging and Selected Topics in Power Electronics*, Bd. 5, Nr. 1, S. 568–575, März 2017.
- [8] D. Han und B. Sarlioglu, “Comprehensive study of the performance of SiC MOSFET-based automotive DC-DC converter under the influence of parasitic inductance,” *IEEE Trans. on Industry Applications*, Bd. 52, Nr. 6, S. 5100–5111, November 2016.
- [9] D. Reusch und J. Strydom, “Understanding the effect of PCB layout on circuit performance in a high-frequency gallium-nitride-based point of load converter,” *IEEE Trans. on Power Electronics*, Bd. 29, Nr. 4, S. 2008–2015, April 2014.

- [10] A. Sagehashi, K. Kusaka, K. Orikawa, J. i. Itoh, und A. Momma, "Pattern design criteria of main circuit using printed circuit boards for parasitic inductance reduction," in *Proc. 16th International Power Electronics and Motion Control Conference and Exposition*, September 2014, S. 569–574.
- [11] N. Oswald, P. Anthony, N. McNeill, und B. H. Stark, "An experimental investigation of the tradeoff between switching losses and EMI generation with hard-switched all-Si, Si-SiC, and all-SiC device combinations," *IEEE Trans. on Power Electronics*, Bd. 29, Nr. 5, S. 2393–2407, Mai 2014.
- [12] I. Josifovic, J. Popovic-Gerber, und J. A. Ferreira, "Improving SiC JFET switching behavior under influence of circuit parasitics," *IEEE Trans. on Power Electronics*, Bd. 27, Nr. 8, S. 3843–3854, August 2012.
- [13] D. Domes, R. Bayerer, und A. Herbrandt, "Overall low inductance module concept for maximum system performance," in *Proc. 15th International Power Electronics and Motion Control Conference*, September 2012, S. DS1a.10–1–DS1a.10–5.
- [14] R. Bayerer und D. Domes, "Power circuit design for clean switching," in *Proc. 6th International Conference on Integrated Power Electronics Systems*, März 2010.
- [15] M. Pavier, A. Sawle, A. Woodworth, R. Monteiro, J. Chiu, und C. Blake, "High frequency DC:DC power conversion: the influence of package parasitics," in *Proc. IEEE Applied Power Electronics Conference and Exposition*, Bd. 2, Februar 2003, S. 699–704.
- [16] R. M. Burkart und J. W. Kolar, "Comparative η - ρ - σ pareto optimization of Si and SiC multilevel dual-active-bridge topologies with wide input voltage range," *IEEE Trans. on Power Electronics*, Bd. 32, Nr. 7, S. 5258–5270, Juli 2017.
- [17] J. W. Kolar, D. Bortis, und D. Neumayr, "The ideal switch is not enough," in *Proc. 28th International Symposium on Power Semiconductor Devices and ICs*, Juni 2016, S. 15–22.
- [18] K. George und S. Ang, "Topology survey for GaN-based high voltage step-down single-input multi-output DC-DC converter systems," in *Proc. IEEE 4th Workshop on Wide Band-gap Power Devices and Applications*, November 2016, S. 340–343.
- [19] G. Deboy, M. Treu, O. Haeberlen, und D. Neumayr, "Si, SiC and GaN power devices: An unbiased view on key performance indicators," in *Proc. IEEE International Electron Devices Meeting*, Dezember 2016, S. 20.2.1–20.2.4.
- [20] M. T. Outeiro, G. Buja, und D. Czarkowski, "Resonant power converters: An overview with multiple elements in the resonant tank network," *IEEE Industrial Electronics Magazine*, Bd. 10, Nr. 2, S. 21–45, Juni 2016.
- [21] C. Bhuvaneshwari und R. S. R. Babu, "A review on LLC resonant converter," in *Proc. International Conference on Computation of Power, Energy Information and Communication*, April 2016, S. 620–623.
- [22] M. S. Agamy, M. E. Dame, J. Dai, X. Li, P. M. Cioffi, R. L. Sellick, und R. K. Gupta, "Resonant converter building blocks for high power, high voltage applications," in *Proc. IEEE Applied Power Electronics Conference and Exposition*, März 2015, S. 2116–2121.
- [23] A. Hillers, D. Christen, und J. Biela, "Design of a highly efficient bidirectional isolated LLC resonant converter," in *Proc. 15th International Power Electronics and Motion Control Conference*, September 2012, S. DS2b.13–1–DS2b.13–8.

-
- [24] C. Adragna, S. D. Simone, und C. Spini, "A design methodology for LLC resonant converters based on inspection of resonant tank currents." in *Proc. IEEE Applied Power Electronics Conference and Exposition*, Februar 2008, S. 1361–1367.
- [25] K. H. Liu, R. Oruganti, und F. C. Y. Lee, "Quasi-resonant converters-topologies and characteristics," *IEEE Trans. on Power Electronics*, Bd. PE-2, Nr. 1, S. 62–71, Januar 1987.
- [26] G. Chen, Y. Deng, Y. Tao, X. He, Y. Wang, und Y. Hu, "Topology derivation and generalized analysis of zero-voltage-switching synchronous DC-DC converters with coupled inductors," *IEEE Trans. on Industrial Electronics*, Bd. 63, Nr. 8, S. 4805–4815, August 2016.
- [27] J. Wittmann, A. Barner, T. Rosahl, und B. Wicht, "An 18V input 10MHz buck converter with 125ps mixed-signal dead time control," *IEEE Journal of Solid-State Circuits*, Bd. 51, Nr. 7, S. 1705–1715, Juli 2016.
- [28] Z. Yu, H. Kapels, und K. F. Hoffmann, "High efficiency bidirectional DC-DC converter with wide input and output voltage ranges for battery systems," in *Proc. International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Mai 2015.
- [29] M. Ebli, M. Wattenberg, und M. Pfof, "A high-efficiency bidirectional GaN-HEMT DC/DC converter," *Proc. International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, S. 210–215, Mai 2016.
- [30] N. S. Ting, I. Aksoy, und Y. Sahin, "ZVT-PWM DC-DC boost converter with active snubber cell," *IET Power Electronics*, Bd. 10, Nr. 2, S. 251–260, Februar 2017.
- [31] M. Ebli, M. Engel, und M. Pfof, "An experimental study of a zero voltage switching SiC boost converter with an active snubber network," in *Proc. International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Mai 2015.
- [32] J. W. Yang und H. L. Do, "Soft-switching bidirectional DC-DC converter using a lossless active snubber," *IEEE Trans. on Circuits and Systems I: Regular Papers*, Bd. 61, Nr. 5, S. 1588–1596, May 2014.
- [33] G. Yao, A. Chen, und X. He, "Soft switching circuit for interleaved boost converters," *IEEE Trans. on Power Electronics*, Bd. 22, Nr. 1, S. 80–86, Januar 2007.
- [34] M. L. da Silva Martins, J. L. Russi, und H. L. Hey, "Novel design methodology and comparative analysis for ZVT PWM converters with resonant auxiliary circuit," *IEEE Trans. on Industry Applications*, Bd. 42, Nr. 3, S. 779–796, Mai 2006.
- [35] B. Ivanovic und Z. Stojiljkovic, "A novel active soft switching snubber designed for boost converter," *IEEE Trans. on Power Electronics*, Bd. 19, Nr. 3, S. 658–665, Mai 2004.
- [36] R. Streit und D. Tollik, "High efficiency telecom rectifier using a novel soft-switched boost-based input current shaper," in *Proc. 13th International Telecommunications Energy Conference*, November 1991, S. 720–726.
- [37] G. Adinolfi, G. Graditi, P. Siano, und A. Piccolo, "Multiobjective optimal design of photovoltaic synchronous boost converters assessing efficiency, reliability, and cost savings," *IEEE Trans. on Industrial Informatics*, Bd. 11, Nr. 5, S. 1038–1048, Oktober 2015.

- [38] H. Wang, M. Liserre, und F. Blaabjerg, "Toward reliable power electronics: Challenges, design tools, and opportunities," *IEEE Industrial Electronics Magazine*, Bd. 7, Nr. 2, S. 17–26, Juni 2013.
- [39] S. E. D. León-Aldaco, H. Calleja, F. Chan, und H. R. Jiménez-Grajales, "Effect of the mission profile on the reliability of a power converter aimed at photovoltaic applications - a case study," *IEEE Trans. on Power Electronics*, Bd. 28, Nr. 6, S. 2998–3007, Juni 2013.
- [40] G. Graditi, G. Adinolfi, N. Femia, und M. Vitelli, "Comparative analysis of synchronous rectification boost and diode rectification boost converter for DMPPT applications," in *Proc. IEEE International Symposium on Industrial Electronics*, Juni 2011, S. 1000–1005.
- [41] G. Graditi, D. Colonnese, und N. Femia, "Efficiency and reliability comparison of DC-DC converters for single phase grid connected photovoltaic inverters," in *Proc. International Symposium on Power Electronics, Electrical Drives, Automation and Motion*, Juni 2010, S. 140–147.
- [42] S. A. Ikpe, J. M. Lauenstein, G. A. Carr, D. Hunter, L. L. Ludwig, W. Wood, C. J. Iannello, L. Y. D. Castillo, F. D. Fitzpatrick, M. M. Mojarradi, und Y. Chen, "Long-term reliability of a hard-switched boost power processing unit utilizing SiC power MOSFETs," in *Proc. IEEE International Reliability Physics Symposium*, April 2016, S. ES–1–1–ES–1–8.
- [43] C. Abbate, G. Busatto, F. Iannuzzo, S. Mattiazzo, A. Sanseverino, L. Silvestrin, D. Tedesco, und F. Velardi, "Experimental study of single event effects induced by heavy ion irradiation in enhancement mode GaN power HEMT," *Microelectronics Reliability*, Bd. 55, Nr. 910, S. 1496 – 1500, August 2015.
- [44] C. Abbate, G. Busatto, P. Cova, N. Delmonte, F. Giuliani, F. Iannuzzo, A. Sanseverino, und F. Velardi, "Analysis of heavy ion irradiation induced thermal damage in SiC Schottky diodes," *IEEE Trans. on Nuclear Science*, Bd. 62, Nr. 1, S. 202–209, Februar 2015.
- [45] T. Shoji, S. Nishida, K. Hamada, und H. Tadano, "Cosmic ray neutron-induced single-event burnout in power devices," *IET Power Electronics*, Bd. 8, Nr. 12, S. 2315–2321, Dezember 2015.
- [46] E. Mizuta, S. Kuboyama, H. Abe, Y. Iwata, und T. Tamura, "Investigation of single-event damages on silicon carbide (SiC) power MOSFETs," *IEEE Trans. on Nuclear Science*, Bd. 61, Nr. 4, S. 1924–1928, August 2014.
- [47] G. Consentino, M. Laudani, G. Privitera, C. Pace, C. Giordano, J. Hernandez, und M. Mazzeo, "Effects on power transistors of terrestrial cosmic rays: Study, experimental results and analysis," in *Proc. IEEE Applied Power Electronics Conference and Exposition*, März 2014, S. 2582–2587.
- [48] S. Stoffels, M. Mélotte, M. Haussy, R. Venegas, D. Marcon, M. V. Hove, und S. Decoutere, "Stability evaluation of insulated gate AlGaN/GaN power switching devices under heavy-ion irradiation," *IEEE Trans. on Nuclear Science*, Bd. 60, Nr. 4, S. 2712–2719, August 2013.
- [49] K. Wang, L. Wang, X. Yang, X. Zeng, W. Chen, und H. Li, "A multiloop method for minimization of parasitic inductance in GaN-based high-frequency DC/DC converter," *IEEE Trans. on Power Electronics*, Bd. 32, Nr. 6, S. 4728–4740, Juni 2017.

-
- [50] W. Kangping, M. Huan, L. Hongchang, G. Yixuan, Y. Xu, Z. Xiangjun, and Y. Xiaoling, "An optimized layout with low parasitic inductances for GaN HEMTs based DC-DC converter," in *Proc. IEEE Applied Power Electronics Conference and Exposition*, März 2015, S. 948–951.
- [51] K. K. M. Siu, M. K. H. Cheung, and F. P. Stückler, "Performance analysis of package parasitic inductances for fast switching MOSFET in converter," in *Proc. International Power Electronics and Application Conference and Exposition*, November 2014, S. 314–319.
- [52] J. Wang, H. S.-h. Chung, and R. T.-h. Li, "Characterization and experimental assessment of the effects of parasitic elements on the MOSFET switching performance," *IEEE Trans. on Power Electronics*, Bd. 28, S. 573–590, Januar 2013.
- [53] K. Yatsugi, K. Nomura, and Y. Hattori, "Analytical technique for designing an RC snubber circuit for ringing suppression in a phase-leg configuration," *IEEE Trans. on Power Electronics*, Bd. 33, Nr. 6, S. 4736–4745, Juni 2018.
- [54] Z. Chen, Y. Yao, D. Boroyevich, K. Ngo, and P. Mattavelli, "Exploration of a switching loop snubber for parasitic ringing suppression," in *Proc. IEEE Energy Conversion Congress and Exposition*, September 2014, S. 1605–1612.
- [55] R. A. Wood und T. E. Salem, "Evaluation of a 1200-V, 800-A all-SiC dual module," *IEEE Trans. on Power Electronics*, Bd. 26, Nr. 9, S. 2504–2511, September 2011.
- [56] K. Takao und S. Kyogoku, "Ultra low inductance power module for fast switching SiC power devices," in *Proc. IEEE 27th International Symposium on Power Semiconductor Devices IC's*, Mai 2015, S. 313–316.
- [57] H. Kono, K. Takao, T. Suzuki, and T. Shinohe, "High-speed and low switching loss operation of 1700 V 60 A SiC MOSFETs installed in low parasitic inductance module," in *Proc. IEEE 26th International Symposium on Power Semiconductor Devices IC's*, Juni 2014, S. 289–292.
- [58] K. Takao, T. Shinohe, T. Yamamoto, K. Hasegawa, and M. Ishida, "1200 V-360 A SiC power module with phase leg clustering concept for low parasitic inductance and high speed switching," in *Proc. 8th International Conference on Integrated Power Electronics Systems*, Februar 2014.
- [59] W. Zhang, Z. Zhang, F. Wang, D. Costinett, L. Tolbert, and B. Blalock, "Common source inductance introduced self-turn-on in MOSFET turn-off transient," in *Proc. IEEE Applied Power Electronics Conference and Exposition*, März 2017, S. 837–842.
- [60] R. Matsumoto, K. Aikawa, A. Konishi, K. Umetami, and E. Hiraki, "Evaluation of impact of parasitic magnetic coupling in PCB layout on common source inductance of surface mounted package," in *Proc. IEEE 12th International Conference on Power Electronics and Drive Systems*, Dezember 2017, S. 559–566.
- [61] D. Peftitsis und J. Rabkowski, "Gate and base drivers for silicon carbide power transistors: An overview," *IEEE Trans. on Power Electronics*, Bd. 31, Nr. 10, S. 7194–7213, Oktober 2016.
- [62] J. T. Strydom, M. A. de Rooij, und J. D. van Wyk, "A comparison of fundamental gate-driver topologies for high frequency applications," in *Proc. Applied Power Electronics Conference and Exposition*, Bd. 2, Februar 2004, S. 1045–1052.

- [63] I. W. Hofsjager, A. Melkonyan, M. Mantel, S. Round, und J. W. Kolar, "A simple, low cost gate drive method for practical use of SiC JFETs in SMPS," in *Proc. European Conference on Power Electronics and Applications*, September 2005, S. P.1–P.6.
- [64] D. Bortis, O. Knecht, D. Neumayr, und J. W. Kolar, "Comprehensive evaluation of GaN GIT in low- and high-frequency bridge leg applications," in *Proc. IEEE International Power Electronics and Motion Control Conference*, Mai 2016, S. 21–30.
- [65] S. Round, M. Heldwein, J. Kolar, I. Hofsjager, und P. Friedrichs, "A SiC JFET driver for a 5 kW, 150 kHz three-phase PWM converter," in *Proc. Industry Applications Conference*, Bd. 1, Oktober 2005, S. 410–416.
- [66] T. Oeder, A. Castellazzi, und M. Pfof, "Electrical and thermal failure modes of 600V p-gate GaN HEMTs," *Microelectronics Reliability*, Bd. 76-77, S. 321–326, Juni 2017.
- [67] Silicon Laboratories, *Si827x Data sheet - 4 Amp ISOdriver with High Transient (dV/dt) Immunity*, Februar 2016.
- [68] Infineon Technologies AG, *EiceDRIVER 1EDC Compact Single channel IGBT gate driver IC in wide body package*, Juli 2017.
- [69] Texas Instruments, *UCC27611 4-A and 6-A High-Speed 5-V Drive*, Dezember 2012, Überarbeitet März 2018.
- [70] ROHM Co., Ltd., *Isolation voltage 3750Vrms 1ch Gate Driver Providing Galvanic Isolation BM60015FV-LB*, Juli 2016.
- [71] Fairchild Semiconductor Corporation, *FAN73611-OP Single-Channel High-Side Gate Drive IC*, 2015.
- [72] J. Hackel, A. Seidel, J. Wittmann, und B. Wicht, "Capacitive gate drive signal transmission with transient immunity up to 300 V/ns," in *Proc. 15. ITG/GMM-Symposium ANALOG*, September 2016, S. 53–57.
- [73] N. Rouger, D. Colin, L. T. Le, und J. C. Crebier, "CMOS gate drivers with integrated optical interfaces for extremely fast power transistors," in *Proc. International Conference on Electrical Systems for Aircraft, Railway, Ship Propulsion and Road Vehicles International Transportation Electrification Conference*, November 2016.
- [74] S. Moench, P. Hillenbrand, P. Hengel, und I. Kallfass, "Pulsed measurement of sub-nanosecond 1000 V/ns switching 600 V GaN HEMTs using 1.5 GHz low-impedance voltage probe and 50 ohm scope," in *Proc. IEEE 5th Workshop on Wide Bandgap Power Devices and Applications*, Oktober 2017, S. 132–137.
- [75] A. Seidel und B. Wicht, "1.3A gate driver for GaN with fully integrated gate charge buffer capacitor delivering 11nC enabled by high-voltage energy storing," in *Proc. IEEE International Solid-State Circuits Conference*, Februar 2017, S. 432–433.
- [76] M. Hochberg, M. Sack, und G. Mueller, "A test environment for power semiconductor devices using a gate-boosting circuit," *IEEE Trans. on Plasma Science*, Bd. 44, Nr. 10, S. 2030 – 2034, Oktober 2016.
- [77] M. Cenusa, G. Cretu, und M. Pfof, "Adaptive, iterative closed-loop control for the turn-on of IGBTs with improved efficiency," in *Proc. 9th International Conference on Integrated Power Electronics Systems*, März 2016, S. 1–6.

-
- [78] J. Rabkowski, D. Pefitsis, und H. P. Nee, "Parallel-operation of discrete SiC BJTs in a 6-kW/250-kHz DC/DC boost converter," *IEEE Trans. on Power Electronics*, Bd. 29, Nr. 5, S. 2482–2491, Mai 2014.
- [79] M. Cenusă, G. Cretu, und M. Pfof, "An improved method of controlling IGBT modules using an optimized gate current waveform," in *Proc. 8th International Conference on Integrated Power Electronics Systems*, Februar 2014.
- [80] J. Rabkowski, G. Tolstoy, D. Pefitsis, und H. P. Nee, "Low-loss high-performance base-drive unit for SiC BJTs," *IEEE Trans. on Power Electronics*, Bd. 27, Nr. 5, S. 2633–2643, Mai 2012.
- [81] Y. Sun, L. Sun, A. Esmali, und K. Zhao, "A novel three stage drive circuit for IGBT," in *Proc. IEEE Conference on Industrial Electronics and Applications*, Mai 2006.
- [82] S. Takizawa, S. Igarashi, und K. Kuroki, "A new di/dt control gate drive circuit for IGBTs to reduce EMI noise and switching losses," in *Proc. Power Electronics Specialists Conference*, Bd. 2, Mai 1998, S. 1443–1449.
- [83] N. Idir, R. Bausiere, und J. Jacques, "Active gate voltage control of turn-on di/dt and turn-off dv/dt in insulated gate transistors," *IEEE Trans. on Power Electronics*, Bd. 21, Nr. 4, S. 849–855, Juli 2006.
- [84] Y. Noge und R. Igarashi, "A survey of circuit configurations and experimental verification of a resonant gate drive circuit," in *Proc. IEEE 8th International Power Electronics and Motion Control Conference*, Mai 2016, S. 3408–3413.
- [85] J. C. Crebier, M. H. Tran, J. Barbaroux, und P. O. Jeannin, "Implementation and operational investigations of bipolar gate drivers," in *Proc. IEEE Applied Power Electronics Conference and Exposition*, Februar 2010, S. 248–255.
- [86] G. Spiazzi, P. Mattavelli, und L. Rossetto, "Effects of parasitic components in high-frequency resonant drivers for synchronous rectification MOSFETs," *IEEE Trans. on Power Electronics*, Bd. 23, Nr. 4, S. 2082–2092, Juli 2008.
- [87] T. Lopez und R. Elferich, "Quality factor in resonant gate drivers," in *Proc. IEEE Power Electronics Specialists Conference*, Juni 2007, S. 2819–2825.
- [88] J. V. P. S. Chennu, R. Maheshwari, und H. Li, "A new resonant gate drive circuit for high frequency application of silicon carbide MOSFETs," *IEEE Trans. on Industrial Electronics*, Bd. 64, Nr. 10, S. 8277 – 8287, März 2017.
- [89] I. A. Mashhadi, R. R. Khorasani, E. Adib, und H. Farzanehfard, "A discontinuous current-source gate driver with gate voltage boosting capability," *IEEE Trans. on Industrial Electronics*, Bd. 64, Nr. 7, S. 5333 – 5341, Februar 2017.
- [90] I. A. Mashhadi, E. Ovaysi, E. Adib, und H. Farzanehfard, "A novel current-source gate driver for ultra-low-voltage applications," *IEEE Trans. on Industrial Electronics*, Bd. 63, Nr. 8, S. 4796–4804, August 2016.
- [91] P. Anthony, N. McNeill, und D. Holliday, "High-speed resonant gate driver with controlled peak gate voltage for silicon carbide MOSFETs," *IEEE Trans. on Industry Applications*, Bd. 50, Nr. 1, S. 573–583, Januar 2014.
- [92] R. Chen und F. Z. Peng, "A high-performance resonant gate-drive circuit for MOSFETs and IGBTs," *IEEE Trans. on Power Electronics*, Bd. 29, Nr. 8, S. 4366–4373, August 2014.

- [93] Y. Long, W. Zhang, B. Blalock, L. Tolbert, und F. Wang, "A 10-MHz resonant gate driver design for LLC resonant DC-DC converters using GaN devices," in *Proc. IEEE Applied Power Electronics Conference and Exposition*, März 2014, S. 2093–2097.
- [94] N. Teerakawanich und C. M. Johnson, "A new resonant gate driver with bipolar gate voltage and gate energy recovery," in *Proc. IEEE Applied Power Electronics Conference and Exposition*, März 2013, S. 2424–2428.
- [95] M. M. Swamy, T. Kume, und N. Takada, "An efficient resonant gate-drive scheme for high-frequency applications," *IEEE Trans. on Industry Applications*, Bd. 48, Nr. 4, S. 1418–1431, Juli 2012.
- [96] Z. Zhang, J. Fu, Y. F. Liu, und P. C. Sen, "Switching loss analysis considering parasitic loop inductance with current source drivers for buck converters," *IEEE Trans. on Power Electronics*, Bd. 26, Nr. 7, S. 1815–1819, Juli 2011.
- [97] ———, "Discontinuous-current-source drivers for high-frequency power MOSFETs," *IEEE Trans. on Power Electronics*, Bd. 25, Nr. 7, S. 1863–1876, Juli 2010.
- [98] ———, "Comparison of continuous and discontinuous current source drivers for high frequency applications," in *Proc. IEEE Energy Conversion Congress and Exposition*, September 2010, S. 2434–2440.
- [99] ———, "A new discontinuous current source driver for high frequency power MOSFETs," in *Proc. IEEE Energy Conversion Congress and Exposition*, September 2009, S. 1655–1662.
- [100] S. Pan und P. Jain, "A new pulse resonant MOSFET gate driver with efficient energy recovery," in *Proc. IEEE Power Electronics Specialists Conference*, Juni 2006.
- [101] H. Wang und F. Wang, "A self-powered resonant gate driver for high power MOSFET modules," in *Proc. IEEE Applied Power Electronics Conference and Exposition*, März 2006, S. 183–188.
- [102] P. Dwane, D. O. Sullivan, und M. G. Egan, "An assessment of resonant gate drive techniques for use in modern low power DC-DC converters," in *Proc. IEEE Applied Power Electronics Conference and Exposition*, Bd. 3, März 2005, S. 1572–1580.
- [103] P. Dwane, D. O'Sullivan, und M. G. Egan, "A resonant high side gate driver for low voltage applications," in *Proc. IEEE 36th Power Electronics Specialists Conference*, Juni 2005, S. 1979–1985.
- [104] T. Lopez, G. Sauerlaender, T. Duerbaum, und T. Tolle, "A detailed analysis of a resonant gate driver for PWM applications," in *Proc. Applied Power Electronics Conference and Exposition*, Bd. 2, Februar 2003, S. 873–878.
- [105] I. D. de Vries, "A resonant power MOSFET/IGBT gate driver," in *Proc. IEEE Applied Power Electronics Conference and Exposition*, Bd. 1, März 2002, S. 179–185.
- [106] D. Maksimovic, "A MOS gate drive with resonant transitions," in *Proc. IEEE Power Electronics Specialists Conference*, Juni 1991, S. 527–532.
- [107] N. Badawi, P. Knieling, und S. Dieckerhoff, "High-speed gate driver design for testing and characterizing WBG power transistors," in *Proc. 15th International Power Electronics and Motion Control Conference*, September 2012, S. LS6d.4–1–LS6d.4–6.

-
- [108] B. Wang, N. Tipirneni, M. Riva, A. Monti, G. Simin, and a. E. Santi, “An efficient high-frequency drive circuit for GaN power HFETs,” *IEEE Trans. on Industry Applications*, Bd. 45, Nr. 2, S. 843–853, März 2009.
- [109] B. Wang, A. Monti, und M. Riva, “A high-speed H-bridge circuit based on GaN HFETs and custom resonant gate drivers,” in *Proc. IEEE Energy Conversion Congress and Exposition*, September 2009, S. 973–978.
- [110] Y. Chen, F. C. Lee, L. Amoroso, und H.-P. Wu, “A resonant MOSFET gate driver with efficient energy recovery,” *IEEE Trans. on Power Electronics*, Bd. 19, Nr. 2, S. 470–477, März 2004.
- [111] M. Okamoto, T. Ishibashi, H. Yamada, und T. Tanaka, “Resonant gate driver for a normally on GaN HEMT,” *IEEE Journal of Emerging and Selected Topics in Power Electronics*, Bd. 4, Nr. 3, S. 926–934, September 2016.
- [112] T. Ishibashi, M. Okamoto, E. Hiraki, T. Tanaka, T. Hashizume, und T. Kachi, “Resonant gate driver for normally-on GaN high-electron-mobility transistor,” in *Proc. 5th IEEE Annual International Energy Conversion Congress and Exhibition*, Juni 2013, S. 365–371.
- [113] B. Wrzecionko, S. Käch, D. Bortis, J. Biela, und J. W. Kolar, “Novel AC coupled gate driver for ultra fast switching of normally-off SiC JFETs,” in *Proc. 36th Annual Conference on IEEE Industrial Electronics Society*, November 2010, S. 605–612.
- [114] M. P. Theodoridis und S. V. Mollov, “Robust MOSFET driver for rf, class-D inverters,” *IEEE Trans. on Industrial Electronics*, Bd. 55, Nr. 2, S. 731–740, Februar 2008.
- [115] L. Liu, Y. Ma, X. Xie, C. Zhao, W. Yao, und Z. Qian, “A new resonant gate driver for low voltage synchronous buck converter based on topologies optimization,” in *Proc. IEEE Applied Power Electronics Conference and Exposition*, Februar 2008, S. 1067–1072.
- [116] B. Arntzen und D. Maksimovic, “Switched-capacitor DC/DC converters with resonant gate drive,” *IEEE Trans. on Power Electronics*, Bd. 13, Nr. 5, S. 892–902, September 1998.
- [117] J. M. Jarrouse, E. Laboure, F. Costa, und P. Thomas, “Gate driver with efficient energy recovery for a 3 MHz resonant converter,” in *Proc. European Conference on Power Electronics and Applications*, September 2005, S. P.1–P.10.
- [118] J. Diaz, M. A. Perez, F. M. Linera, und F. Aldana, “A new lossless power MOSFET driver based on simple DC/DC converters,” in *Proc. IEEE Power Electronics Specialists Conference*, Bd. 1, Juni 1995, S. 37–43.
- [119] H. L. N. Wiegman, “A resonant pulse gate drive for high frequency applications,” in *Proc. Applied Power Electronics Conference and Exposition*, Februar 1992, S. 738–743.
- [120] S. H. Weinberg, “A novel lossless resonant MOSFET driver,” in *Proc. IEEE Power Electronics Specialists Conference*, Juni 1992, S. 1003–1010.
- [121] J. H. R. Enslin und S. J. B. Hartman, “A novel isolated, compensated darlington based-drive configuration,” in *Proc. IEEE Industry Applications Society Annual Meeting*, September 1991, S. 939–945.
- [122] P. H. Swanepoel, J. D. van Wyk, und J. J. Schoeman, “Transformer-coupled direct base drive technology for high-power, high-voltage, bipolar transistor PWM converters,” *IEEE Trans. on Industry Applications*, Bd. 25, Nr. 6, S. 1158–1166, November 1989.

- [123] R. B. Prest und J. D. van Wyk, "Pulsed transformer base drives for high-efficiency high-current low-voltage switches," *IEEE Trans. on Power Electronics*, Bd. 3, Nr. 2, S. 137–146, April 1988.
- [124] Y. Long, W. Zhang, D. Costinett, B. B. Blalock, und L. L. Jenkins, "A high-frequency resonant gate driver for enhancement-mode GaN power devices," in *Proc. IEEE Applied Power Electronics Conference and Exposition*, März 2015, S. 1961–1965.
- [125] H. Fujita, "A resonant gate-drive circuit with optically isolated control signal and power supply for fast-switching and high-voltage power semiconductor devices," *IEEE Trans. on Power Electronics*, Bd. 28, Nr. 11, S. 5423–5430, November 2013.
- [126] A. Grekov, H. A. Mohammadpour, E. Santi, und A. Mantooth, "Design considerations for half- and full-bridge resonant gate drive topologies," in *Proc. 4th IEEE International Symposium on Power Electronics for Distributed Generation Systems*, Juli 2013.
- [127] J. Fu, Z. Zhang, Y. F. Liu, P. C. Sen, und L. Ge, "A new high efficiency current source driver with bipolar gate voltage," *IEEE Trans. on Power Electronics*, Bd. 27, Nr. 2, S. 985–997, Februar 2012.
- [128] M. Bathily, B. Allard, und F. Hasbani, "A 200-MHz integrated buck converter with resonant gate drivers for an RF power amplifier," *IEEE Trans. on Power Electronics*, Bd. 27, Nr. 2, S. 610–613, Februar 2012.
- [129] P. Anthony, N. McNeill, und D. Holliday, "A first approach to a design method for resonant gate driver architectures," *IEEE Trans. on Power Electronics*, Bd. 27, Nr. 8, S. 3855–3868, August 2012.
- [130] H. Fujita, "A resonant gate-drive circuit capable of high-frequency and high-efficiency operation," *IEEE Trans. on Power Electronics*, Bd. 25, Nr. 4, S. 962–969, April 2010.
- [131] X. Zhou, Z. Liang, und A. Huang, "A new resonant gate driver for switching loss reduction of high side switch in buck converter," in *Proc. IEEE Applied Power Electronics Conference and Exposition*, Februar 2010, S. 1477–1481.
- [132] M. Bathily, B. Allard, J. Verdier, und F. Hasbani, "Resonant gate drive for silicon integrated DC/DC converters," in *Proc. IEEE Energy Conversion Congress and Exposition*, September 2009, S. 3876–3880.
- [133] W. Eberle, Y. F. Liu, und P. C. Sen, "A new resonant gate-drive circuit with efficient energy recovery and low conduction loss," *IEEE Trans. on Industrial Electronics*, Bd. 55, Nr. 5, S. 2213–2221, Mai 2008.
- [134] W. Eberle, Z. Zhang, Y. F. Liu, und P. C. Sen, "A current source gate driver achieving switching loss savings and gate energy recovery at 1-MHz," *IEEE Trans. on Power Electronics*, Bd. 23, Nr. 2, S. 678–691, März 2008.
- [135] ———, "A high efficiency synchronous buck VRM with current source gate driver," in *Proc. IEEE Power Electronics Specialists Conference*, Juni 2007, S. 21–27.
- [136] W. Eberle, P. C. Sen, und Y.-F. Liu, "A novel high performance resonant gate drive circuit with low circulating current," in *Proc. IEEE Applied Power Electronics Conference and Exposition*, März 2006, S. 324–330.

-
- [137] Z. Zhang, J. Fu, Y. F. Liu, and P. C. Sen, "Adaptive current source drivers for efficiency optimization of high-frequency synchronous buck converters," *IEEE Trans. on Power Electronics*, Bd. 27, Nr. 5, S. 2462–2470, Mai 2012.
- [138] Z. Zhang, W. Eberle, P. Lin, Y. F. Liu, and P. C. Sen, "A 1-MHz high-efficiency 12-V buck voltage regulator with a new current-source gate driver," *IEEE Trans. on Power Electronics*, Bd. 23, Nr. 6, S. 2817–2827, November 2008.
- [139] Z. Zhang, W. Eberle, Z. Yang, Y. F. Liu, and P. C. Sen, "Optimal design of resonant gate driver for buck converter based on a new analytical loss model," *IEEE Trans. on Power Electronics*, Bd. 23, Nr. 2, S. 653–666, März 2008.
- [140] S. Pan und P. K. Jain, "A new resonant gate driver with two half bridge structures for both top switch and bottom switch," in *2007 IEEE Power Electronics Specialists Conference*, June 2007, S. 742–747.
- [141] Z. Yang, S. Ye, and Y. F. Liu, "A new resonant gate drive circuit for synchronous buck converter," *IEEE Trans. on Power Electronics*, Bd. 22, Nr. 4, S. 1311–1320, Juli 2007.
- [142] Z. Zhang, Z. Yang, S. Ye, and Y. F. Liu, "Topology and analysis of a new resonant gate driver," in *Proc. IEEE Power Electronics Specialists Conference*, Juni 2006.
- [143] K. Yao und F. C. Lee, "A novel resonant gate driver for high frequency synchronous buck converters," *IEEE Trans. on Power Electronics*, Bd. 17, Nr. 2, S. 180–186, März 2002.
- [144] D. J. Tschirhart und P. K. Jain, "A dual-channel current source driver for complementary switches," *IEEE Trans. on Power Electronics*, Bd. 29, Nr. 12, S. 6494–6505, Dezember 2014.
- [145] Z. Zhang, P. Xu, and Y. F. Liu, "Adaptive continuous current source drivers for 1-MHz boost PFC converters," *IEEE Trans. on Power Electronics*, Bd. 28, Nr. 5, S. 2457–2467, Mai 2013.
- [146] Z. Zhang, P. Xu, X. Ren, Y. F. Liu, and P. C. Sen, "Optimization and comparison of continuous and discontinuous current source drivers for MHz boost PFC converters," in *Proc. IEEE Applied Power Electronics Conference and Exposition*, Februar 2012, S. 1165–1171.
- [147] Z. Zhang, P. Xu, Y. F. Liu, and P. C. Sen, "Adaptive current source drivers for MHz power factor correction," in *Proc. IEEE Applied Power Electronics Conference and Exposition*, März 2011, S. 1456–1463.
- [148] Y. Ma, L. Liu, X. Xie, und Z. Qian, "Dual channel pulse resonant gate driver," in *Proc. IEEE Conference on Industrial Electronics and Applications*, Mai 2007, S. 2317–2321.
- [149] Z. Zhang, F. F. Li, und Y. F. Liu, "A high-frequency dual-channel isolated resonant gate driver with low gate drive loss for ZVS full-bridge converters," *IEEE Trans. on Power Electronics*, Bd. 29, Nr. 6, S. 3077–3090, Juni 2014.
- [150] K. Xu, Y. F. Liu, und P. C. Sen, "A new resonant gate drive circuit utilizing leakage inductance of transformer," in *Proc. 32nd Annual Conference on IEEE Industrial Electronics*, November 2006, S. 1933–1937.
- [151] Y. Ren, M. Xu, Y. Meng, und F. C. Lee, "12V VR efficiency improvement based on two-stage approach and a novel gate driver," in *Proc. IEEE Power Electronics Specialists Conference*, Juni 2005, S. 2635–2641.

- [152] K. Yamaguchi, K. Katsura, T. Yamada, und Y. Sato, "Comprehensive evaluation of gate boost driver for SiC-MOSFETs," in *Proc. IEEE Energy Conversion Congress and Exposition*, September 2016.
- [153] A. Paredes, V. Sala, H. Ghorbani, und L. Romeral, "A novel active gate driver for silicon carbide MOSFET," in *Proc. 42nd Annual Conference of the IEEE Industrial Electronics Society*, Oktober 2016, S. 3172–3177.
- [154] K. Yamaguchi, Y. Sasaki, und T. Imakubo, "Low loss and low noise gate driver for SiC-MOSFET with gate boost circuit," in *Proc. 40th Annual Conference of the IEEE Industrial Electronics Society*, Oktober 2014, S. 1594–1598.
- [155] Y. Lobsiger und J. W. Kolar, "Closed-loop di/dt and dv/dt IGBT gate driver," *IEEE Trans. on Power Electronics*, Bd. 30, Nr. 6, S. 3402–3417, Juni 2015.
- [156] M. Sasaki, H. Nishio, und W. T. Ng, "Dynamic gate resistance control for current balancing in parallel connected IGBTs," in *Proc. IEEE Applied Power Electronics Conference and Exposition*, März 2013, S. 244–249.
- [157] H. Dymond, J. Wang, D. Liu, J. Dalton, N. McNeill, D. Pamunuwa, S. Hollis, und B. Stark, "A 6.7-GHz active gate driver for GaN FETs to combat overshoot, ringing, and EMI," *IEEE Trans. on Power Electronics*, Bd. 33, Nr. 99, S. 581 – 594, Januar 2018.
- [158] H. C. P. Dymond, D. Liu, J. Wang, J. J. O. Dalton, N. McNeill, D. Pamunuwa, S. J. Hollis, und B. H. Stark, "Reduction of oscillations in a GaN bridge leg using active gate driving with sub-ns resolution, arbitrary gate-resistance patterns," in *Proc. IEEE Energy Conversion Congress and Exposition*, September 2016.
- [159] R. Grezaud, F. Ayel, A. Chapel, und D. Bergogne, "Wide band gap power transistors gate driver cutting edge bloc functions," in *Proc. 9th International Conference on Integrated Power Electronics Systems*, März 2016.
- [160] R. Grezaud, F. Ayel, N. Rouger, und J. C. Crebier, "An adaptive output impedance gate drive for safer and more efficient control of wide bandgap devices," in *Proc. 1st IEEE Workshop on Wide Bandgap Power Devices and Applications*, Oktober 2013, S. 68–71.
- [161] A. Shorten, W. T. Ng, M. Sasaki, T. Kawashima, und H. Nishio, "A segmented gate driver IC for the reduction of IGBT collector current over-shoot at turn-on," in *Proc. 25th International Symposium on Power Semiconductor Devices IC's*, Mai 2013, S. 73–76.
- [162] A. Schindler, B. Koepl, A. Pottbaecker, M. Zannoth, und B. Wicht, "Gate driver with 10 / 15ns in-transition variable drive current and 60% reduced current dip," in *Proc. 42nd European Solid-State Circuits Conference*, September 2016, S. 325–328.
- [163] A. Schindler, B. Koepl, und B. Wicht, "EMC and switching loss improvement for fast switching power stages by di/dt, dv/dt optimization with 10ns variable current source gate driver," in *Proc. 10th International Workshop on the Electromagnetic Compatibility of Integrated Circuits*, November 2015, S. 18–23.
- [164] J. Bauch und A. Lindemann, "Flexible switching speed control to improve switching losses and EMI by a gate driver with adjustable gate current," in *Proc. 8th International Conference on Integrated Power Electronics Systems*, Februar 2014.
- [165] L. Shu, J. Zhang, F. Peng, und Z. Chen, "Active current source IGBT gate drive with closed-loop di/dt and dv/dt control," *IEEE Trans. on Power Electronics*, Bd. 32, Nr. 5, S. 3787–3796, Mai 2017.

-
- [166] M. Blank, T. Glück, A. Kugi, und H.-P. Kreuter, "Power optimal gate current profiles for the slew rate control of smart power ICs," *Proc. International Federation of Automatic Control*, Bd. 47, Nr. 3, S. 7190–7195, August 2014.
- [167] M. Blank, T. Glück, A. Kugi, und H. P. Kreuter, "Slew rate control strategies for smart power ICs based on iterative learning control," in *Proc. IEEE Applied Power Electronics Conference and Exposition*, March 2014, S. 2860–2866.
- [168] S. Park und T. M. Jahns, "Flexible dv/dt and di/dt control method for insulated gate power switches," *IEEE Trans. on Industry Applications*, Bd. 39, Nr. 3, S. 657–664, Mai 2003.
- [169] G. Schmitt, R. Kennel, und J. Holtz, "Voltage gradient limitation of IGBTs by optimised gate-current profiles," in *Proc. Power Electronics Specialists Conference*, Juni 2008, S. 3592–3596.
- [170] M. Ebli, M. Wattenberg, und M. Pfof, "Performance of a GaN-HEMT synchronous boost converter in ZVS and hard switching mode," in *Proc. 18th European Conference on Power Electronics and Applications*, September 2016.
- [171] J. L. Hudgins, "Wide and narrow bandgap semiconductors for power electronics: A new valuation," *Journal of Electronic Materials*, Bd. 32, Nr. 6, S. 471–477, Juni 2003.
- [172] F. Udrea, G. Deboy, und T. Fujihira, "Superjunction power devices, history, development, and future prospects," *IEEE Trans. on Electron Devices*, Bd. 64, Nr. 3, S. 720–734, März 2017.
- [173] C. J. Glassbrenner und G. A. Slack, "Thermal conductivity of silicon and germanium from 3°k to the melting point," *Physical Review Journal*, Bd. 134, S. A1058–A1069, Mai 1964.
- [174] H. Shibata, Y. Waseda, H. Ohta, K. Kiyomi, K. Shimoyama, K. Fujito, H. Nagaoka, Y. Kagamitani, R. Simura, und T. Fukuda, "High thermal conductivity of gallium nitride (GaN) crystals grown by HVPE process," *Materials Transactions*, Bd. 48, Nr. 10, S. 2782–2786, September 2007.
- [175] M. Shur, B. Gelmont, und M. Asif Khan, "Electron mobility in two-dimensional electron gas in AlGaIn/GaN heterostructures and in bulk GaN," *Journal of Electronic Materials*, Bd. 25, Nr. 5, S. 777–785, November 1996.
- [176] B. J. Baliga, "Semiconductors for high-voltage, vertical channel field-effect transistors," *Journal of Applied Physics*, Bd. 53, Nr. 3, S. 1759–1764, März 1982.
- [177] T. Fujihira und Y. Miyasaka, "Simulated superior performances of semiconductor superjunction devices," in *Proc. 10th International Symposium on Power Semiconductor Devices and ICs*, Juni 1998, S. 423–426.
- [178] R. Kosugi, Y. Sakuma, K. Kojima, S. Itoh, A. Nagata, T. Yatsuo, Y. Tanaka, und H. Okumura, "Development of SiC super-junction (SJ) device by deep trench-filling epitaxial growth," in *Proc. Silicon Carbide and Related Materials*, Bd. 740, Januar 2013, S. 785–788.
- [179] —, "Development of SiC super-junction (SJ) devices by multi-epitaxial growth," in *Proc. Silicon Carbide and Related Materials*, Bd. 778, Februar 2014, S. 845–850.
- [180] H. Ishida, D. Shibata, H. Matsuo, M. Yanagihara, Y. Uemoto, T. Ueda, T. Tanaka, und D. Ueda, "GaN-based natural super junction diodes with multi-channel structures," in *Proc. IEEE International Electron Devices Meeting*, Dezember 2008.

- [181] A. Nakajima, Y. Sumida, M. H. Dhyani, H. Kawai, und E. M. Narayanan, “GaN-based super heterojunction field effect transistors using the polarization junction concept,” *IEEE Electron Device Letters*, Bd. 32, Nr. 4, S. 542–544, April 2011.
- [182] Z. Li und T. P. Chow, “Design and simulation of 5-20 kV GaN enhancement-mode vertical superjunction HEMT,” *IEEE Trans. on Electron Devices*, Bd. 60, Nr. 10, S. 3230–3237, Oktober 2013.
- [183] C. Hu, “Optimum doping profile for minimum ohmic resistance and high-breakdown voltage,” *IEEE Trans. on Electron Devices*, Bd. 26, Nr. 3, S. 243–244, März 1979.
- [184] L. Lorenz, G. Deboy, A. Knapp, und M. März, “COOLMOS-a new milestone in high voltage power MOS,” in *Proc. 11th International Symposium on Power Semiconductor Devices and ICs*, Mai 1999, S. 3–10.
- [185] Y. J. Liu, Y. Wang, Y. Hao, J. P. Fang, C. Shan, und F. Cao, “A low turn-off loss 4H-SiC trench IGBT with Schottky contact in the collector side,” *IEEE Trans. on Electron Devices*, Bd. 64, Nr. 11, S. 4575–4580, November 2017.
- [186] B. Wang, T. Q. Zheng, und J. Zhang, “Voltage controlled variable capacitor based snubber for the further reduction of IGBT’s turn-off loss,” in *Proc. IEEE Energy Conversion Congress and Exposition*, September 2014, S. 935–940.
- [187] B. J. Baliga, *Advanced Power MOSFET Concepts*. Boston, MA: Springer US, 2010.
- [188] R. Siemieniec, D. Peters, R. Esteve, W. Bergner, D. Kück, T. Aichinger, T. Basler, und B. Zippelius, “A SiC trench MOSFET concept offering improved channel mobility and high reliability,” in *Proc. 19th European Conference on Power Electronics and Applications*, September 2017, S. P.1–P.13.
- [189] B. J. Baliga, “Silicon carbide semiconductor devices having buried silicon carbide conduction barrier layers therein,” US Patent 5,543,637, August 1996.
- [190] Infineon Technologies AG, *1200 V CoolSiC™ Schottky Diode Generation 5: New level of system efficiency and reliability*, Mai 2016.
- [191] L. Efthymiou, G. Camuso, G. Longobardi, F. Udrea, E. Lin, T. Chien, und M. Chen, “Zero reverse recovery in SiC and GaN Schottky diodes: A comparison,” in *Proc. 28th International Symposium on Power Semiconductor Devices and ICs*, Juni 2016, S. 71–74.
- [192] M. M. Hernando, A. Fernandez, J. Garcia, D. G. Lamar, und M. Rascon, “Comparing Si and SiC diode performance in commercial AC-to-DC rectifiers with power-factor correction,” *IEEE Trans. on Industrial Electronics*, Bd. 53, Nr. 2, S. 705–707, April 2006.
- [193] A. M. S. Al-bayati, S. S. Alharbi, und M. Matin, “A comparative design and performance study of a non-isolated DC-DC buck converter based on Si-MOSFET/Si-diode, SiC-JFET/SiC-Schottky diode, and GaN-transistor/SiC-Schottky diode power devices,” in *Proc. North American Power Symposium*, September 2017.
- [194] C. N. M. Ho, H. Breuninger, S. Pettersson, G. Escobar, und F. Canales, “A comparative performance study of an interleaved boost converter using commercial Si and SiC diodes for PV applications,” *IEEE Trans. on Power Electronics*, Bd. 28, Nr. 1, S. 289–299, Januar 2013.

-
- [195] A. Blinov, D. Vinnikov, und T. Rang, “Experimental analysis of the dynamic performance of Si, GaAs and SiC diodes,” in *Proc. 13th Biennial Baltic Electronics Conference*, Oktober 2012, S. 49–52.
- [196] F. Bjoerk, J. Hancock, M. Treu, R. Rupp, und T. Reimann, “2nd generation 600V SiC Schottky diodes use merged pn/Schottky structure for surge overload protection,” in *Proc. IEEE Applied Power Electronics Conference and Exposition*, März 2006, S. 170–173.
- [197] Infineon Technologies AG, *1200 V CoolSiC™ Schottky Diode Generation 5 - Application Note*, Februar 2016.
- [198] M. C. Tarplee, V. P. Madangarli, Q. Zhang, und T. S. Sudarshan, “Design rules for field plate edge termination in SiC Schottky diodes,” *IEEE Trans. on Electron Devices*, Bd. 48, Nr. 12, S. 2659–2664, Dezember 2001.
- [199] R. Perez, D. Tournier, A. Perez-Tomas, P. Godignon, N. Mestres, und J. Millan, “Planar edge termination design and technology considerations for 1.7-kV 4H-SiC PiN diodes,” *IEEE Trans. on Electron Devices*, Bd. 52, Nr. 10, S. 2309–2316, Oktober 2005.
- [200] H. Okita, M. Hikita, A. Nishio, T. Sato, K. Matsunaga, H. Matsuo, M. Mannoh, und Y. Uemoto, “Through recessed and regrowth gate technology for realizing process stability of GaN-GITs,” in *Proc. 28th International Symposium on Power Semiconductor Devices and ICs*, Juni 2016, S. 23–26.
- [201] K. J. Chen, O. Haberlen, A. Lidow, C. I. Tsai, T. Ueda, Y. Uemoto, und Y. Wu, “GaN-on-Si power technology: Devices and applications,” *IEEE Trans. on Electron Devices*, Bd. 64, Nr. 3, S. 779–795, März 2017.
- [202] GaN Systems Inc., *GS66516T Top-side cooled 650 V E-mode GaN transistor*, Oktober 2017.
- [203] Cree, Inc., *C3M0120100K Silicon Carbide Power MOSFET*, Dezember 2017.
- [204] Infineon Technologies AG, “650V CoolMOS C7 power transistor IPZ65R095C7,” Oktober 2013.
- [205] —, *650V CoolMOS™ C7 Power Transistor IPZ65R045C7*, April 2013.
- [206] A. Lidow, J. Strydom, M. de Rooij, und D. Reusch, *GaN transistors for efficient power conversion*, 2. Auflage. Chichester, United Kingdom: John Wiley & Sons Ltd., 2015.
- [207] S. Moench, R. Reiner, B. Weiss, P. Waltereit, R. Quay, O. Ambacher, und I. Kallfass, “Effect of substrate termination on switching loss and switching time using 600 V GaN-on-Si HEMTs with integrated gate driver in half-bridges,” in *Proc. IEEE 5th Workshop on Wide Bandgap Power Devices and Applications*, Oktober 2017, S. 257–264.
- [208] S. Moench, C. Salcines, R. Li, Y. Li, und I. Kallfass, “Substrate potential of high-voltage GaN-on-Si HEMTs and half-bridges: Static and dynamic four-terminal characterization and modeling,” in *Proc. IEEE 18th Workshop on Control and Modeling for Power Electronics*, Juli 2017.
- [209] Infineon Technologies AG, “TO-247 4pin package - a new innovative package using kelvin source concept,” Dezember 2017.
- [210] W. Jakobi, A. Uhlemann, M. Thoben, C. Schweikert, C. Strenger, A. P. Pai, L. Beaurenaut, und M. Muenzer, “Benefits of new CoolSiC MOSFET in HybridPACK Drive package for electrical drive train applications,” in *Proc. 10th International Conference on Integrated Power Electronics Systems*, März 2018, S. 585–593.

- [211] D. Pederson, "A historical review of circuit simulation," *IEEE Trans. on Circuits and Systems*, Bd. 31, Nr. 1, S. 103–111, Januar 1984.
- [212] J. H. Allmeling und W. P. Hammer, "PLECS-piece-wise linear electrical circuit simulation for simulink," in *Proc. IEEE International Conference on Power Electronics and Drive Systems*, Bd. 1, Juli 1999, S. 355–360.
- [213] M. Kamon, M. J. Tsuk, und J. K. White, "Fasthenry: A multipole- accelerated 3-D inductance extraction program," *IEEE Trans. on Microwave Theory and Techniques*, Bd. 42, Nr. 9, S. 1750–1758, September 1994.
- [214] Keysight Technologies, Inc., "Keysight Technologies Keysight EESof EDA Advanced Design System," 2016.
- [215] W. T. Ang, *A Beginner's Course in Boundary Element Methods*. Boca Raton, USA: Universal Publishers, 2007.
- [216] ———, *Hypersingular Integral Equations in Fracture Analysis*. Woodhead Publishing, Dezember 2013.
- [217] G. Vecchi, "Loop-star decomposition of basis functions in the discretization of the EFIE," *IEEE Trans. on Antennas and Propagation*, Bd. 47, Nr. 2, S. 339–346, Februar 1999.
- [218] "DIN IEC 60747-8:2007-06 Halbleiterbauelemente – Einzelhalbleiterbauelemente – Teil 8: Feldeffekttransistoren (IEC 47E/320/CD:2007)."
- [219] K. Wang, X. Yang, H. Li, H. Ma, X. Zeng, und W. Chen, "An analytical switching process model of low-voltage eGaN HEMTs for loss calculation," *IEEE Trans. on Power Electronics*, Bd. 31, Nr. 1, S. 635–647, Januar 2016.
- [220] M. Aghaei und S. Kaboli, "On the effect of disorder on stray capacitance of transformer winding in high-voltage power supplies," *IEEE Trans. on Industrial Electronics*, Bd. 64, Nr. 5, S. 3608–3618, Mai 2017.
- [221] M. Zdanowski, K. Kostov, J. Rabkowski, R. Barlik, und H. P. Nee, "Design and evaluation of reduced self-capacitance inductor in DC/DC converters with fast-switching SiC transistors," *IEEE Trans. on Power Electronics*, Bd. 29, Nr. 5, S. 2492–2499, Mai 2014.
- [222] B. Wittig, O. Muehlfeld, und F. W. Fuchs, "Adaption of MOSFETs current slope by systematic adjustment of common source stray inductance and gate resistance," in *Proc. 14th European Conference on Power Electronics and Applications*, August 2011.
- [223] E. A. Jones, F. Wang, D. Costinett, Z. Zhang, B. Guo, B. Liu, und R. Ren, "Characterization of an enhancement-mode 650-V GaN HFET," in *Proc. IEEE Energy Conversion Congress and Exposition*, September 2015, S. 400–407.
- [224] H. Li, S. Munk-Nielsen, X. Wang, S. Beczkowski, S. Jones, und X. Dai, "Effects of auxiliary-source connection in multichip power module," *IEEE Trans. on Power Electronics*, Bd. 32, Nr. 10, S. 7816 – 7823, Oktober 2017.
- [225] V. Crisafulli, "A new package with Kelvin source connection for increasing power density in power electronics design," in *Proc. 17th European Conference on Power Electronics and Applications*, September 2015.
- [226] M. Meisser, M. Schmenger, und T. Blank, "Parasitics in power electronic modules: How parasitic inductance influences switching and how it can be minimized," in *Proc. International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Mai 2015.

- [227] B. Wang, R. Chen, und D. Jauregui, "Common source inductance (CSI) of power devices and the impacts on synchronous buck converters," in *Proc. IEEE Applied Power Electronics Conference and Exposition*, März 2014, S. 157–162.
- [228] B. Yang und J. Zhang, "Effect and utilization of common source inductance in synchronous rectification," in *Proc. Applied Power Electronics Conference and Exposition*, März 2005, S. 1407–1411.
- [229] M. Ebli und M. Pfost, "An analysis of the switching behavior of GaN-HEMTs," in *Proc. International Symposium on Signals, Circuits and Systems*, Juli 2017.
- [230] M. Meneghini, D. Bisi, D. Marcon, S. Stoffels, M. V. Hove, T. L. Wu, S. Decoutere, G. Meneghesso, und E. Zanoni, "Trapping and reliability assessment in D-mode GaN-based MIS-HEMTs for power applications," *IEEE Trans. on Power Electronics*, Bd. 29, Nr. 5, S. 2199–2207, Mai 2014.
- [231] D. Bisi, M. Meneghini, F. A. Marino, D. Marcon, S. Stoffels, M. V. Hove, S. Decoutere, G. Meneghesso, und E. Zanoni, "Kinetics of buffer-related R_{ON} -increase in GaN-on-Silicon MIS-HEMTs," *IEEE Electron Device Letters*, Bd. 35, Nr. 10, S. 1004–1006, Oktober 2014.
- [232] S. Mehari, Y. Calahorra, A. Gavrilov, M. Eizenberg, und D. Ritter, "Role of transport during transient phenomena in AlGaIn/GaN heterostructure FETs," *IEEE Electron Device Letters*, Bd. 36, Nr. 11, S. 1124–1127, November 2015.
- [233] M. Meneghini, P. Vanmeerbeek, R. Silvestri, S. Dalcanale, A. Banerjee, D. Bisi, E. Zanoni, G. Meneghesso, und P. Moens, "Temperature-dependent dynamic R_{ON} in GaN-based MIS-HEMTs: Role of surface traps and buffer leakage," *IEEE Trans. on Electron Devices*, Bd. 62, Nr. 3, S. 782–787, März 2015.
- [234] R. Mitova, R. Ghosh, U. Mhaskar, D. Klikic, M.-X. Wang, und A. Dentella, "Investigations of 600-V GaN HEMT and GaN diode for power converter applications," *IEEE Trans. on Power Electronics*, Bd. 29, Nr. 5, S. 2441–2452, Mai 2014.
- [235] K. Wang, X. Yang, L. Wang, und P. Jain, "Instability analysis and oscillation suppression of enhancement-mode GaN devices in half-bridge circuits," *IEEE Trans. on Power Electronics*, Bd. 33, Nr. 2, S. 1585–1596, Februar 2018.
- [236] E. A. Jones, F. Wang, D. Costinett, Z. Zhang, und B. Guo, "Cross conduction analysis for enhancement-mode 650-V GaN HFETs in a phase-leg topology," in *Proc. IEEE Workshop on Wide Bandgap Power Devices and Applications*, November 2015, S. 98–103.
- [237] B. Hughes, J. Lazar, S. Hulsey, M. Musni, D. Zehnder, A. Garrido, R. Khanna, R. Chu, S. Khalil, und K. Boutros, "Normally-off GaN-on-Si multi-chip module boost converter with 96 % efficiency and low gate and drain overshoot," in *Proc. IEEE Applied Power Electronics Conference and Exposition*, März 2014, S. 484–487.
- [238] E. A. Jones, F. Wang, D. Costinett, Z. Zhang, und B. Guo, "Temperature-dependent turn-on loss analysis for GaN HFETs," in *Proc. Applied Power Electronics Conference and Exposition*, März 2016, S. 1010–1017.
- [239] D. Reusch, D. Gilham, Y. Su, und F. C. Lee, "Gallium nitride based 3D integrated non-isolated point of load module," in *Proc. IEEE Applied Power Electronics Conference and Exposition*, Februar 2012, S. 38–45.

- [240] M. N. Nguyen, R. L. Cassel, J. E. deLamare, und G. C. Pappas, “Gate drive for high speed, high power IGBTs,” in *Proc. 28th IEEE International Conference on Plasma Science and 13th IEEE International Pulsed Power Conference.*, Bd. 2, Juni 2001, S. 1039–1042.
- [241] M. Hochberg, M. Sack, und G. Mueller, “Analyzing a gate-boosting circuit for fast switching,” in *Proc. IEEE International Power Modulator and High Voltage Conference*, Juli 2016, S. 171–175.
- [242] ———, “Simple gate-boosting circuit for reduced switching losses in single IGBT devices,” in *Proc. International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Mai 2016.
- [243] D. Gerber, T. Guillod, und J. Biela, “IGBT gate-drive with PCB rogowski coil for improved short circuit detection and current turn-off capability,” in *Proc. IEEE Pulsed Power Conference*, Juni 2011, S. 1359–1364.
- [244] D. Bortis, P. Steiner, J. Biela, und J. W. Kolar, “Double-stage gate drive circuit for parallel connected IGBT modules,” in *Proc. IEEE International Power Modulators and High-Voltage Conference*, Mai 2008, S. 388–391.
- [245] J. Groeger, A. Schindler, B. Wicht, und K. Norling, “Optimized dv/dt, di/dt sensing for a digitally controlled slope shaping gate driver,” in *Proc. IEEE Applied Power Electronics Conference and Exposition*, März 2017, S. 3564–3569.
- [246] A. Schindler, B. Koepl, B. Wicht, und J. Groeger, “10ns variable current gate driver with control loop for optimized gate current timing and level control for in-transition slope shaping,” in *Proc. IEEE Applied Power Electronics Conference and Exposition*, März 2017, S. 3570–3575.
- [247] A. Yamaguchi und T. Sasaya, “Drive circuit for switching element,” US Patent 2014/0306739 A1, Oktober 2014.
- [248] M. Ebli und M. Pfof, “Vorrichtung und Verfahren zur selbstverstärkenden Ansteuerung eines ladungsgesteuerten Schaltelements sowie Verwendung eines Transformators,” DE 10 2016 222 268.6, November 2016.
- [249] A. A. Abdoos, “Detection of current transformer saturation based on variational mode decomposition analysis,” *IET Generation, Transmission Distribution*, Bd. 10, Nr. 11, S. 2658–2669, August 2016.
- [250] E. Hajipour, M. Vakilian, und M. Sanaye-Pasand, “Current-transformer saturation prevention using a controlled voltage-source compensator,” *IEEE Trans. on Power Delivery*, Bd. 32, Nr. 2, S. 1039–1048, April 2017.
- [251] W. Rogowski und W. Steinhaus, “Die Messung der magnetischen Spannung,” *Archiv für Elektrotechnik*, Bd. 1, Nr. 4, S. 141–150, April 1912.
- [252] L. A. Kojovic, “Comparative performance characteristics of current transformers and rogowski coils used for protective relaying purposes,” in *Proc. IEEE Power Engineering Society General Meeting*, Juni 2007.
- [253] S. Ziegler, R. C. Woodward, H. H. C. Iu, und L. J. Borle, “Current sensing techniques: A review,” *IEEE Sensors Journal*, Bd. 9, Nr. 4, S. 354–376, April 2009.

-
- [254] Y. Kuwabara, K. Wada, J. M. Guichon, J. L. Schanen, und J. Roudet, "Implementation and performance of a current sensor for a laminated bus bar," in *Proc. IEEE Energy Conversion Congress and Exposition*, September 2016.
- [255] L. Zhao, J. D. van Wyk, und W. G. Odendaal, "Planar embedded pick-up coil sensor for power electronic modules," in *Proc. IEEE Applied Power Electronics Conference and Exposition*, Bd. 2, Februar 2004, S. 945–951.
- [256] J. Xu, L. Zhao, Z. Liang, und J. D. van Wyk, "Design of an embedded bi-planar coil-based integrated current sensor for power module integration," in *Proc. IEEE Applied Power Electronics Conference and Exposition*, Bd. 1, März 2005, S. 369–374.
- [257] C. R. Mueller und R. Bayerer, "Low-inductive inverter concept by 200 A / 1200 V half bridge in an EasyPACK 2B - following strip-line design," in *Proc. 8th International Conference on Integrated Power Electronics Systems*, Februar 2014.
- [258] Y. Xue, J. Lu, Z. Wang, L. M. Tolbert, B. J. Blalock, und F. Wang, "A compact planar rogowski coil current sensor for active current balancing of parallel-connected silicon carbide MOSFETs," in *Proc. IEEE Energy Conversion Congress and Exposition*, September 2014, S. 4685–4690.
- [259] C. Xiao, L. Zhao, T. Asada, W. G. Odendaal, und J. D. van Wyk, "An overview of integratable current sensor technologies," in *Proc. 38th IAS Annual Meeting on Conference Record of the Industry Applications Conference*, Bd. 2, Oktober 2003, S. 1251–1258.
- [260] ANSYS, Inc., "ANSYS Maxwell," 2018.
- [261] M. Blagojević, U. Jovanović, I. Jovanović, und D. Mančić, "Folded bus bar current transducer based on hall effect sensor," *Electrical Engineering*, Juni 2018.
- [262] J. C. Maxwell, "A dynamical theory of the electromagnetic field," *Royal Society Transactions*, Nr. 155, S. 459–512, 1865.
- [263] E. Lenz, "Ueber die Bestimmung der Richtung der durch elektrodynamische Vertheilung erregten galvanischen Ströme," *Annalen der Physik*, Bd. 107, Nr. 31, S. 483–494, 1834.
- [264] Tektronix, Inc., *Isolated Measurement Systems TIVM1, TIVM1L, TIVH08, TIVH08L, TIVH05, TIVH05L, TIVH02, TIVH02L Datasheet*, Juli 2017.
- [265] K. Li, A. Videt, und N. Idir, "Using current surface probe to measure the current of the fast power semiconductors," *IEEE Trans. on Power Electronics*, Bd. 30, Nr. 6, S. 2911–2917, Juni 2015.
- [266] Keysight Technologies, Inc., *Keysight N7026A 150 MHz AC/DC High Sensitivity Current Probes*, November 2017.
- [267] TM RESEARCH PRODUCTS, Inc., *Coaxial Shunts*, 2014.
- [268] J. Lautner und B. Piepenbreier, "Impact of current measurement on switching characterization of GaN transistors," in *Proc. IEEE Workshop on Wide Bandgap Power Devices and Applications*, Oktober 2014, S. 98–102.
- [269] S. Hain und M. M. Bakran, "New rogowski coil design with a high DV/DT immunity and high bandwidth," in *Proc. 15th European Conference on Power Electronics and Applications*, September 2013.

- [270] K. Wang, X. Yang, H. Li, L. Wang, und P. Jain, "A high-bandwidth integrated current measurement for detecting switching current of fast GaN devices," *IEEE Trans. on Power Electronics*, Bd. 33, Nr. 7, S. 6199 – 6210, Juli 2018.
- [271] S. Hain und M. M. Bakran, "Highly dynamic current measurements with inductive current sensors - a numerical recipe," in *Proc. International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Mai 2014.
- [272] W. Limcharoen und P. Yutthagowith, "Rogowski coil with an active integrator for measurement of switching impulse current," in *Proc. 10th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology*, Mai 2013.
- [273] X. Li, L. Zhang, S. Guo, Y. Lei, A. Q. Huang, und B. Zhang, "Understanding switching losses in SiC MOSFET: toward lossless switching," in *Proc. Workshop on Wide Bandgap Power Devices and Applications*, November 2015, S. 257–262.
- [274] M. Ebli und M. Pfof, "A novel gate driver approach using an inductive feedback to increase the switching speed of power semiconductors," in *Proc. ECCE Power Electronics and Applications*, September 2017, S. P.1–P.7.
- [275] M. Ebli, M. Wattenberg, und M. Pfof, "A gate driver approach enabling switching loss reduction for hard-switching applications," in *Proc. 12th International Conference on Power Electronics and Drive Systems*, Dezember 2017, S. 968–971.
- [276] M. Ebli und M. Pfof, "A gate driver approach using inductive feedback to decrease the turn-on losses of power transistors," in *Proc. International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Juni 2018, S. 396–401.
- [277] C. W. T. McLyman, *Transformer and Inductor Design Handbook*, 3. Auflage, Serie Electrical and Computer Engineering Series. Taylor & Francis, 2004.
- [278] F. W. Grover, *Inductance Calculations: Working Formulas and Tables*, Serie Dover Phoenix Editions. Mineola, N.Y, USA: Dover Publications, 2004.
- [279] S. Hain und M. M. Bakran, "The suitability and challenges of the new 2D-short circuit detection method for protecting a high performance IGBT with a low $V_{ce,sat}$ value," in *Proc. 18th European Conference on Power Electronics and Applications*, September 2016.
- [280] J. Walter, J. Acuna, und I. Kallfass, "Design and implementation of an integrated current sensor for a gallium nitride half-bridge," in *Proc. International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Juni 2018, S. 752–759.
- [281] A. Maerz, T. Bertelshofer, R. Horff, und M. M. Bakran, "Requirements of short-circuit detection methods and turn-off for wide band gap semiconductors," in *Proc. 9th International Conference on Integrated Power Electronics Systems*, März 2016.
- [282] B. Huang, Y. Li, T. Q. Zheng, und Y. Zhang, "Design of overcurrent protection circuit for GaN HEMT," in *Proc. IEEE Energy Conversion Congress and Exposition*, September 2014, S. 2844–2848.
- [283] E. A. Jones, P. Williford, und F. Wang, "A fast overcurrent protection scheme for GaN GITs," in *Proc. IEEE 5th Workshop on Wide Bandgap Power Devices and Applications*, Oktober 2017, S. 277–284.

- [284] J. Roberts, G. Klowak, D. Chen, und A. Mizan, “Drive and protection methods for very high current lateral GaN power transistors,” in *Proc. Applied Power Electronics Conference and Exposition*, März 2015, S. 3128–3131.
- [285] M. Ebli und M. Pfof, “Vorrichtung und Verfahren zur homogenen Stromverteilung und/oder zur Reduzierung von Schaltverlusten von elektrisch steuerbaren Schaltelementen,” DE10 2017 117 566.0, August 2017.
- [286] J. Hackel, M. Ebli, und M. Pfof, “A novel gate driving approach to balance the transient current of parallel-connected GaN-HEMTs,” in *Proc. 10th International Conference on Integrated Power Electronics Systems*, März 2018, S. 305–308.
- [287] J. Wang, D. Liu, H. C. P. Dymond, J. J. O. Dalton, und B. H. Stark, “Crosstalk suppression in a 650-V GaN FET bridgeleg converter using 6.7-GHz active gate driver,” in *Proc. IEEE Energy Conversion Congress and Exposition*, Oktober 2017, S. 1955–1960.
- [288] Infineon Technologies AG, *Silicon Carbide Diode 5th Generation thinQ! 650V SiC Schottky Diode IDL12G65C5*, Dezember 2013.
- [289] GaN Systems Inc., *GS66508P Bottom-side cooled 650V E-mode GaN transistor Preliminary Datasheet*, März 2017.
- [290] J. Hackel, M. Ebli, und M. Pfof, “A novel gate driver approach using an inductive feed forward for a robust turn-on of GaN power transistors with gate injection,” in *Proc. 19th European Conference on Power Electronics and Applications*, September 2018, S. P.1–P.7.

Abkürzungsverzeichnis

2D-EG	zweidimensionales Elektronengas
AlGaN	Aluminiumgalliumnitrid
AVT	Aufbau- und Verbindungstechnik
BEM	Randelementmethode
D	Drain
D'	Drainanschluss des Halbleitermodells
D_{FWD}	Freilaufdiode
DPP	Doppelpulsprüfstand
D_{safe}	Diode zur Erweiterung des <i>iFF</i> -Verfahrens
EMV	elektromagnetische Verträglichkeit
FEM	Finite-Elemente-Methode
FOM	Figure of Merit
G	Gate
G'	Gateanschluss des Halbleitermodells
GaN	Galliumnitrid
GaN-HEMT	Galliumnitrid High-Electron-Mobility Transistor
GD-IC	Gatetreiber-IC
HEMT	High-Electron-Mobility Transistor
IC	Integrierter Schaltkreis
IGBT	Bipolartransistor mit isolierter Gate-Elektrode
MoM	Method of Moments
MOSFET	Metall-Oxid-Halbleiter-Feldeffekttransistor
PCB	Printed Circuit Board
p-Gate GaN-HEMT	p-Gate-Galliumnitrid-High-Electron-Mobility Transistor
Q_1	Leistungstransistor
S	Source
S'	Sourceanschluss des Halbleitermodells
Si	Silizium
SiC	Siliziumcarbid
SiC-JFET	Siliziumcarbid Sperrschicht-Feldeffekttransistor
SiC-MOSFET	Siliziumcarbid-Metall-Oxid-Halbleiter-Feldeffekttransistor
Si _{SJ}	Silizium-Super-Junction
Si _{SJ} -MOSFET	Silizium-Super-Junction-MOSFET
SJ	Super-Junction
SOA	Safe Operating Area
SPIM MOSFET	Shield Planar Inversion-Mode MOSFET
SPICE	Simulation Program with Integrated Circuit Emphasis
SS	Source-Sense-Anschluss

<i>T</i>	Transformator
TIM	Wärmeleitmaterial
<i>iFF</i>	Inductive Feed Forward-Verfahren
T_{iFF}	idealer Transformator
$v_{DG-Komp}$	Drain-Gate-Spannung-Kompensationsmethode

Formelzeichenverzeichnis

A_v	1	Verstärkung T-Ersatzschaltbild
$A_{v,max}$	1	maximale Verstärkung T-Ersatzschaltbild
\vec{B}	T	Magnetische Flussdichte
C_{DG}	F	Drain-Gate-Kapazität
$C_{DG,add}$	F	Drain-Gate-Kapazität (Simulationsmodell)
C_{DPP}	F	Stützkapazität
C_{DS}	F	Drain-Source-Kapazität
C_{FWD}	F	parasitäre Kapazität der Freilaufdiode D_{FWD}
$C_{G,off}$	F	Gatetreiberversorgungskapazität Ausschalten
$C_{G,on}$	F	Gatetreiberversorgungskapazität Einschalten
C_{GS}	F	Gate-Source-Kapazität
C_{in}	F	Eingangskapazität
C_{ISS}	F	Eingangskapazität des Transistors
C_{OSS}	F	Ausgangskapazität des Transistors
C_{out}	F	Ausgangskapazität
C_p	F	Kapazität Plattenkondensator
$C_{Par,SW}$	F	parasitäre Kapazität des Schaltknotens
C_S	F	Sperrschichtkapazität
\vec{E}	V/m	elektrische Feldstärke
E_k	MV/cm	kritische elektrische Feldstärke
$E_{Komp.v.,DG}$	A	spannungsgesteuerte Stromquelle zur Kompensation von $i_{C,DG}$
$E_{turn-Off}$	J	Ausschaltenergie
$E_{turn-On}$	J	Einschaltenergie
f_{Av}	Hz	Grenzfrequenz bei $A_{v,max}$
f_{SW}	Hz	Schaltfrequenz
f_{trans}	Hz	Transitfrequenz
\mathbf{G}	S	Leitwertmatrix
g_m	S	Transkonduktanz
\vec{H}	A/m	magnetische Feldstärke
\mathbf{I}	A	Stromvektor
$i_{C,DG}$	A	Strom der Drain-Gate-Kapazität
$i_{C,GS}$	A	Strom der Gate-Source-Kapazität
I_{ch}	A	spannungsgesteuerte Stromquelle des Kanalstroms
i_{ch}	A	Kanalstrom
I_{DG}	A	spannungsgesteuerte Stromquelle des Drain-Gate-Leckstroms
i_{DG}	A	Drain-Gate-Leckstrom
I_f	A	Vorwärtsstrom
i_G	A	Gatestrom

I_{GS}	A	spannungsgesteuerte Stromquelle des Gate-Source-Leckstroms
i_{GS}	A	Gate-Source-Leckstrom
$i_{G,max}$	A	maximaler Gatestrom
i_L	A	Spulenstrom
i_S	A	Sourcestrom
I_S	A	Stromquelle-Kurzschluss
$i_{S,max}$	A	maximaler Sourcestrom
k	1	Koppelfaktor des Transformators
L	H	Spule
L_{CS}	H	Common-Source-Induktivität des Aufbaues
$L_{CS'}$	H	Common-Source-Induktivität des Halbleitergehäuses
$L_{CS,eff}$	H	effektive Common-Source-Induktivität
L_{DP}	H	Lastinduktivität
L_D	H	Draininduktivität
$L_{D'}$	H	Draininduktivität des Gehäuses
L_{FWD}	H	parasitäre Induktivität der Freilaufdiode
L_G	H	Gateinduktivität
$L_{G'}$	H	Gateinduktivität des Gehäuses
L_{GD}	H	parasitäre Induktivität des Gatetreiber-IC
$L_{G,eff}$	H	Gateschleifeninduktivität
L_{in}	H	parasitäre Induktivität der Stützkapazität
L_S	H	Sourceinduktivität
$L_{S'}$	H	Sourceinduktivität des Gehäuses
$L_{SS'}$	H	Gateinduktivität des Gehäuses (am Sourceanschluss)
$L_{T,pri}$	H	Induktivität der Primärseite des Transformators
$L_{T,sec}$	H	Induktivität der Sekundärseite des Transformators
L_{ZWK}	H	Zwischenkreisinduktivität
M	H	Gegeninduktivität des Transformators
N	1	Windungszahl
n_{iFF}	1	Übersetzungsverhältnis T_{iFF}
P_{out}	W	Ausgangsleistung
P_{Tran}	W	Verlustleistung des Transistors
P_{RR}	W	Sperrverzugsverluste
P_{SW}	W	Schaltverluste
Q_{DG}	C	Speicherladung von C_{DG}
Q_G	C	Gatespeicherladung
Q_{GS}	C	Speicherladung von C_{GS}
$Q_{G,th}$	C	Gatespeicherladung im Schaltmoment
Q_{Loop}	1	Gütefaktor Schwingkreis
Q_{rr}	C	Speicherladung
$Q_{T,sec}$	C	übertragende Ladung durch den Transformator T
R_{ch}	Ω	Kanalwiderstand
$R_{D'}$	Ω	Widerstand des Drainanschlusses
$R_{ds,On}$	Ω	Einschaltwiderstand
$R_{ds,On} \cdot A$	$m\Omega \cdot cm^2$	spezifischer Einschaltwiderstand
R_{epi}	Ω	Driftzonen-Widerstand

R_G	Ω	Gatevorwiderstand
$R_{G'}$	Ω	Gateinnenwiderstand
R_{GD}	Ω	Gatetreiberinnenwiderstand
$R_{G,eff}$	Ω	effektiver Gatevorwiderstand
$R_{G,off}$	Ω	Gatevorwiderstand Ausschalten
$R_{G,on}$	Ω	Gatevorwiderstand Einschalten
R_{n^+}	Ω	N^+ Widerstand
$R_{S'}$	Ω	Widerstand des Sourceanschlusses
R_{Sub}	Ω	Substratwiderstand
R_{th}	K/W	thermischer Widerstand
t_{SW}	s	Schaltzeit
$t_{SW,min}$	s	minimale Schaltzeit
V	V	Spannungsvektor
V_{br}	V	Durchbruchspannung
$v_{DG'}$	V	Drain-Gate-Spannung (am Halbleiter)
V_{DPP}	V	Versorgungsspannungsquelle des DPPs
v_{DS}	V	Drain-Source-Spannung
$v_{DS'}$	V	Drain-Source-Spannung (am Halbleiter)
V_f	V	Vorwärtsspannung
V_{GD}	V	Gatetreiberspannungsquelle
$V_{GD,Sup}$	V	positive Versorgungsspannung des Gatetreibers
$V_{GD,SupN}$	V	negative Versorgungsspannung des Gatetreibers
v_{GS}	V	Gate-Source-Spannung
$v_{GS'}$	V	interne Gate-Source-Spannung
$v_{GS,max}$	V	maximale Gate-Source-Spannung
$v_{GS,min}$	V	minimale Gate-Source-Spannung
$V_{G,off}$	V	Gatetreiberversorgungsspannung Ausschalten
$V_{G,on}$	V	Gatetreiberversorgungsspannung Einschalten
$v_{L,CS}$	V	Spannungsabfall der Common-Source-Induktivität
$V_{L,CS}$	V	Spannungsquelle der Common-Source-Induktivität
V_{th}	V	Schwellspannung
v_{iFF}	V	Sekundärspannung idealer Transformator T_{iFF}
$v_{iFF,min}$	V	minimale Sekundärspannung T_{iFF}
\underline{Z}_L	Ω	komplexer Widerstand
\underline{Z}_G	Ω	komplexer Widerstand des Gatekreises
\underline{Z}_k	Ω	Kopplungsmatrix
ϵ_r	1	relative Permittivität
λ	W/mK	spezifische Wärmeleitfähigkeit
μ	$H \cdot m^{-1}$	magnetische Permeabilität
μ_r	1	relative magnetische Permeabilität
μ_{mobi}	cm^2/Vs	Mobilität der Elektronen
τ_{GS}	s	Zeitkonstante Gate-Source

Abbildungsverzeichnis

1.1	B6-Brücke und Abwärtswandler	1
1.2	Halbbrücken als Gatetreiber	3
1.3	Resonante und stromgetriebene Gatetreiber	5
2.1	Aufwärtswandler mit Strom- und Spannungsverläufen	7
2.2	$R_{ds,On} \cdot A$ in Abhängigkeit von V_{br} für verschiedene Halbleitermaterialien.	9
2.3	Querschnitt eines Si-MOSFETs	10
2.4	Querschnitt eines SiC-MOSFETs	12
2.5	Querschnitt einer SiC-Diode	13
2.6	Querschnitt eines GaN-HEMTs	14
2.7	Schematischer Verlauf der Drain-Gate-Kapazität C_{DG} in Abhängigkeit von v_{DS}	16
2.8	Vereinfachtes Ersatzschaltbild eines Transistors	17
2.9	Erweiterung des Transistorersatzschaltbildes um die parasitären Induktivitäten	19
3.1	Einführung des Doppelpulsprüfstands	27
3.2	Definition des Ein- bzw. Ausschaltvorgangs	29
3.3	Schematischer Ablauf des Einschaltvorgangs	30
3.4	Einführung des Simulationssetups	32
3.5	Transienter Verlauf des Einschaltvorgangs in Abhängigkeit von $C_{Par,SW}$	33
3.6	Transienter Verlauf des Einschaltvorgangs in Abhängigkeit von $R_{G,eff}$	34
3.7	Transienter Verlauf des Einschaltvorgangs in Abhängigkeit von $L_{G,eff}$	35
3.8	Einschaltenergie $E_{turn-On}$ in Abhängigkeit der Gateinduktivität $L_{G,eff}$	36
3.9	Transienter Verlauf des Einschaltvorgangs in Abhängigkeit von $L_{CS,eff}$	37
3.10	Transienter Verlauf des Einschaltvorgangs in Abhängigkeit von L_{ZWK}	38
3.11	Einschaltenergie $E_{turn-On}$ in Abhängigkeit von L_{ZWK}	38
3.12	Transienter Verlauf des Einschaltvorgangs in Abhängigkeit von $C_{DG,add}$	39
3.13	Einschaltenergie $E_{turn-On}$ in Abhängigkeit der positiven Versorgungsspannung des Gatetreibers $V_{GD,Sup}$	40
3.14	Schematischer Ablauf des Ausschaltvorgangs	42
3.15	Transienter Verlauf des Ausschaltvorgangs in Abhängigkeit von L_{ZWK}	43
3.16	Simulierter Einschaltvorgang mit Beachtung der parasitären Elemente	45
3.17	SOA-Darstellung	50
4.1	Halbbrücken als Gatetreiber	53
4.2	Kompensation des Ausgleichsstroms $i_{C,DG}$	55
4.3	Transiente Verläufe für das v_{DG} -Komp-Konzept	56
4.4	SOA-Betrachtung und $E_{turn-On}$ -Vergleich für das v_{DG} -Komp-Konzept	57
4.5	Mitkopplung der Stromänderung	58
4.6	Transiente Verläufe für das iFF -Konzept	59

4.7	SOA-Betrachtung und $E_{\text{turn-On}}$ -Vergleich für das <i>IFF</i> -Konzept	60
4.8	$E_{\text{turn-On}}$ und v_{DS} in Abhängigkeit von n_{iFF}	61
4.9	Erweiterung des konventionellen Gatetreibers	63
4.10	PCB-Layout eines Leistungstransistors	65
4.11	Erweiterung des PCB-Layouts eines Leistungstransistors zur Realisierung des <i>IFF</i> -Verfahrens	66
4.12	Simulation des magnetischen Feldverlaufes	67
5.1	Praktische Umsetzung des <i>IFF</i> -Verfahrens	70
5.2	Vergleich der Strommessmethoden Rogowskispule und Shunt	72
5.3	Vergleich des Einschaltvorgangs des konventionellen Gatetreibers und des <i>IFF</i> -Verfahrens für einen GaN-HEMT	73
5.4	Vergleich des konventionellen Gatetreibers und des <i>IFF</i> -Verfahrens für den GaN-HEMT	74
5.5	Vergleich des Gatestroms i_{G} und der Gate-Source-Spannung v_{GS} für den konventionellen Gatetreiber und das <i>IFF</i> -Verfahren mit einem GaN-HEMT	75
5.6	Der Strom $i_{\text{G,max}}$ und die Spannung $v_{\text{iFF,min}}$ für das <i>IFF</i> -Verfahrens mit einem GaN-HEMT	76
5.7	Der Strom i_{G} und die Spannung v_{iFF} für das <i>IFF</i> -Verfahren mit einem GaN-HEMT	76
5.8	Vergleich des Ausschaltverhaltens des konventionellen Gatetreibers und des <i>IFF</i> -Verfahrens	78
5.9	Überschwinger der Spannung v_{DS} im Ausschaltmoment für den GaN-HEMT	79
5.10	Maximale ($v_{\text{GS,max}}$) und minimale ($v_{\text{GS,min}}$) Gate-Source-Spannung in Abhängigkeit von i_{L}	80
5.11	Einschaltenergie $E_{\text{turn-On}}$ in Abhängigkeit des Spulenstroms i_{L}	81
5.12	Gemessene Effizienz des Aufwärtswandlers mit dem konventionellen Gatetreiber und dem <i>IFF</i> -Verfahren	82
5.13	Bild des SiC-Prototypenaufbaus	83
5.14	Vergleich des konventionellen Gatetreibers und des <i>IFF</i> -Verfahrens für einen SiC-MOSFET	84
5.15	Vergleich des Einschaltvorgangs für den konventionellen Gatetreiber und das <i>IFF</i> -Verfahren für einen SiC-MOSFET für unterschiedliche Spulenströme i_{L}	85
5.16	Vergleich des Ausschaltvorgangs für den konventionellen Gatetreiber und das <i>IFF</i> -Verfahren für einen SiC-MOSFET mit unterschiedlichen Werten von i_{L}	86
5.17	Vergleich der Einschaltenergie $E_{\text{turn-On}}$ des konventionellen Gatetreibers und des <i>IFF</i> -Verfahrens in Abhängigkeit von i_{L}	87
5.18	Vergleich der Einschaltenergie $E_{\text{turn-On}}$ des konventionellen Gatetreibers und des <i>IFF</i> -Verfahrens in Abhängigkeit von V_{DPP}	88
5.19	Vergleich der Einschaltenergie $E_{\text{turn-On}}$ des konventionellen Gatetreibers und des <i>IFF</i> -Verfahrens in Abhängigkeit von V_{DPP} und die gemessene Effizienz η eines Aufwärtswandlers	88
5.20	Vergleich des Einschaltverhaltens des konventionellen Gatetreibers und des <i>IFF</i> -Verfahrens für einen Si-MOSFET in unterschiedlichen Gehäusen	89
5.21	Vergleich des Gatestroms i_{G} während des Einschaltens für den konventionellen Gatetreiber und für das <i>IFF</i> -Verfahren	90

5.22	Ausschaltverhalten der Drain-Source-Spannung v_{DS} des Si-MOSFET mit unterschiedlichen Strömen und Gehäusetypen	91
5.23	Überschwinger der Spannung v_{DS} im Ausschaltmoment und die Einschaltenergie $E_{\text{turn-On}}$ in Abhängigkeit von i_L für den Si-MOSFET	92
6.1	Gemessener und simulierter Einschaltvorgang des konventionellen Gatetreibers	95
6.2	Gemessener und simulierter Einschaltvorgang des <i>iFF</i> -Verfahrens	96
6.3	Einschaltenergie $E_{\text{turn-On}}$ in Abhängigkeit des Spulenstroms i_L	97
6.4	Transformatorersatzschaltbild mit parasitärer Kapazität	99
6.5	T-Ersatzschaltbild des Transformators T	100
6.6	Einfluss von d_{width} auf das Transformatorverhalten	101
6.7	Einfluss von d_{width} und C_{ISS} auf das Transformatorverhalten	102
6.8	Einfluss der Windungszahl N auf das Transformatorverhalten	103
6.9	Einfluss des Abstandes d_{gap} auf das Transformatorverhalten	104
6.10	Einfluss des Wertes $d_{\text{Len,Sec}}$ auf das Transformatorverhalten	105
6.11	Realisierung des <i>iFF</i> -Verfahrens	106
6.12	Simulierte Verläufe für zwei Windungszahlen N	107
6.13	Simulierte Einschaltenergie $E_{\text{turn-On}}$ für unterschiedliche Windungszahlen N und unterschiedliche Längen $d_{\text{Len,Sec}}$	108
6.14	Ersatzschaltbild des <i>iFF</i> -Konzepts im Kurzschlussfall	110
6.15	Verhalten im Kurzschlussfall mit der Nutzung des <i>iFF</i> -Verfahrens	111
6.16	Vergleich des konventionellen Gatetreibers mit dem kreuzgekoppelten <i>iFF</i> -Verfahren	113
6.17	Alternative Realisierung der Sekundärseite des Transformators	114
7.1	<i>iFF</i> -Verfahren mit Erweiterung zum sicheren Ausschalten	119
B.1	Simulation des magnetischen Feldverlaufes	158
C.2	Minimierung des Risikos des parasitären Schaltens	159
D.3	Layout der Leistungsschleife	161

Tabellenverzeichnis

2.1	Halbleitermaterialparameter	8
2.2	Elektrische Eigenschaften verschiedener Transistoren (1/2)	15
2.3	Elektrische Eigenschaften verschiedener Transistoren (2/2)	16
3.1	Beeinflussung des Einschaltverhaltens	41
5.1	Vergleich der vermessenen Transistoren hinsichtlich der $E_{\text{turn-On}}$ -Reduzierung durch das <i>iFF</i> -Verfahren	93
6.1	Vergleich der zwei Transformatorgeometrien	115
A.1	Simulationsparameter der in Abb. 3.4 gezeigten Simulationsumgebung	157
A.2	Vergleich verschiedener Prototypen hinsichtlich parasitärer Induktivitäten	158
D.3	Auflistung der geometrischen Daten des Transformators	160

Anhang

A Parameter der Simulationsumgebung

In der nachfolgenden Tabelle sind alle Simulationsparameter für die in Abschnitt 3.3 eingeführte Simulationsumgebung gezeigt, siehe Abb. 3.4. Die Daten sind dem Simulationsmodell des eingesetzten Transistors entnommen, siehe [202]. Die parasitären Werte der AVT sind absichtlich unrealistisch klein gewählt, dadurch war es möglich, den Einfluss einzelner parasitärer Elemente besser herauszustellen.

Parametername	Symbol	Wert	Ursprung
Common-Source-Induktivität des Halbleitergehäuses	$L_{CS'}$	56 pH	Transistorgehäuse
Common-Source-Induktivität des Aufbaues	L_{CS}	0	AVT
Sourceinduktivität	L_S	0	AVT
Draininduktivität	L_D	750 pH	Transistorgehäuse
parasitäre Induktivität der Freilaufdiode	L_{FWD}	0	AVT
parasitäre Induktivität der Stützkapazität	L_{in}	0	AVT
Gateinduktivität	L_G	0	AVT
Gateinduktivität des Gehäuses	$L_{G'}$	345 pH	Transistorgehäuse
parasitäre Kapazität des Schaltknotens	$C_{Par,SW}$	0	Simulationszweck
Drain-Gate-Kapazität (Simulationsmodell)	$C_{DG,add}$	0	Simulationszweck
Gatetreiberinnenwiderstand	R_{GD}	2.7 Ω	Gatetreiber-IC
parasitäre Induktivität des Gatetreiber-IC	L_{GD}	0	Gatetreiber-IC Gehäuse
Gateinnenwiderstand	$R_{G'}$	0.34 Ω	Halbleiter
Gatevorwiderstand	R_G	5 Ω	
positive Versorgungsspannung des Gatetreibers	$V_{GD,Sup}$	7 V	
negative Versorgungsspannung des Gatetreibers	$V_{GD,SupN}$	0 V	
Versorgungsspannungsquelle des DPPs	V_{DPP}	500 V	
Spulenstrom	i_L	20 A	
Leistungstransistor	Q_1	-	[202]
Freilaufdiode	D_{FWD}	-	ideale Diode
Lastinduktivität	L_{DP}	-	modellierter Stromquelle

Tab. A.1: Simulationsparameter der in Abb. 3.4 gezeigten Simulationsumgebung

Für die in Abschnitt 3.5 aufgeführte realitätsnahe Simulation des Schaltverhaltens wurden aus verschiedenen Literaturquellen die parasitären Elemente analysiert und in Tab. A.2 zusammengefasst, siehe [223, 235–238]. Mit Hilfe dieser Werte wurde das in Abschnitt 3.3 eingeführte Simulationsmodell erweitert. Für alle anderen Werte gelten die in Tab. A.1 definierten Werte. Für die Freilaufdiode D_{FWD} wurde ein Halbleitermodell einer realen SiC-Diode [288] genutzt. Für den Innenwiderstand des Transistors $R_{G'}$ wurde die Angabe aus dem Halbleitermodell übernommen.

Die in den Literaturquellen genutzten Transistoren haben nur die halbe Stromtragfähigkeit, was den höheren Wert von $R_{G'}$ erklärt.

Quelle	Transistor	$R_{ds,On}$	$L_{CS'}$	$R_{G'}$	$L_{G,eff}$	L_{ZWK}	R_G	R_{GD}
[235]	GS66508P [289]	50 m Ω	40 pH	1.1 Ω	5.2 nH	7 nH	1.3 Ω	2 Ω
[223]	GS66508P [289]	50 m Ω	40 pH	1.1 Ω	NA	NA	0 Ω	2.7 Ω
[236]	GS66508P [289]	50 m Ω	40 pH	1.1 Ω	NA	NA	0 Ω	2.7 Ω
[237]	4 x GS66508P [289]	12 m Ω	10 pH	0.3 Ω	1 nH	4 nH	1.8 Ω	2 Ω
[238]	GS66508P [289]	50 m Ω	40 pH	1.1 Ω	NA	NA	0 Ω	2.7 Ω
Simulation	GS66516T [202]	25 m Ω	56 pH	0.38 Ω	1 nH	4 nH	0 Ω	2.7 Ω

Tab. A.2: Vergleich verschiedener Prototypen hinsichtlich parasitärer Induktivitäten. Die parasitären Elemente des Transistors ($L_{CS'}$ und $R_{G'}$), des Aufbaus der Leiterplatte ($L_{G,eff}$ und L_{ZWK}) und des ohmschen Pfads der Gatetreiberschleife (R_G und R_{GD}) sind gezeigt. Bei den Transistoren GS66508P [289] und GS66516T [202] handelt es sich um GaN-HEMTs. Beide Transistoren werden von GaN Systems hergestellt und haben eine zulässige Drain-Source-Spannung von 650 V.

B Ergänzung zum Feldverlauf

Für die in Abb. 4.12(a) gezeigte Struktur sind in Abb. B.1 die Feldverläufe für die Schnittebenen C, D und E entlang der y-Achse dargestellt. Es kann festgehalten werden, dass sich mit einer Frequenz von 1 MHz ein gleichmäßiger Feldverlauf einstellt. Des Weiteren nimmt die Gleichförmigkeit mit dem Abstand zur Leiterkante zu. Somit ist der Feldverlauf für die Schnittebene D gleichmäßiger als für die Schnittebene C.

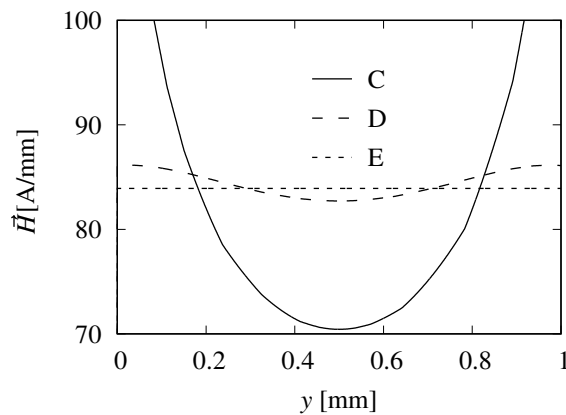
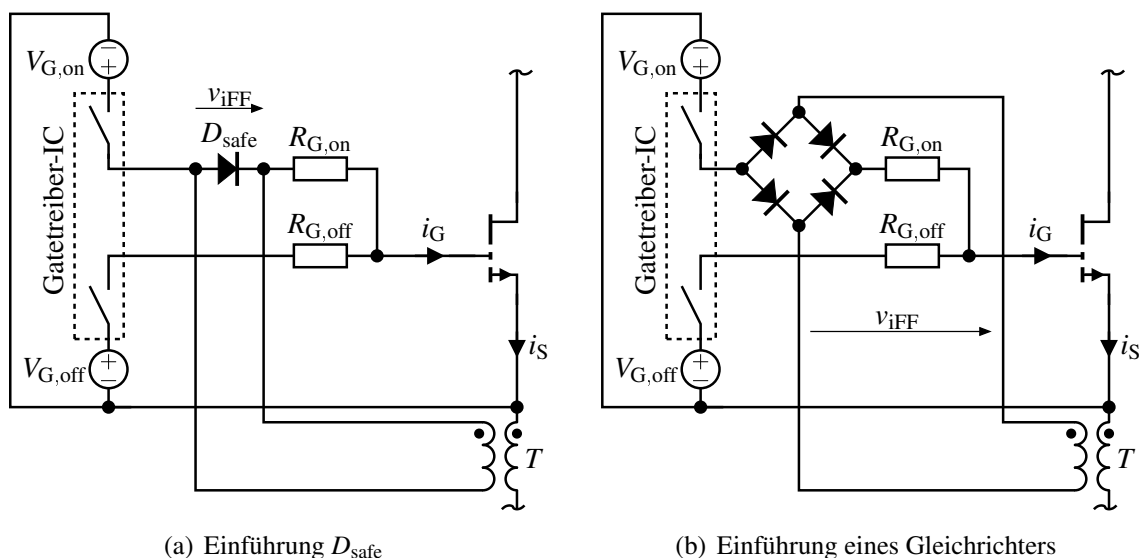


Abb. B.1: Simulation des magnetischen Feldverlaufes \vec{H} , das Simulationsergebnis ist für die Schnittebenen C, D und E dargestellt.

C Reduzierung des Risikos eines parasitären Schaltens

In Abb. C.2(a) ist eine Erweiterung des *iFF*-Verfahrens gezeigt, hierbei wird die Diode D_{safe} eingefügt. Diese Diode unterbindet eine positive Spannung v_{iFF} über der Sekundärseite des Transformators T . Dadurch reduziert sich die Gefahr eines parasitären Schaltens während des Ausschaltvorgangs. Eine Messung des parasitären Schaltens ist in Abb. 5.8(c) gezeigt.

In [290] wird eine Gleichrichterschaltung eingesetzt, um das parasitäre Schalten des Transistors zu minimieren. Durch den Gleichrichter, gezeigt in Abb. C.2(b), können nun die positiven und negativen Halbwellen der Spannung v_{iFF} genutzt werden, um den Strom i_G zu erhöhen. Ohne den Gleichrichter würden ausreichend große positive Spannungen von v_{iFF} zur Entladung der Gatekapazität führen, bedingt durch einen negativen Gatestrom i_G . Dies ist von besonderem Interesse wenn ein Transistor eine Diodenstruktur am Gate eingebaut hat, hier führen negative Gateströme zum Ausschalten des Transistors.

(a) Einführung D_{safe}

(b) Einführung eines Gleichrichters

Abb. C.2: Minimierung des Risikos des parasitären Schaltens. In (a) wird die Diode D_{safe} eingeführt. D_{safe} minimiert das Risiko des parasitären Schaltens. In (b) wird ein Gleichrichter zur Einkopplung der Spannung der Sekundärseite v_{iFF} des Transformators T genutzt, siehe [290].

D Designparameter des Transformators

Zur Auslegung des Transformators T sind eine Reihe von geometrischen Definitionen notwendig, welche in Tab. D.3 aufgeführt sind.

Benennung	Wert	Erklärung
d_{PCB}	1290 μm	Öffnung der Primärseite
d_{width}	10 mm	Breite der Primärseite
d_{thick}	70 μm	Kupferschichtdicke des PCBs
d_{space}	200 μm	Abstand zwischen den Einzelsegmenten der Sekundärseite
d_{line}	$\geq 200 \mu\text{m}$	Breite der Einzelsegmente der Sekundärseite
d_{gap}	105 μm	Abstand zwischen Primärseite und Sekundärseite
$d_{\text{open,Sec}}$	940 μm	Öffnung der Sekundärseite
$d_{\text{Len,Pri}}$	10 mm	Länge der Primärseite
$d_{\text{Len,Sec}}$	9 mm	Länge der Sekundärseite
N	10	Windungszahl der Sekundärseite
R_{GD}	2.7 Ω	Wert zur Bestimmung von $A_{\text{V,max}}$ und f_{AV} notwendig
$R_{\text{G}'}$	1 Ω	„
R_{G}	3 Ω	„
C_{ISS}	500 pF	„

Tab. D.3: Auflistung der geometrischen Struktur des Transformators. Diese Werte dienen zur Berechnung des Transformators, dieser wird in Abschnitt 6.2 eingeführt. Zusätzlich sind die Parameter der Gateschleife gezeigt, welche für Gleichung (6.4) verwendet werden.

Für die weiterführende Betrachtung des Einflusses der geometrischen Struktur werden einzelne Parameter variiert. Dabei wird die Breite der Sekundärseite d_{width} , die Windungszahl N , der Abstand zwischen der Primärseite und der Sekundärseite d_{gap} und die Länge der Sekundärseite $d_{\text{Len,Sec}}$ variiert und der Einfluss auf das Verhalten des Transformators aufgezeigt, siehe Kapitel 6.

Des Weiteren sind in Tab. D.3 die zur Berechnung der maximalen Verstärkung des T-Ersatzschaltbildes $A_{\text{V,max}}$ und der Grenzfrequenz des T-Ersatzschaltbildes f_{AV} notwendigen Parameter (R_{GD} , $R_{\text{G}'}$, R_{G} und C_{ISS}) aufgeführt. Mit Hilfe dieser Parameter kann die Gleichung (6.4) gelöst werden. Die Ergebnisse dieser Berechnung sind in Abb. 6.7(a) zu finden.

In Abb. D.3 ist der schematische Aufbau des GaN-HEMT-Prototyps gezeigt. Im Unterschied zu Abb. 4.11 ist in Abb. D.3 der vollständige Leistungspfad dargestellt. Ebenfalls ist die Strommessung mit Hilfe des Transformators aufgeführt, diese erlaubt die Auskopplung des Messsignals v_{Rog} , siehe Abb. 5.2.

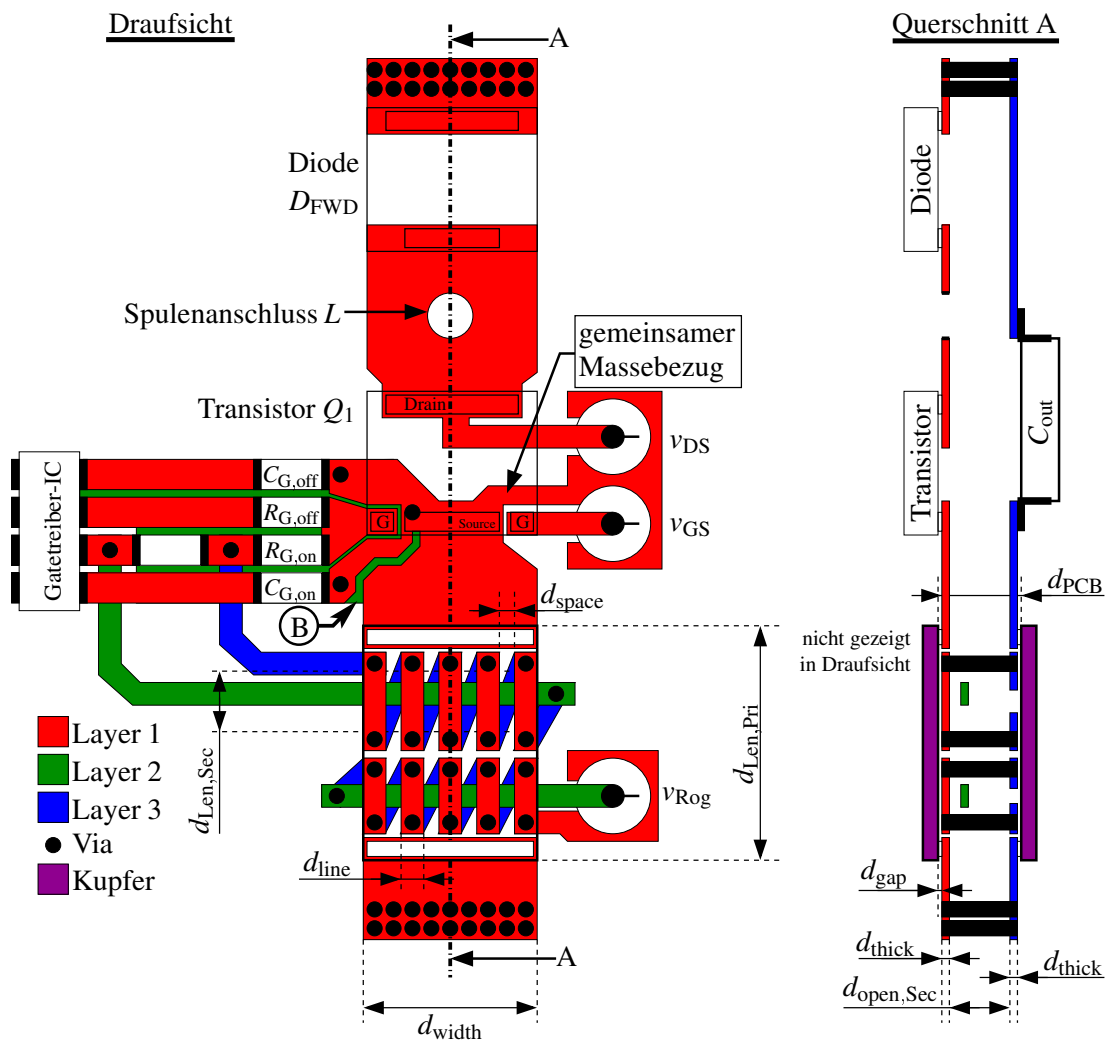


Abb. D.3: Layout der Leistungsschleife

Der Aufbau des Transformators T wird mit Hilfe eines vierlagigen PCBs realisiert. Dabei wird die Sekundärseite durch die Außenlagen des PCBs abgebildet. Die Primärseite des Transformators wird durch eine Überbrückung der Sekundärseite mit Hilfe von Kupferstücken erreicht. Eine Innenlage wird genutzt, um die Sekundärseite wieder an den Anfang zu führen, somit liegen beide Anschlüsse der Sekundärseite nebeneinander.

E Berechnung des komplexen Widerstands

Zur Vereinfachung des Zusammenhangs des Verhaltens des *iFF*-Verfahrens wird der Stromanstieg von i_S linearisiert und als konstant angenommen. Zur Verdeutlichung folgt ein Zahlenbeispiel. Die Stromänderung di_S/dt wird mit 20 A/ns angenommen, der Schaltstrom entspricht dem Spulenstrom i_L mit 20 A und der Maximalwert, welcher während des Einschaltens erreicht wird, beträgt 40 A. Nach Erreichen des Maximalwerts sinkt der Strom mit der betragsmäßigen gleichen Änderungsgeschwindigkeit ab. Daraus ergibt sich eine Dreiecksfunktion für den Stromverlauf. Die Periodendauer der Dreiecksfunktion beträgt somit 4 ns, was einer Transitfrequenz von $f_{\text{trans}} = 250$ MHz entspricht. Dies stellt die Grundschiwingung der Dreiecksfunktion dar. Um die Dreiecksfunktion korrekt abbilden zu können, müssen nach Fourier weitere Oberschwingungen beachtet werden. Aufgrund des geringen Einflusses werden diese an dieser Stelle vernachlässigt. Durch diese Vereinfachung kann nun der komplexe Widerstand \underline{Z}_L berechnet werden, der sich für das hier eingeführte periodische Signal wie folgt berechnen lässt:

$$|\underline{Z}_L| = \sqrt{(R_L)^2 + (2 \cdot \pi \cdot f_{\text{trans}} \cdot L)^2} \quad (7.1)$$

Der ohmsche Anteil R_L kann aufgrund des geringen Wertes vernachlässigt werden.

Lebenslauf

Persönliche Daten

Name	Michael Ebli
Geburtstag	19.01.1986
Geburtsort	55131 Mainz
Wohnort	59505 Bad Sassendorf
Straße	Akazienstraße 2
E-Mail	michael.ebli@tu-dortmund.de

Berufliche Tätigkeit

seit 01/19	Applikation Ingenieur	Infineon Technologies AG, Warstein
01/18 – 12/18	Wissenschaftlicher Mitarbeiter	Lehrstuhl für Energiewandlung, Technische Universität Dortmund
04/13 – 12/17	Wissenschaftlicher Mitarbeiter	Robert Bosch Zentrum für Leistungs- elektronik, Hochschule Reutlingen

Studium

03/11 – 02/13	Master of Science	Leistungs- und Mikroelektronik, Hochschule Reutlingen
09/07 – 02/11	Bachelor of Science	Mechatronik, Hochschule Darmstadt

Schulbildung

08/05 – 07/06	Berufsoberschule	Berufsbildende Schule 1 Mainz
08/96 – 07/02	Realschule	Carl Zuckmayer Realschule Nierstein

Berufsausbildung

09/02 – 08/05	Mechatroniker	SCHOTT AG, Mainz
---------------	---------------	------------------

Wehrdienst

08/06 – 04/07	Zivildienstleistender	Universitätsmedizin der Johannes Gutenberg-Universität Mainz
---------------	-----------------------	---

Auszeichnung

03/18	Zukunftspreis 2017	Private Stiftung Ewald Marquardt für Wissenschaft und Technik, Kunst und Kultur
-------	--------------------	--

Nachwort und Danksagung

Die vorliegende Arbeit entstand im Rahmen meiner Tätigkeiten als wissenschaftlicher Mitarbeiter im Arbeitsgebiet Leistungshalbleiter des Robert Bosch Zentrum für Leistungselektronik der Hochschule Reutlingen und als wissenschaftlicher Mitarbeiter am Lehrstuhl für Energiewandlung an der Technischen Universität Dortmund.

Besonderem Dank gilt Herrn Univ.-Prof. Dr.-Ing. Martin Pfof für das mir entgegengebrachte Vertrauen, die von ihm eröffneten Möglichkeiten zur Verwirklichung der Arbeit und nicht zuletzt für die wertvollen Anregungen und fördernden Hinweise.

Herrn Univ.-Prof. Dr.-Ing. Klaus F. Hoffmann danke ich für sein Interesse an meiner Arbeit und für die Übernahme des Koreferats.

Ebenfalls möchte ich hier meine Förderung durch das Förderprogramm „Forschung an Fachhochschulen“ herausstellen, welches durch das Bundesministerium für Bildung und Forschung finanziert wurde.

Einen herzlichen Dank haben meine ehemaligen Kollegen der Hochschule Reutlingen verdient, hier im speziellen Herr Martin Wattenberg für die hilfreichen Diskussionen und die Zusammenarbeit an diversen Projekten, Herr Matthias Ritter für die kontinuierliche Pflege der Messsoftware und die Unterstützung bei der Umsetzung von Messaufgaben, Herr Jonathan Hackel für die Diskussionen und das Aufgreifen als auch die Weiterentwicklung des in dieser Arbeit eingeführten Gatetreiberansteuerungsverfahrens.

Ohne das Verständnis, die Rücksichtnahme und die ermutigenden Worte meiner geliebten Frau Hanna wäre die Erstellung dieser Arbeit nicht möglich gewesen.

Bad Sassendorf, 2020

Michael Ebli

Liste eigener Veröffentlichungen

- [1] M. Ebli und M. Pfof, “A gate driver approach using inductive feedback to decrease the turn-on losses of power transistors,” in *Proc. International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Juni 2018, S. 396–401.
- [2] M. Ebli, M. Wattenberg, und M. Pfof, “A gate driver approach enabling switching loss reduction for hard-switching applications,” in *Proc. 12th International Conference on Power Electronics and Drive Systems*, Dezember 2017, S. 968–971.
- [3] M. Ebli und M. Pfof, “A novel gate driver approach using an inductive feedback to increase the switching speed of power semiconductors,” in *Proc. ECCE Power Electronics and Applications*, September 2017, S. P.1–P.7.
- [4] —, “Vorrichtung und Verfahren zur homogenen Stromverteilung und/oder zur Reduzierung von Schaltverlusten von elektrisch steuerbaren Schaltelementen,” DE10 2017 117 566.0, August 2017.
- [5] —, “An analysis of the switching behavior of GaN-HEMTs,” in *Proc. International Symposium on Signals, Circuits and Systems*, Juli 2017.
- [6] M. Ebli, M. Wattenberg, und M. Pfof, “A high-efficiency bidirectional GaN-HEMT DC/DC converter,” *Proc. International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, S. 210–215, Mai 2016.
- [7] —, “Performance of a GaN-HEMT synchronous boost converter in ZVS and hard switching mode,” in *Proc. 18th European Conference on Power Electronics and Applications*, September 2016.
- [8] M. Ebli und M. Pfof, “Vorrichtung und Verfahren zur selbstverstärkenden Ansteuerung eines ladungsgesteuerten Schaltelements sowie Verwendung eines Transformators,” DE 10 2016 222 268.6, November 2016.
- [9] M. Ebli, M. Engel, und M. Pfof, “An experimental study of a zero voltage switching SiC boost converter with an active snubber network,” in *Proc. International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Mai 2015.
- [10] M. Ebli, M. Pfof, und C. Wendel, “Transient junction temperature measurements of power mosfets in the μs range,” in *Proc. Semiconductor Thermal Measurement and Management Symposium*, Februar 2015, S. 39–43.

Liste der Veröffentlichungen als Co-Autor

- [1] J. Hackel, M. Ebli, und M. Pfof, “A novel gate driver approach using an inductive feed forward for a robust turn-on of GaN power transistors with gate injection,” in *Proc. 19th European Conference on Power Electronics and Applications*, September 2018, S. P.1–P.7.
- [2] —, “A novel gate driving approach to balance the transient current of parallel-connected GaN-HEMTs,” in *Proc. 10th International Conference on Integrated Power Electronics Systems*, März 2018, S. 305–308.
- [3] C. Unger, M. Mocanu, M. Ebli, und M. Pfof, “A setup for very high temperature measurements of power semiconductors exceeding 500°C,” in *Proc. International Semiconductor Conference*, Oktober 2015.
- [4] M. Pfof, C. Boianceanu, T. Zawischka, und M. Ebli, “A simple approach to reduce peak temperatures in integrated and discrete power MOSFETs,” in *Proc. International Symposium on Signals, Circuits and Systems*, Juli 2013.
- [5] T. Zawischka, M. Pfof, M. Ebli, und D. Costachescu, “An experimental study of integrated DMOS transistors with increased energy capability,” in *Proc. European Solid-State Device Research Conference*, September 2013, S. 95–98.