

Effiziente Hardwarearchitekturen für Interference Alignment in drahtlosen Kommunikationssystemen

Markus Kock, Holger Blume, Leibniz Universität Hannover, Institut für Mikroelektronische Systeme, Hannover, Deutschland, {kock | blume}@ims.uni-hannover.de

Kurzfassung

Die Anforderungen an den Datendurchsatz und die Energieeffizienz in der zukünftigen drahtlosen Heim- und Multimedienvernetzung erfordern neue Techniken zur Erhöhung der Spektraleffizienz und zur kooperativen Nutzung knapper Funkressourcen. Interference Alignment (IA) stellt ein mögliches Werkzeug zur effizienten Nutzung der in Mehrbenutzerszenarien zur Verfügung stehenden Kanalkapazität dar. In diesem Beitrag wird die Rechenkomplexität ausgewählter geschlossener und iterativer Interference Alignment Algorithmen für den Einsatz in der digitalen Basisbandverarbeitung in derartigen drahtlosen Hochgeschwindigkeits-Kommunikationssystemen untersucht. Exemplarisch wird dazu der Einsatz von IA in OFDM-basierten Mehrantennensystemen betrachtet. Basierend darauf wird ein speziell auf die Energieeffizienzforderungen mobiler Anwendungen optimierter dedizierter IA-Hardwarebeschleuniger präsentiert. Weiterhin wird die für den Entwurf hoch optimierter Hardwaremodule verwendete FPGA-basierte Entwurfsumgebung vorgestellt, mit dem Fokus auf der Verifikation und Integration der Module in einen ASIC-Desingfluss. Durch den hybriden Hardware-in-the-Loop Ansatz der Kopplung von Entwurfswerkzeugen auf hohem Abstraktionsniveau mit an die ASIC-Synthese angelehnten Verfahren lässt sich die Hardware-Entwurfszeit deutlich verkürzen.

1. Einleitung

Zur drahtgebundenen und drahtlosen Datenübertragung zwischen elektronischen Geräten existiert eine Vielzahl etablierter Standards wie beispielsweise IEEE 802.3 (Ethernet), USB, HDMI, IEEE 802.11 (Wireless LAN) und LTE. Ziel aller dieser Standards ist letztlich der Transport digitaler Datenströme zwischen verschiedenen Geräten, dennoch unterscheiden sie sich teilweise erheblich in den verwendeten Mitteln und den Eigenschaften der Übertragung wie Datenrate, Echtzeitfähigkeit, Latenz etc., und damit auch in der Eignung für verschiedene Anwendungsgebiete. Dabei übernehmen drahtlose Übertragungstechniken zunehmend Aufgaben aus klassischen Bereichen der drahtgebundenen Datenübertragung wie beispielsweise dem Transport großer Mengen dekomprimierter Video- und Audiodaten von einer Quelle zu einem Anzeigegerät. Wesentliche Herausforderungen für die Funkübertragung sind dabei die hohen Datenraten bei geringer Latenz und gleichzeitig großer Störsicherheit sowie die störungsfreie Koexistenz mehrerer derartiger Systeme in derselben Kollisionsdomäne, also in Reichweite.

Das in diesem Beitrag vorgestellte Verfahren des Interference Alignment [1] wird seit wenigen Jahren wissenschaftlich untersucht, der Forschungsstand ist zusammengefasst in [2]. In zukünftigen drahtlosen Kommunikationssystemen könnte IA wesentlich zur Steigerung der Datenrate in Kommunikationsszenarien mit mehreren Benutzern dienen. Die Summe der Datenrate über alle Benutzer skaliert unter IA-Bedingungen linear mit der Anzahl Benutzer, jeder Benutzer erhält also eine von der Benutzeranzahl unabhängige Datenrate. Interference Alignment könnte damit eine ähnliche Erhöhung der Datenraten in Mehrbenutzer-Szenarien bringen wie der Raummultiplex in Mehr-

antennensystemen (Spatial Multiplexing MIMO) [3].

Die bislang bekannten IA-Algorithmen besitzen eine erhebliche Rechenkomplexität. Eine Schlüsselvoraussetzung für einen breiten Einsatz dieser neuen Technologien ist die Verfügbarkeit von leistungsfähigen, energieeffizienten und flexiblen Echtzeit-Hardwareplattformen. Software Defined Radio (SDR) Plattformen bieten durch ihre Programmierbarkeit die nötige Flexibilität und Multi-Standardfähigkeit, während die Energie- und Flächeneffizienz durch Optimierung auf bestimmte Algorithmenklassen sowie den Einsatz dedizierter Beschleuniger erreicht wird. Im Rahmen dieses Beitrags soll der Entwurfsprozess für derartige digitale Basisbandverarbeitungssysteme am Beispiel eines dedizierten Beschleunigers für Interference Alignment untersucht werden.

FPGA-basierte Emulationssysteme mit den darauf aufbauenden Rapid-Prototyping Systemen sind ein wertvolles Werkzeug zur Simulationsbeschleunigung und für proof-of-concept Untersuchungen in der Algorithmenentwicklung. Umfangreiche Bibliotheken sind für eine breite Palette von Standardalgorithmen verfügbar. Auch beim Entwurf applikationsspezifischer Schaltungen (ASICs) kommen Bibliotheks- und High-Level Synthese basierte Lösungen zum Einsatz, was die Designzeit erheblich verkürzt. Für einige Anwendungen erreicht die so erzielbare Flächen- und Energieeffizienz jedoch nicht die Werte handoptimierter Implementierungen. Daher ergibt sich beispielsweise beim ASIC-Design für mobile Anwendungen mit erheblichem Rechenbedarf die Notwendigkeit, hoch optimierte Module zu erstellen. Die hier vorgestellte Entwurfsumgebung ist speziell auf einen solchen Designprozess für hochratige Kommunikationssysteme ausgelegt.

Der übrige Teil dieses Beitrags ist wie folgt aufgebaut. In Abschnitt 2 wird auf die Einsatzmöglichkeiten und Eigenschaften des Interference Alignment Konzepts eingegan-

gen. In Abschnitt 3 wird der Rechenzeitbedarf ausgewählter IA-Algorithmen sowie Implementierungsergebnisse für dedizierte Hardwarebeschleuniger vorgestellt, der vierte Abschnitt beschreibt die bei der Implementierung aus Abschnitt 3 eingesetzte Hardwareentwurfsumgebung.

2. Interference Alignment in Mehrbenutzer-MIMO-OFDM Systemen

Der durch Mehrantennen-Systeme (Multiple Input Multiple Output, MIMO) ermöglichte Ansatz des Raummultiplex (Space Division Multiplex, SDM) erlaubt die effizientere Nutzung der beschränkt verfügbaren Ressourcen Spektrum und Sendeleistung. Dabei werden mehrere unabhängige Datenströme gleichzeitig im selben Spektralbereich übertragen. Auch durch das Hinzufügen weiterer Benutzer wird die Gesamtanzahl Antennen im System erhöht. Beim Einsatz klassischer Multiplexverfahren wie TDMA teilen sich jedoch alle Nutzer die durch die gemeinsame Kollisionsdomäne verfügbare Datenrate. Interference Alignment stellt Werkzeuge bereit, um die größere Antennenzahl sinnvoll zu nutzen, so dass der erzielbare Datendurchsatz steigt bzw. unabhängig von der Anzahl Benutzer pro Benutzer konstant bleibt.

2.1. Kommunikationsszenario

Während sich Interference Alignment auf eine breite Vielfalt verschiedener Kommunikationsszenarien anwenden lässt, wird im Folgenden der Fall eines K -Benutzer Mehrantennensystems betrachtet. Es existieren K Sender/Empfängerpaare, die jeweils Punkt-zu-Punkt Kommunikation über ein gemeinsam genutztes Medium betreiben. Sender und Empfänger sind jeweils mit M Antennen ausgestattet und verwenden ein lineares Modulationsverfahren. Aus Empfängersicht geht das Nutzsignal nur vom jeweils zugehörigen Sender aus, die Signale aller anderen Sender stellen Interferenz dar. Durch die in üblichen Gebäuden vorhandenen Reflexionen und Mehrwegeausbreitung ergeben sich Kanäle mit statistisch unabhängigen Kanaloeffizienten.

2.2. Kanalkapazität

Die Erhöhung der Kanalkapazität in MIMO-Systemen (Abb. 1b) gegenüber Einantennen-Systemen (Single Input Single Output, SISO, Abb. 1a) beruht auf der Verwendung paralleler Kanäle durch mehrere Antennen im Raummultiplex. Die verfügbare Summenkanalkapazität steigt etwa linear mit der Anzahl verwendeter Antennen [3].

Auch das Einbringen weiterer Benutzer in das System erhöht die Gesamtanzahl Antennen (Abb. 1c), zunächst jedoch ohne die nutzbare Summendatenrate zu erhöhen. Interference Alignment stellt einen Ansatz dar, die nutzbare Summendatenrate linear mit der Anzahl Benutzer K steigen zu lassen [1].

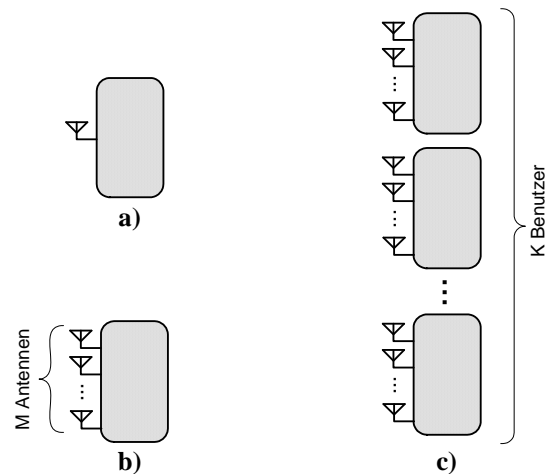


Abb 1 Kommunikationssysteme nach Anzahl Antennen und Nutzern
a) SISO, b) MIMO, c) Mehrbenutzer-MIMO

2.3. Systemmodell

Im Allgemeinen wird bei MIMO-Mehrbenutzersystemen die Anzahl Empfangsantennen pro Teilnehmer kleiner als die Gesamtzahl gesendeter Datenströme gewählt. In dem hier betrachteten System beruht Interference Alignment auf der Umformung eines gegebenen linearen Kanals \mathbf{H} bzw. des durch ihn beschriebenen linearen Gleichungssystems. Vereinfacht dargestellt wird so erreicht, dass ein Empfänger das zugehörige lineare Gleichungssystem nach den Sendesymbolen des gewünschten Senders auflösen kann und sämtliche Interferenz ausgelöscht wird. Dazu wird der gegebene Kanal \mathbf{H} mit Hilfe linearer Operationen zu einem effektiven Kanal \mathbf{H}_{eff} umgeformt. Senderseitig wird der aus d unabhängigen Sendesymbolen bestehende Vektor \mathbf{X}_i jeweils mit einer Vorverzerrungsmatrix \mathbf{V}_i multipliziert. Auf Empfängerseite eliminiert die Multiplikation mit der Decodermatrix \mathbf{U}_j den interferenzbehafteten Unterraum aus den Empfangsdaten. Dabei verteilt die Matrix \mathbf{V} der Dimension $M \times d$ die d unabhängigen zu sendenden parallelen Datenströme auf M Sendeantennen, wobei üblicherweise $M < d$ gilt.

Es kann gezeigt werden, dass unter bestimmten Randbedingungen diese Umformung möglich ist und jedem Benutzer im Mittel die Hälfte der Freiheitsgrade des interferenzfreien Falls zur Verfügung stehen. Abbildung 2 zeigt ein Mehrbenutzer MIMO System mit $K=3$ Nutzern und $M=3$ Antennen je Nutzer sowie den Vorverzerrungsmatrizen \mathbf{V}_i und Decodermatrizen \mathbf{U}_i .

Der Empfangsvektor in diesem System ergibt sich zu

$$\mathbf{Y}_i = \mathbf{U}_i^T \left(\sum_{j=1}^K \mathbf{H}_{ij} \mathbf{V}_j \mathbf{X}_j \right) \quad (1)$$

Abbildung 3 zeigt das Blockschaltbild eines MIMO-OFDM Senders mit Interference Alignment. Die IA-Symbolverarbeitung arbeitet auf diskreten komplexen Koeffizienten, welche anschließend durch die OFDM-

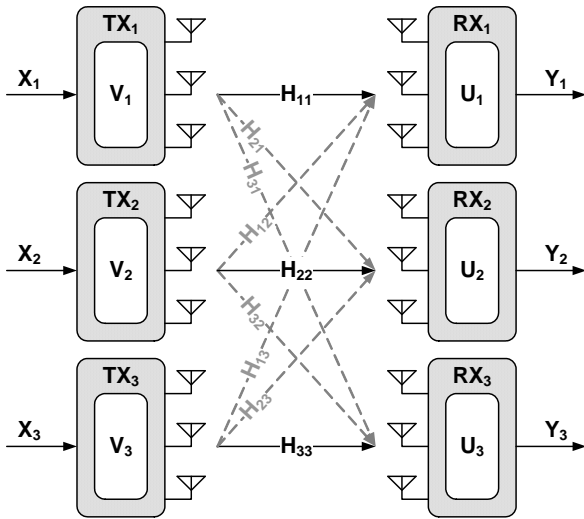


Abb. 2: Mehrbenutzer MIMO System mit Vorverzerrungs- und Decodermatrizen \mathbf{V} und \mathbf{U}

Modulation über den als stationär und *flat fading* angenommenen Kanal übertragen werden können.

2.4. Berechnung der Vorverzerrungs- und Decodermatrizen

Der IA-Algorithmus lässt sich aufteilen in zwei Teilalgorithmen. Die Berechnung der Vorverzerrungs- und Decodermatrizen \mathbf{V} und \mathbf{U} ist wesentlich für die algorithmische Komplexität verantwortlich und stellt i.A. den rechenaufwändigeren Teil dar, muss aber nur bei einer Änderung der Kanalkoeffizienten \mathbf{H} durchgeführt werden. Die Multiplikation der Sendesymbole mit \mathbf{V} bzw. \mathbf{U} ist von untergeordneter Komplexität. Daher wird im Weiteren die Berechnung von \mathbf{V} und \mathbf{U} aus der Kanalmatrix \mathbf{H} betrachtet.

Für perfektes Interference Alignment ohne Berücksichtigung von Rauschen müssen alle effektiven Interferenzkanäle zu $\mathbf{0}$ werden, die decodierten Symbole \mathbf{Y} dürfen also vom Sendesignal sämtlicher Interferenz-Sender nicht abhängen. Andererseits muss der resultierende gewünschte Kanal genügend Freiheitsgrade aufweisen, um die Anzahl unabhängiger Sendedatenströme transportieren zu können [1]:

$$\begin{aligned} \mathbf{U}_i^T \mathbf{H}_{ij} \mathbf{V}_j &= \mathbf{0} \quad \forall i \neq j \\ \text{rang}(\mathbf{U}_i^T \mathbf{H}_{ii} \mathbf{V}_i) &\geq d \quad \forall i \end{aligned} \quad (2)$$

Betrachtet man zusätzlich eine Störung durch additives Rauschen, führen die Bedingungen für perfektes Interference Alignment nicht mehr auf die optimale Lösung. Ein möglicher Ansatz für dieses Modell ist die Minimierung der sich aus Interferenz und Rauschen zusammensetzenden Gesamtstöreenergie der Empfangssymbole \mathbf{Y} (Minimum Mean Square Error, MMSE).

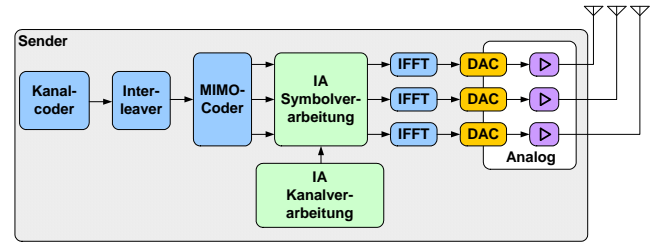


Abb. 3: Blockschaltbild MIMO-OFDM Sender

3. Rechenzeitbedarf von IA-Algorithmen

Im Folgenden soll auf Realisierungsaspekte von Algorithmen für perfektes Interference Alignment sowie unter MMSE-Bedingungen eingegangen werden. Die IA-Matrizen \mathbf{V} und \mathbf{U} hängen ab vom Kanal \mathbf{H} sowie den statistischen Eigenschaften des additiven Rauschens. Dementsprechend muss die Berechnung bei veränderten Kanalkoeffizienten durchgeführt werden, was die tolerierbare Latenz entsprechend der Änderungsgeschwindigkeit des Kanals begrenzt.

Für einige Systemkonfigurationen sind geschlossene Lösungen für perfektes Interference Alignment bekannt. Für den Allgemeinen Fall sind nur iterative Lösungen bekannt.

3.1. Geschlossene Lösung für \mathbf{U} und \mathbf{V}

Gleichung (3) zeigt die Lösungen der IA-Bedingungen (2) für den Spezialfall von $K=3$ Benutzern [2]. Hierbei steht $\nu(\cdot)$ für einen beliebigen Eigenvektor und $\text{null}(\cdot)$ für den Nullraum oder Kern der Matrix.

$$\begin{aligned} \mathbf{E} &= (\mathbf{H}_{31})^{-1} \mathbf{H}_{32} (\mathbf{H}_{12})^{-1} \mathbf{H}_{13} (\mathbf{H}_{23})^{-1} \mathbf{H}_{21} \\ \mathbf{V}_1 &= \nu(\mathbf{E}) \\ \mathbf{V}_2 &= (\mathbf{H}_{32})^{-1} \mathbf{H}_{31} \mathbf{V}_1 \\ \mathbf{V}_3 &= (\mathbf{H}_{23})^{-1} \mathbf{H}_{21} \mathbf{V}_1 \\ \mathbf{U}_1 &= \text{null}\left(\left(\mathbf{H}_{13} \mathbf{V}_3\right)^H\right) \\ \mathbf{U}_2 &= \text{null}\left(\left(\mathbf{H}_{21} \mathbf{V}_1\right)^H\right) \\ \mathbf{U}_3 &= \text{null}\left(\left(\mathbf{H}_{31} \mathbf{V}_1\right)^H\right) \end{aligned} \quad (3)$$

Im Folgenden werden Implementierungsergebnisse eines für $M=2$ Antennen optimierten dedizierten Fixpunkt-Beschleunigers vorgestellt. Speziell lassen sich für diesen Fall die Eigenvektorberechnung, Matrixinversion und Nullraumberechnung stark vereinfachen. Tabelle 1 zeigt die Anzahl benötigter reeller arithmetischer Berechnungen für einen Satz Kanalkoeffizienten unter Verwendung von Antennenselektion (s.u.).

Tabelle 1: Verteilung arithmetischer Basisoperationen für 2x2 Interference Alignment

Operation	+	•	$\sqrt{\quad}$	$1/\sqrt{\quad}$
Matrixmul.	696	348	0	0
Eigenvektor	15	8	3	0
Metrik	46	82	6	2
Gesamt	757	438	9	2

Eine Abschätzung der benötigten Chipfläche für eine dezidierte Hardwareumsetzung der Operationen aus Tabelle 1 kann man durch die Summation über alle Operationen, gewichtet mit ihren relativen Siliziumflächen, erhalten und kommt so auf eine äquivalente Fläche von ca. 541 Multiplizierern.

Die vorgestellte Implementierung unterstützt zusätzlich 2- aus-3 Antennenselektion. Dabei werden in einem 3-Benutzersystem je Empfänger nur die zwei besten der drei vorhandenen Antennen genutzt, um die Empfängerkomplexität zu verringern. Die Bewertung der Antennenkombinationen wird durch eine Abschätzung der Summendatenrate vorgenommen. Dazu werden die IA-Matrizen für alle 27 Kombinationsmöglichkeiten berechnet und durch eine Metrik bewertet. Für ein OFDM-System mit 128 Subträgern ergibt sich bei einer Latenz von 1 ms ein auf die Siliziumfläche reeller Multiplizierer normierter Rechenleistungsbedarf von 1.875 GOPS [4].

3.2. Iterative Lösung nach MMSE-Kriterium

Bei der iterativen Berechnung einer MMSE Lösung werden ausgehend von einem Startwert für \mathbf{V} abwechselnd verbesserte Werte für die Matrizen \mathbf{U} und \mathbf{V} gemäß Gleichung (4) berechnet [5]. Die Anzahl der zur Konvergenz benötigten Iterationen ist dabei variabel. Der Lagrange-Multiplikator $\lambda \geq 0$ wird durch Newton-Iteration aus der Bedingung $\|\mathbf{V}\|_2^2 \leq 1$ gewonnen.

$$\mathbf{U}_k = \left(\sum_{j=1}^K \mathbf{H}_{kj} \mathbf{V}_j \mathbf{V}_j^H \mathbf{H}_{kj}^H + \sigma^2 \mathbf{I} \right)^{-1} \mathbf{H}_{kk} \mathbf{V}_k \quad (4)$$

$$\mathbf{V}_k = \left(\sum_{j=1}^K \mathbf{H}_{kj}^H \mathbf{U}_j \mathbf{U}_j^H \mathbf{H}_{kj} + \lambda^2 \mathbf{I} \right)^{-1} \mathbf{H}_{kk}^H \mathbf{U}_k$$

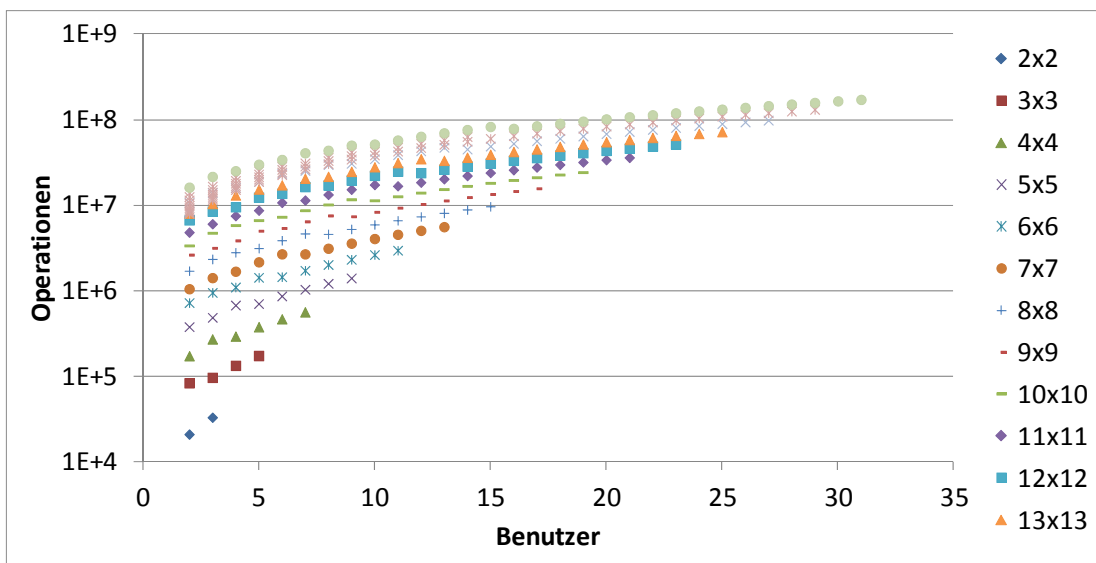
In Abbildung 4 ist eine Abschätzung der Anzahl benötigten elementarer arithmetischer Operationen für die Berechnung von \mathbf{U} und \mathbf{V} für einen Satz Kanalkoeffizienten \mathbf{H} für 4 Iterationen aufgetragen.

Aus Abb. 4 lässt sich die benötigte Rechenleistung für ein 10 Benutzer-8x8 MIMO-OFDM System mit 128 Subträgern zu 10^{12} Op/s für eine Latenz von 1 ms abschätzen.

4. Entwurfsumgebung

Die im Rahmen dieser Arbeit entstandene Entwurfsumgebung verbindet auf hohem Abstraktionsniveau arbeitende Entwurfswerkzeuge wie beispielsweise MATLAB mit FPGA-basierten Emulationssystemen und einer typischen System-on-Chip (SoC) Infrastruktur. Es existieren Wrapper für mehrere verschiedene Emulationssysteme zur Aufnahme der Kernalgorithmen. Intern stellen diese Wrapper einheitliche Kommunikationsschnittstellen zur Verfügung, die eine emulationsplattformunabhängige Kommunikation ermöglichen.

Die Entwurfsumgebung in Abbildung 5 besteht aus einem oder mehreren Host-PCs, FPGA-basierten Emulationssystemen, einer generischen SoC Infrastruktur, applikations-spezifischen Prozessoren sowie einheitlichen transparenten Programmierschnittstellen (Application Programming Interface, API) und automatisierten Abläufen für Simulation, Verifikation und FPGA-Synthese. Durch diesen Aufbau können Algorithmen und Algorithmenteile flexibel und sukzessive zwischen verschiedenen Abstraktionsebenen verschoben werden. Typischerweise liegt eine Referenzimplementierung des in Hardware umzusetzenden

**Abb. 4** Basisoperationen für MMSE-IA je Kanalrealisierung

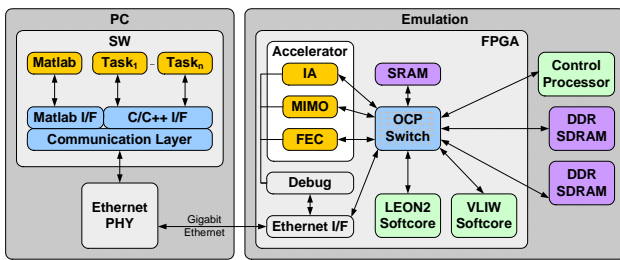


Abb. 5 Hybride SoC Entwurfsumgebung

Algorithmus in MATLAB vor. Für einzelne Algorithmenelemente werden hochoptimierte dedizierte Beschleuniger in einer Hardwarebeschreibungssprache entworfen [6][7]. Die Entwurfsumgebung stellt die Infrastruktur mit einheitlichen Schnittstellen für die Einbindung der Signalverarbeitungsblöcke in das Gesamtsystem bereit. Dies erlaubt z.B. die sukzessive Migration eines MATLAB Referenzalgorithmus in eine hochoptimierte Hardwareimplementierung, wobei einzelne Teilblöcke bereits im Gesamtsystem getestet werden können, ohne dass der Gesamtalgorithmus als Hardwarebeschreibung vorliegt. Speziell bei der Ermittlung von Designparametern wie Bitbreiten kann die optimierte Hardwareimplementierung als Beschleuniger für Monte-Carlo Simulationen genutzt werden, um die Simulationsdauer gegenüber einer bitgenauen Softwaresimulation zu reduzieren.

Die Entwurfsumgebung stellt Wrapper für verschiedene auf Xilinx FPGAs basierende Emulationssysteme bereit, momentan für

- MCPA (Eigenentwicklung), 1x Virtex-5 LX220T [8]
- XILINX ML605, 1x Virtex-6 LX240T [9]
- BEEcube BEE4, 4x Virtex-6 LX550T [10]

Intern werden die im FPGA und auf den Emulationsboards vorhandenen Ressourcen wie Speicher und Kommunikationsschnittstellen durch eine über alle Wrapper einheitliche Schnittstelle zur Verfügung gestellt. Daher können die zu untersuchenden Module ohne Modifikation in einen beliebigen Wrapper synthetisiert werden.

5. Fazit

Der Einsatz iterativer Interference Alignment Algorithmen nach MMSE-Kriterium erfordert applikationsspezifische Hardwarebeschleuniger, um die benötigte Rechenleistung mit für mobile Anwendungen geeigneter Energieeffizienz bereitstellen zu können. Die Unterstützung einer hybriden Hardware-Entwurfsumgebung kann den Entwurfs- und Zeitaufwand für Monte-Carlo Simulationen zur Parametertoptimierung deutlich beschleunigen.

6. Literatur

- [1] Cadambe, V., Jafar, S.: Interference Alignment and Degrees of Freedom of the K-User Interference Channel. *IEEE Transactions on Information Theory*, Vol. 54, No. 8, Aug. 2008, pp. 3425 – 3441
- [2] Jeon, S.-W., Gastpar, M. A.: Survey on Interference Networks: Interference Alignment and Neutralization. *Entropy* 2012, 14, 1842-1863
- [3] Foschini, G. J., Gans, M. J.: On limits of wireless communications in a fading environment when using multiple antennas. *Wireless Personal Communications*, Vol. 6, No. 3, 1998, pp. 311 – 335
- [4] Kock, M., Hesselbarth, S., Blume, H.: Hardware-Accelerated Design Space Exploration Framework for Communication Systems. *Proceedings of SDR-WInnComm 2013*, Washington, D.C., pp. 365 – 370
- [5] Schmidt, D, Shi, C., Berry, R., Honig, M., Utschick, W.: Minimum mean squared error interference alignment. *2009 Conference Record of the forty-third Asilomar Conference on Signals, Systems and Computers*, nov. 2009, pp. 1106 – 1110
- [6] Borlenghi, F., Auras, D., Witte, E. M., Kempf, T., Ascheid, G., Leupers, R., Meyr, H.: An FPGA-accelerated testbed for hardware component development in MIMO wireless communication systems. In *SAMOS XII: International Conference on Embedded Computer Systems*, jul. 2012
- [7] Greisen, P., Haene, S., Burg, A.: Simulation and emulation of MIMO wireless baseband transceivers. *EURASIP Journal on Wireless Communications and Networking*, vol. 2010, no. 1, 2010
- [8] Banz, C., Hesselbarth, S., Flatt, H., Blume, H., Pirsch, P.: Real-Time Stereo Vision System using Semi-Global Matching Disparity Estimation: Architecture and FPGA-Implementation. *Transactions on High Performance Embedded Architectures and Compilers*, Springer, 2012.
- [9] Xilinx ML605 Hardware User Guide, Xilinx Inc., oct. 2012
- [10] BEEcube BEE4, www.beecube.com/products