

Kurzfassung

Die vorliegende Arbeit befasst sich mit Analysemethoden für grobgranulare rekonfigurierbare Prozessorarchitekturen. Es wird ein modellbasiertes Verfahren vorgestellt, mit dessen Hilfe derartige Hardwarestrukturen auf einfache Weise bezüglich ihres Flächenbedarfs, der Datenrate und des Energieverbrauchs charakterisiert werden können. Weiterhin werden Untersuchungsergebnisse dargestellt, die einen Vergleich grobgranularer Architekturen mit anderen Implementierungsformen ermöglichen.

Field-Programmable Gate-Arrays (FPGAs) stellen aufgrund der Rekonfigurierbarkeit auf Bitebene flexible Bausteine mit hoher Verarbeitungsgeschwindigkeit dar, allerdings auf Kosten eines enormen Flächenoverheads und hohen Energieverbrauches. Demgegenüber enthalten grobgranulare Architekturen komplexere, anwendungsspezifisch optimierte Datenpfade, die eine Rekonfigurierbarkeit auf Wortebene gestatten.

Es ist ein parametrisierbares Modell für eine grobgranulare rekonfigurierbare Architektur entwickelt worden. Angenommen wird ein zweidimensionales Feld, dessen Basiszellen über lokale Datenleitungen, sowie über segmentierbare Busse miteinander kommunizieren können. Weiterhin sind auf lineare Algorithmen hin optimierte Prozessorelemente unterschiedlicher Komplexität entwickelt worden. Anhand von physikalischen Modellen zur Ermittlung des Flächenbedarfs, der maximalen Taktfrequenz und des Energieverbrauches werden die VLSI-Eigenschaften der Modelle abgeschätzt, und denen von FPGAs, DSPs und Semi-Custom-Entwürfen gegenübergestellt.

Die Ergebnisse zeigen, dass grobgranulare Architekturen im Vergleich zu FPGAs je nach Implementierung eine 7 bis 20 mal höhere Flächen- und Energieeffizienz aufweisen. Die Datenrate beider Varianten liegt dabei etwa in der gleichen Größenordnung. Bei Abbildung von Algorithmen, für welche die grobgranularen Datenpfade nicht optimiert wurden, sinkt die Effizienz dagegen erwartungsgemäß deutlich ab.